

文章编号: 1001-893X(2010)10-0048-05

基于 DSP 的无线数据传输平台设计与实现^{*}

徐灵飞, 林浩冬

(成都理工大学 工程技术学院, 四川 乐山 614007)

摘 要: 利用 DSP 平台可移植性好的特点, 设计了一种基于 DSP 与 2FSK 的无线数据传输平台, 给出了系统的设计思路、平台硬件结构及主要算法程序流程。系统使用 PLL 和混频器实现了调制载波信号与 550 MHz UHF 信号之间的变换, 并根据查表法和非相干解调原理, 实现了基带信号的 2FSK 调制解调算法。当 DSP 工作在 160 MHz 频率时, 解调一个二进制码元的时间为 $3\ \mu\text{s}$, 满足系统设计要求。实际测试表明该系统可稳定运行。

关键词: 无线数据传输; 数字信号处理器; 基带信号; 2FSK 调制解调

中图分类号: TN919.72 **文献标识码:** A doi: 10.3969/j.issn.1001-893x.2010.10.009

Design and Implementation of Wireless Data Transmission Platform Based on DSP

XU Ling-fei, LIN Hao-dong

(The Engineering and Technical College, Chengdu University of Technology, Leshan 614007, China)

Abstract: By making use of the merit of portability of DSP platform, a wireless data transmission platform based on DSP is designed. The design idea, hardware structure of system platform and main program flow of algorithm are described. This system achieves conversion between modulated carrier signal and 550 MHz UHF signal using PLL and mixer, and realizes 2FSK modulation and demodulation algorithm of base band signal based on the principle of lookup-table and non-coherent demodulation. When DSP works at 160 MHz, the demodulation time for one binary element is $3\ \mu\text{s}$, which meets the requirements of system. Test shows that the system runs stably.

Key words: wireless data transmission; DSP; base band signal; 2FSK modem

1 引 言

随着现代通信技术的发展以及 DSP 芯片性价比的提高和广泛的应用, 使得用 DSP 芯片作为无线通信的硬件平台, 尽可能多地用软件来实现通信功能, 成为现代通信领域发展的一种趋势。频移键控 (Frequency Shift Key, FSK) 调制是用数字基带信号来控制高频载波频率的变化, 调制后的载波信号频率

代表了要传送的数字信号。它具有实现起来较容易、抗噪声与抗衰减的性能较好等优点, 在无线数据传输中得到了广泛的应用。

本文介绍了一种基于 DSP 和 2FSK 全数字调制解调方法的无线传输平台。系统设计的目标是以通用的 DSP TMS320VC5416 为核心, 结合简单的硬件结构, 实现低成本的数据和音频传输系统, 能够通过本系统实现传输速率为 16 kbit/s 数字音频信号的传输和可靠的数据传输。

^{*} 收稿日期: 2010-05-14; 修回日期: 2010-06-18

2 系统整体结构

系统以 DSP TMS320VC5416 和 CPLD EPM570T144C5

为控制核心,可以实现数据的调制解调、数模转换、模数转换、信号变频以及信号的收发。系统结构框图如图 1 所示。

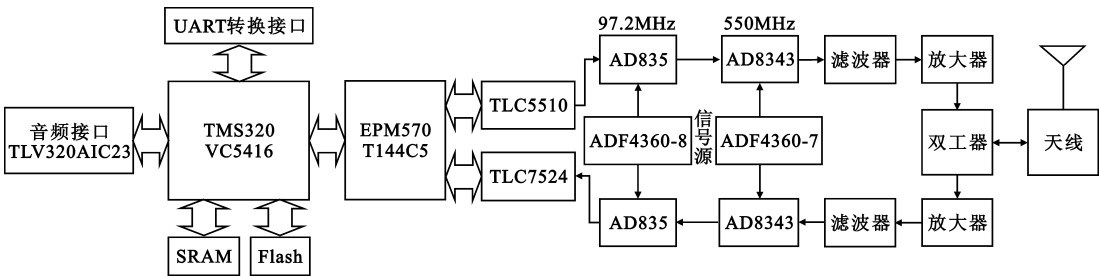


图 1 系统结构框图
Fig.1 System structure diagram

系统中 DSP 主要完成信号的 2FSK 调制和解调,并在 CPLD 的配合下完成对系统中其它模块的控制。TLV320AIC23 实现语音信号的转换,工作在 DSP 模式,以 8 kHz 的速率通过 McBSP0、McBSP1 实现与 DSP 之间的数据交换,而 UART 串行口实现数字信号在 PC 机与 DSP 之间的通信。

DSP 的 2FSK 载波中心频率设置在 24 kHz,使用低价位的 8 位模数转换器 TLC5510 和 8 位数模转换器 TLC7524 以 192 kHz 的频率对系统输入输出信号进行转换,并经过混频器 AD835 和 AD8343 的两次变频实现频率变换。AD835 以本振 97.2 MHz 的频率实现一次变频,AD8343 以本振 452.8 MHz 的频率实现二次变频,进而实现调制载波信号与 550 MHz UHF 信号之间的变换。

系统所用 97.2 MHz 和 452.8 MHz 的本振,由 PLL - VCO ADF4360 - 8 和 ADF4360 - 7 实现^[1],它们在 DSP 的控制下可以方便地更改输出本振频率。ADF4360 共有 C 寄存器、R 寄存器和 N 寄存器配置寄存器,每个寄存器 24 位。配置的顺序是上电→R 寄存器→C 寄存器→N 寄存器,前后顺序不能颠倒,否则 ADF4360 不能锁定。ADF4360 通过 SPI 接口完成数据传输,这可以通过 DSP 的 McBSP2 实现。在不改变鉴相频率、控制方式的情况下,只需改变 N 寄存器内相应数据即可改变输出频率。

以发射通道作为测试对象,使用频谱仪测试 AD835 输出的一次上变频信号以及测试 AD8343 输出的二次上变频信号所得频谱如图 2 和图 3 所示。

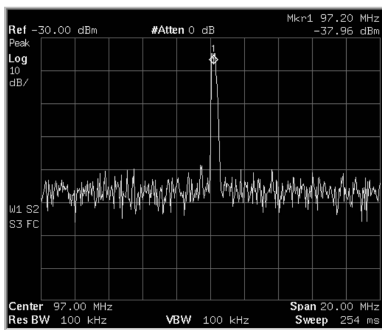


图 2 一次上变频后信号频谱
Fig.2 The signal spectrum after once up - conversion

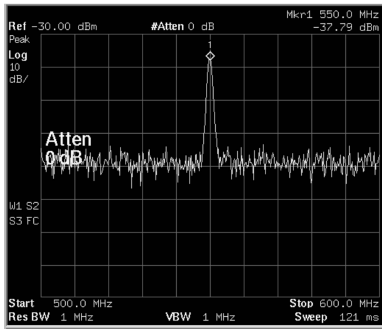


图 3 二次上变频后信号频谱
Fig.3 The signal spectrum after secondary up - conversion

3 系统软件实现

为了使 DSP 能够工作在全速状态,DSP 系统程序的启动设计为 8 位并行自举加载的方式,系统所有程序固化在 Flash SST39VF040 中。在自举加载后,所有程序都被读取到 DSP 的 DARAM 中执行,可以使 DSP 在全速 160 MHz 的主频下可靠地运行,增加系统处理能力的实时性。系统的 2FSK 数据调制

解调速率设计为 16 kbit/s,在此使用中心载波频率 $F_c = 24\text{ kHz}$,载波 $F_0 = 16\text{ kHz}$ 表示“0”,载波 $F_1 = 32\text{ kHz}$ 表示“1”^[2]。系统的 AD 采样频率 F_s 设置为 192 kHz,每个码元包含 12 个采样点。

3.1 CPLD 控制接口的定义

由于 DSP 的控制端口较少,因此使用 CPLD 作为系统中的“胶合”,实现 DSP 对系统中其它外围设备的控制。外围设备的地址都被分配在 DSP 的 I/O 空间,相应的设备端口控制分配如表 1 所示。

表 1 DSP 外设的 CPLD 映射地址

Table 1 The CPLD mapping address of DSP peripherals

端口	地址	控制功能
ADC 和 DAC 控制寄存器地址	0x0000	写入 XXXXXX00:使能 ADC 和 DAC 写入 XXXXXX01:使能 ADC 和禁止 DAC 写入 XXXXXX10:禁止 ADC 和使能 DAC 写入 XXXXXX11:禁止 ADC 和 DAC
DAC 数据缓冲寄存器地址	0x0001	DSP 与 DAC 之间的数据结接口
ADC 数据缓冲寄存器地址	0x0002	DSP 与 ADC 之间的数据结接口
PLL - VCO 控制地址	0x000B	DSP 与 PLL - VCO 之间的数据接口 ADF4360 - 7 子地址:0x0000 ADF4360 - 8 子地址:0x0001
Flash 使能寄存器地址	0x8000	Flash 使能/禁止控制端口

系统中的两个 PLL - VCO 器件共用一个地址,在 DSP 需要对 PLL - VCO 进行设置的时候,通过不同的子地址实现区分。DSP 先将数据以 PLL - VCO 子地址→R 寄存器→C 寄存器→N 寄存器的数据写入 CPLD 进行缓存,然后再由 CPLD 以 SPI 的方式将缓存数据写入到 PLL - VCO 中。以 ADF4360 - 7 输出 452.8 MHz 本振的控制为例,R、C、N 寄存器配置字分别是 0x300191、0x0FF92C、0xE23602,相关 DSP 程序如下:

```
ST # 0x0000, * AR7
PORTW * AR7,0x0003;端口写 ADF4360 - 7 子地址
ST # 0x3001, * AR7;
PORTW * AR7,0x0003;端口写 ADF4360 - 7 R 寄存器
高 16 位
ST # 0x910F, * AR7
PORTW * AR7,0x0003;端口写 ADF4360 - 7 R 寄存器
低 8 位和 C 寄存器高 8 位
ST # 0xF92C, * AR7
PORTW * AR7,0x0003;端口写 ADF4360 - 7 C 寄存器
```

低 16 位

```
ST # 0xE236, * AR7
```

PORTW * AR7,0x0003;端口写 ADF4360 - 7 N 寄存器
高 16 位

```
ST # 0x0200, * AR7
```

PORTW * AR7,0x0003;端口写 ADF4360 - 7 N 寄存器
低 8 位

3.2 2FSK 调制算法

2FSK 调制采用查表法,可以实现较好的实时性,特别适用于通信载波的生成。在 DSP 的程序存储空间,使用 Q15 定点数格式在 $[0, 2\pi]$ 上以 $2\pi/N$ 的相位间隔固化 N 点正弦值,以供查表,在此取 $N = 12$ 。这样,对于 F_0 和 F_1 的取样间隔分别为

$$\begin{cases} \Delta i0 = N \times F_0 / F_s = 12 \times 16 / 192 = 1, \text{发送数据“0”时} \\ \Delta i1 = N \times F_1 / F_s = 12 \times 32 / 192 = 2, \text{发送数据“1”时} \end{cases} \quad (1)$$

使用 DSP 定时器 T0,用来实现对数据解调 DAC 输出速率的控制。这样,如要实现 12 kbit/s 的数据传输速率,需要将 DSP 定时器 T0 的溢出率设置为 192 kHz。

3.3 2FSK 解调算法

FSK 解调有相干解调和非相干解调^[3-4],相干解调对通信设备要求较高,一般数字调频系统都采用非相干解调^[5]。在此,采用实时性较高的 2FSK 信号差分检波解调算法^[6]。算法的基本思想是已调信号和它的 $\pi/2$ 的延时信号相乘,然后经过低通滤波,根据滤波结果的符号判断发送信号的值,从而实现信号的解调。算法原理如图 4 所示。

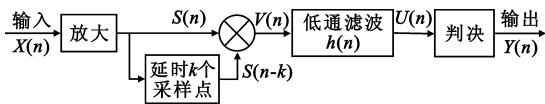


图 4 2FSK 解调算法原理图
Fig.4 Schematic diagram of 2FSK demodulation

信号采样值 $S(n)$ 经延时器延迟 k 个采样点得到 $S(n - k)$ 。 k 要小于每个二进制码元周期内的采样点数,使得 $S(n)$ 和 $S(n - k)$ 是属于同一个二进制码元的采样值。 $S(n)$ 和 $S(n - k)$ 相乘后的输出样值为

$$\begin{aligned} V(n) &= S(n)S(n - k) = \\ &A^2 \sin(2\pi F_n T_s) \sin[2\pi F(n - k) T_s] = \\ &\frac{A^2}{2} [\cos(2\pi Fk T_s) - \cos(4\pi F_n T_s - 2\pi Fk T_s)] \end{aligned} \quad (2)$$

前面一部分是仅与 k 有关的常数,后面一部分

是与 n 有关的高频分量, 可通过对称系数低通滤波器 $h(n)$ 来滤除。低通滤波器 $h(n)$ 的截止频率设为 12 kHz, 对称系数经 Matlab 计算求得: $h_0 = 0.000\ 184\ 97$, $h_1 = 0.263\ 16$, $h_2 = 0.192\ 72$, $h_3 = 0.220\ 79$ 。通过该低通滤波器后得到:

$$U(n) = \frac{A^2}{2} \cos(2\pi F_k T_s) = \begin{cases} \frac{A^2}{2} \cos(2\pi F_0 k T_s), & \text{发送数据“0”} \\ \frac{A^2}{2} \cos(2\pi F_1 k T_s), & \text{发送数据“1”} \end{cases} \quad (3)$$

k 的选择是设计解调器的关键, 应使差值:

$$d(k) = |\cos(2\pi F_0 k T_s) - \cos(2\pi F_1 k T_s)| \quad (4)$$

最大, 以利于正确区分两种频率, 降低判决的误码率。根据实际的测试得到, 当 $k = 2$ 时, 可以得到较好的区分度。经过低通滤波后的数据 $U(n)$ 经过判决算法后, 可以得到最终所要的解调数据 $Y(n)$ 。

系统 12 个采样数据表示一个码元, 当判决算法连续判决 12 个采样数据(一个码元包含的采样点)满足预设阈值之后, 确定一个码元的状态。假设如下判决算法中用到的变量: LPOUT→滤波器输出, DATA_THD→幅度判决的阈值, DEC_DATA_CURR→当前采样点判决值, DEC_DATA_BE→前一次采样点判决值, DEC_NUM→判决用计数器, DEC_NUM_X→周期计数器。判决算法流程图如图 5 所示。

4 实验测试结果

发射端以 $F_0 = 16\text{ kHz}$ 与 $F_1 = 32\text{ kHz}$ 调制二进

制数据“10001011011”, 并经过 DAC 及两次上变频发射出去。接收端将接收到的信号两次下变频及模数转换后, DSP 将采集数据读进来进行解调。为了便于分析, 将数据预先存储起来, 使用 2FSK 解调算法, 对采集数据进行解调。2FSK 解调过程中, 关键步骤处理的结果在 CCS 2.2 下的分析如图 6 所示。

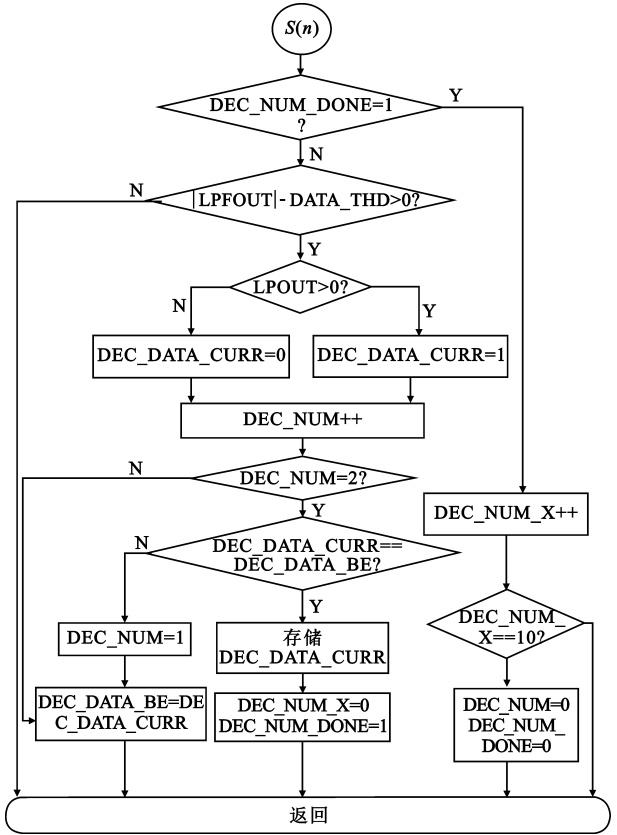


图 5 2FSK 解调算法程序流程图
Fig.5 2FSK demodulation flow chart

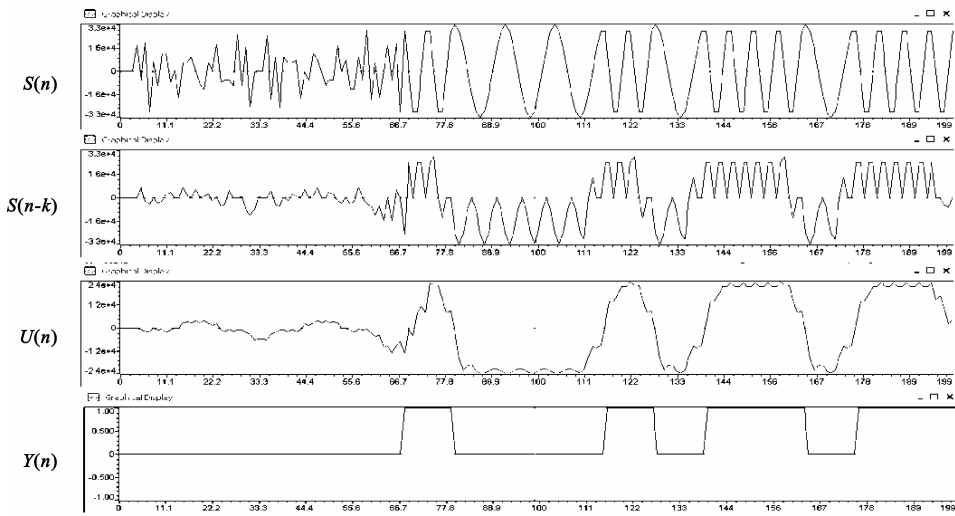


图 6 2FSK 解调算法实验结果
Fig.6 The experimental results of 2FSK demodulation

图 6 包含了采集的调制原始数据 $S(n)$ 、延时相乘后的数据 $S(n-k)$ 、经过低通滤波后的数据 $U(n)$ 和解调之后的数据 $Y(n)$ 。由图 6 可以看到,原始的调制数据“10001011011”经过解调程序后,可以准确地将原来的数据解调出来。2FSK 的解调算法使用汇编语言编写,基本做到了程序设计的最优化。经实际测算,解调程序每个码元的解调时间为 481 个 CPU 时钟周期。当 DSP 工作在全速 160 MHz 的 CPU 时钟频率下时,解调一个二进制码元的时间为 $3\ \mu\text{s}$,完全可以满足系统 16 kbit/s 的数据传输速率,系统具有较高的实时性。

5 系统主控电路板设计注意事项

主控板主要包括 DSP、CPLD、音频编解码电路、ADC 电路、DAC 电路以及与外部连接的接口。主控板使用两层板设计,进一步降低系统的整体成本。在电路板设计调试过程中需要注意以下几点:

(1)以网状线路对电路板不同部分供电。并确认 DSP 核心供电电压为 1.6 V,否则,DSP 将不能工作在 160 MHz 全速状态;

(2)以减小信号回路面积为原则,模拟部分的电路中的电源线、地线以及模拟信号线,与数字部分线路不发生交叉,最好能够将各模拟部分的线路以各自线路独立布线,特别是 ADC 与 DAC 的电路;

(3)在焊接调试的时候,一定要步步为营,焊接并调试好一部分后,再进行下一步;

(4)焊接调试步骤:电源电路→DSP 电路→CPLD 电路→ADC 电路→DAC 电路→其它电路。系统主控电路板如图 7 所示。

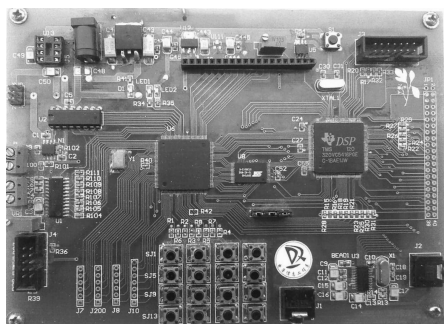


图 7 系统主控电路板

Fig.7 System main control circuit board

6 结束语

经过实际测试,系统工作稳定,数据传输及语音传输实现了预期目标。系统的硬件电路设计简洁,可靠性和灵活性高。对所选 DSP 来讲,系统中所用到的 FSK 调制解调算法,运算量不大,实现了实时

的数据传输。

系统实现的 2FSK 的调制解调算法,可以应用在电力载波通信以及铁路信号检测等领域。以此平台为基础,经过改进、程序移植可以应用在单兵无线通信、卫星通信等领域,具有较高的实践应用意义。

参考文献:

- [1] 沈伟.基于 ADF4360-7 的宽带雷达信号源设计[J].现代雷达,2006,28(8):39-42.
SHEN Wei. Design of Local Oscillator for Wideband Radar with Chip ADF4360-7[J]. Modern Radar, 2006,28(8):39-42. (in Chinese)
- [2] 王伦文,钟子发.2FSK 信号“指纹”特征的研究[J].电讯技术,2003,43(3):45-48.
WANG Lun-wen, ZHONG Zi-fa. Study on Fingerprint Characters of 2FSK Signal[J]. Telecommunication Engineering, 2003, 43(3): 45-48. (in Chinese)
- [3] 龙胜春.2FSK 信号的相关解调算法[J].通信学报,2003,24(11):172-176.
LONG Sheng-chun. A Correlation Demodulation Algorithm of 2FSK Signal[J]. Journal of China Institute of Communications, 2003, 24(11): 172-176. (in Chinese)
- [4] 黄翔东,何宇清,李长滨.一种检测铁路 2FSK 信号频率的新方法[J].天津大学学报,2007,40(9):1115-1119.
HUANG Xiang-dong, HE Yu-qing, LI Chang-bin. Method for Detection of the Frequencies of Railway 2FSK Signal[J]. Journal of Tianjin University, 2007, 40(9): 1115-1119. (in Chinese)
- [5] 赵顺珍.基于 DSP 的二进制频移键控的实现方法[J].微计算机信息,2008,24(2):183-184.
ZHAO Shun-zhen. Implementation of 2FSK Based on Digital Signal Processing[J]. Microcomputer Information, 2008, 24(2): 183-184. (in Chinese)
- [6] TI Inc. Implementation of an FSK Modem Using the TMS320C17[Z]. Texas, USA: Texas Instruments Inc, 1998.

作者简介:

徐灵飞(1981-),男,河南新乡人,2005 年获西北工业大学工学硕士学位,现为成都理工大学工程技术学院讲师,主要研究方向为嵌入式系统技术;

XU Ling-fei was born in Xinxiang, Henan Province, in 1981. He received the M.S. degree from Northwestern Polytechnical University in 2005. He is now a lecturer. His research concerns embedded system technology.

Email: xulingfei@163.com

林浩冬(1982-),男,四川成都人,2007 年获四川大学工学硕士学位,现为成都理工大学工程技术学院助教,主要研究方向为无线通信信号处理。

LIN Hao-dong was born in Chengdu, Sichuan Province, in 1982. He received the M.S. degree from Sichuan University in 2007. He is now a tutor of the Engineering and Technical College of Chengdu University of Technology. His research direction is wireless communications signal processing.