

doi:10.3969/j.issn.1001-893x.2015.11.011

引用格式: 杜丹. 深空测控系统 1 Hz 低相噪频率合成技术[J]. 电讯技术, 2015, 55(11): 1249-1254. [DU Dan. Low Phase Noise Design Technology of Frequency Synthesizer at 1 Hz for Deep Space TT&C System[J]. Telecommunication Engineering, 2015, 55(11): 1249-1254.]

深空测控系统 1 Hz 低相噪频率合成技术*

杜 丹**

(中国西南电子技术研究所, 成都 610036)

摘 要: 针对深空测控系统高精度测量对于信道附加相噪的要求, 采用直接数字频率合成(DDS) 正交调制方法设计频率综合器。通过巧妙的试验和外推方法, 择优选取电压型鉴相器, 在锁相环相噪模型的基础上, 全面分析各部分相噪的贡献, 综合设计环路带宽, 有效控制附加相噪, 实现低相噪频率综合器最理想的目标, 即环路带内的相噪完全由参考决定, 带外的相噪由压控振荡器(VCO) 决定, 并采用两源互比的方法完成 1 Hz 极低相位噪声的测试, 测试结果为 -73 dBc/Hz, 与设计结果完全一致。该方法对于测控站极低相噪的设计具有一定参考价值。

关键词: 深空测控系统; 高精度测量; 1 Hz 相噪; 直接数字频率合成器; 正交调制; 电压型鉴相器

中图分类号: TN74 **文献标志码:** A **文章编号:** 1001-893X(2015)11-1249-06

Low Phase Noise Design Technology of Frequency Synthesizer at 1 Hz for Deep Space TT&C System

DU Dan

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: For the additional phase noise requirements on channels in deep space TT&C system with high accuracy measurement, a frequency synthesizer is designed using direct digital synthesizing(DDS) quadrature modulation. A voltage-type phase discriminator is selected by smart test and extrapolation method. Based on phase noise model of phase locked loop, contributions from all parts of phase noise are analyzed. So the ideal performance of frequency synthesizer with low phase noise, i. e. loop in-band phase noise is depended on reference frequency, and out-band phase noise is determined by voltage-controlled oscillator(VCO), is implemented by loop bandwidth integrated design and efficient additional phase noise control. The 1 Hz low phase noise is tested through comparing two sources and it is -73 dBc/Hz, which is consistent with design result. This method is valuable to low phase noise design in deep space TT&C ground station.

Key words: deep space TT&C system; high accuracy measurement; 1 Hz phase noise; direct digital synthesizer; quadrature modulation; voltage-type phase discriminator

1 引 言

深空任务主要通过测量无线电信号来导航, 测量的三种元素为距离、速度和角度, 随着技术发展, 深空测控系统 X 频段的测速精度达到了 0.03 mm/s (60 s 积分), 测距精度为 60 cm, 测角精度为 20 ~ 25 mrad^[1], 远远高于传统测控系统。文献[2]指出, 测速精度不仅取决于频标短稳, 还与信道附加的相位噪声有关, 同时, 深空测控具有较长双向延时, 相位噪声中的调频闪烁噪声和频率游动噪声随着时间的加长而发散, 也会引入不可忽略的测距误

* 收稿日期: 2015-05-13; 修回日期: 2015-09-11 Received date: 2015-05-13; Revised date: 2015-09-11

** 通讯作者: Apollo1120@163.com Corresponding author: Apollo1120@163.com

差^[3]。三向测量时,由于收发站不同源,短稳及相位噪声的影响就更加明显^[4],因此,为了提高深空系统的测量精度就必须减小信道附加相位噪声。信道自身的相位噪声主要有两类,一类是放大器内部噪声对输入信号的相位调制,另一类是锁相本振或频综器产生的环路相位噪声,两类噪声统计独立,可以利用叠加原理线性相加。目前由于放大器都采用了负反馈技术,使相位噪声深度抑制^[5],因此信道的相位噪声主要就是锁相频综器的相位噪声。

深空站要求 S 频段信道/频综器在频偏 1 Hz ~ 10 MHz 的相位噪声为 -68 dBc/Hz@ 1 Hz $\leq f$ < 10 Hz, -78 dBc/Hz@ 10 Hz $\leq f$ < 10 kHz, -88 dBc/Hz@ 10 kHz $\leq f$ < 1 MHz, -125 dBc/Hz @ 1 MHz $\leq f$ $\leq$ 10 MHz, 与传统测控系统最大的不同在于提出了 10 Hz 以下和 1 MHz 以上的指标要求。《NASA 深空任务系统通信链路设计手册》第 209 分册也明确建议美空网 34 m 波束波导系统 DSS34 开环科学实验设备的 S 频段 1 Hz 相噪为 -63.5 dBc/Hz。

目前,测控站频率合成都采用直接数字频率合成(Direct Digital Synthesizing, DDS)和锁相环(Phased-Lock-Loop, PLL)混合的方式,通常有两种设计方法,第一种是利用 DDS 作参考源驱动 PLL 环路^[6],电路简单,但容易引入鉴相器的附加相位噪声且在环路带内以 $20\lg N$ 的量级恶化;另一种改进形式就是在 PLL 环路内插入 DDS,并结合正交调制技术,实现一种更为经济合理的频率合成方法^[7]。很多文献^[8-9]都提到了频综器的低相噪设计,但都没有涉及 1 Hz 的相噪设计,也没有工程手册给出各种集成芯片的 1 Hz 基底相噪,这就给频综器的设计带来了困难。本文将采用凸显的方法推算鉴相器和 DDS 的 1 Hz 相噪,并在第二种电路形式的基础上设计环路带宽和 1 MHz 以上的相噪,重点分析 1 Hz 近载的附加相位噪声和设计方法。

2 DDS 驱动 PLL 频率合成方法及相噪分析

早期的测控通信系统采用 PLL 频率合成技术,具有输出频率高、频谱质量好等优点,但其频率切换速度低,只能达到微秒级。而 DDS 技术则具有纳秒级高速频率捷变能力以及精细的频率和相位分辨能力,但频谱纯度不如 PLL,工程设计过程中常要折衷考虑带宽、频率分辨率、频率切换时间和相位噪声等要求。因此,出现了多种将两种技术结合起来构成 DDS 与 PLL 混合技术实现频率合成的方案,DDS 作为参考驱动 PLL 频率合成就是其中之一。DDS 输

步长小且有较高相噪,但具有较多杂散,而 PLL 虽然相位噪声差,但它对杂散的抑制性能良好。所以将 DDS 与 PLL 两种频率合成技术结合起来,是一种非常合理的频率合成方案。

以某测控站频综器为例,该频综器主要由五部分组成,分别是参考处理模块(Ref)、直接数字频率合成(DDS)、压控振荡器(VCO)、分频以及鉴相器(PD),采用 DDS 和 PLL 串行设计方法,参考经锁相环倍频后作为 DDS 的时钟信号,DDS 的输出信号为后级 PLL 提供小步进参考信号,组成原理如图 1 所示。

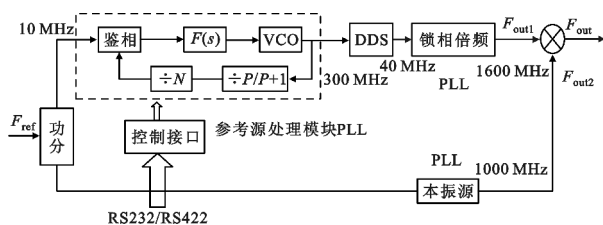


图 1 某测控站 DDS 和 PLL 混合设计的频综器原理
Fig.1 Principle of synthesizer based on DDS and PLL

频综器设计的最高目标就是不引入附加的相噪,环路带内的相噪完全决定于外参考,外参考经过锁相和 N 次倍频后,相位噪声按照 $20\lg N$ 的理论值变化,环路带外的相噪主要决定于 VCO 自身的相噪。采用图 1 的方案,DDS 和 PLL 串行设计,至少存在三个方面的问题:第一是参考处理模块中,由于参考通常采用相噪非常理想的 10 MHz,鉴相基底贡献的噪声远大于参考相位噪声,使鉴相器自身的基底噪声成为了等效输入噪声的主要部分,从而引起附加相噪,即使更为理想的频标,也不能改善输出的相位噪声;第二是 DDS 产生的附加相噪以及杂散,经过 PLL 后按照倍频 N^2 进一步恶化,甚至 DDS 输出为其相噪下限,锁相倍频后相位噪声不能满足系统要求;第三是 DDS 经过倍频后,频率分辨率下降明显,损失了固有的优点。

3 深空系统频综器改进设计

3.1 电路设计方法

深空站采用高稳氢原子钟,为了确保它对于频率综合器近端相噪的影响,需要对 DDS 和 PLL 串行设计的电路进行改进,一种更合理的方法就是将 DDS 通过正交调制技术在微波频段直接与 PLL 混频,避免了后续再倍频产生的相噪恶化。频综器的设计原理如图 2 所示。

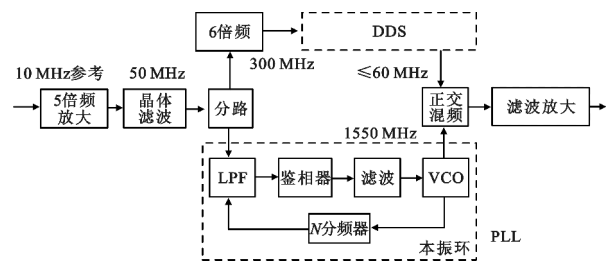


图 2 采用 DDS 正交调制的频率综合器
Fig. 2 Frequency synthesizer based on DDS quadrature modulation and PLL

相对于图 1, DDS 正交调制方法的重点在于控制环路的附加相噪,主要采用以下措施:

- (1)相比参考锁相倍频为 DDS 提供时钟的方式,采用参考直接倍频为本振 PLL 提供鉴相输入的方式,避免了参考锁相倍频时鉴相基底引入的附加噪声;
- (2)相比 DDS 和 PLL 串行设计,正交调制的方案减少了一个附加 DDS 相噪的环节;
- (3)DDS 直接正交混频到输出工作频率,减少了一个因再次倍频扩大附加相噪的环节;
- (4)参考信号倍频后采用 50 MHz 窄带晶体滤波,改善了 10 kHz 和 100 kHz 相噪;
- (5)采用试验方法确定 DDS 和鉴相器 1 Hz 基底相噪,用于低相噪频综器的设计。

3.2 低相噪设计方法及分析

某深空测控系统采用 DDS 与 PLL 正交调制的方法设计频综器,其相位噪声仍然包括参考输入和鉴相基底贡献的等效输入噪声、VCO 贡献的环路带外噪声以及 DDS 混频产生的加性相位噪声。对于环路带内的参考噪声,鉴相器与 DDS 噪声均为附加噪声,需要控制到远小于参考噪声的水平,使频综器输出相噪按照式(1)的理论值变化:

$$L_1(f) = L_r(f) + 20\lg N. \tag{1}$$

式中, $L_r(f)$ 表示参考相噪,单位为 dBc/Hz; N 表示倍频次数。目前,工程手册并未直接提供集成电路芯片的 1 Hz 基底相噪,其噪声需要通过试验数据确定。

3.2.1 鉴相器 1 Hz 相噪分析及设计

试验采用对高稳晶振锁相倍频,凸显鉴相器 1 Hz 噪声的方法来推算基底相噪。如前述分析,非相干参考相噪和鉴相器噪声组成环路带内等效输入噪声,按照 $20\lg N$ (倍频次数)的规律变化,当倍频次数超过某值,PLL 输出相噪不再以式(1)的理论值变化时,测试到的相位噪声即为鉴相器贡献的相位噪声。试验选取了一种电压型鉴相器(HMC440)和常用于测控站本振的电流型鉴相器(ADF4106),分别设计 650 MHz 单点频锁相环,鉴相频率 10 MHz。

为了真实比较两种鉴相器的 1 Hz 性能,锁相环采用的 VCO、电路形式以及测试仪器完全相同。测试结果如表 1 所示。

表 1 两种鉴相器的相位噪声测试结果
Table 1 Test results of phase noise of two styles of phase discriminator

频率 /Hz	10 MHz 参考/ (dBc · Hz ⁻¹)	650 MHz 参考倍频/ 理论值/ (dBc · Hz ⁻¹)	ADF4106 环 路 650 MHz 实测值/ (dBc · Hz ⁻¹)	HMC440 环 路 650 MHz 实测值/ (dBc · Hz ⁻¹)
1	-122	-85	-50	-83
10	-138	-101	-95	-100
100	-145	-108	-104	-106
1000	-148	-111	-108	-109

- 试验结果表明:
- (1)电压型鉴相器环路输出相噪比参考倍频的相噪恶化 2 dB,因此可以认为,65 倍频时鉴相器贡献的相噪基本与参考倍频的相噪相当或者更小,即 -85 dBc/Hz;
 - (2)电压型鉴相器的近端相噪性能(<10 Hz)远远好于电流型鉴相器;
 - (3)根据式(2)推算鉴相器 1 Hz 基底相噪如表 2 所示:

$$L_2(f) = L_{PD}(f) + 10\lg F_c + 20\lg N. \tag{2}$$

式中, $L_2(f)$ 为鉴相器输出相噪, $L_{PD}(f)$ 为基底相噪,它们的单位都是 dBc/Hz; F_c 为鉴相频率, N 为倍频次数。

表 2 两种鉴相器 1 Hz 基底相噪的分析结果
Table 2 1 Hz base phase noise of two styles of phase discriminator

鉴相器	相噪实 测值/ (dBc · Hz ⁻¹)	10lg F_c / dB	20lg N / dB	相噪 基底/ (dBc · Hz ⁻¹)
电流型 鉴相器	-50	70	37	-157
电压型 鉴相器	-85	70	37	-192

而工程手册提供 HMC440 的 100 Hz、1 kHz、10 kHz 和 100 kHz 的基底相噪均为 -233 dBc/Hz,按照环路带内相噪外推的方式,理想 1 Hz 相位噪声应为相同量级,因此可认为 $-233 \text{ dBc/Hz} < L_{PD}(1 \text{ Hz}) < -192 \text{ dBc/Hz}$,其中 $L_{PD}(1 \text{ Hz})$ 为 1 Hz 鉴相基底,单位为 dBc/Hz。

3.2.2 DDS 相位噪声分析及设计

DDS 相位噪声包括累加器相位截断引入的相位噪声、ROM 存储器有限字长引入的相位噪声和

DAC 量化引入的相位噪声^[10]。DDS 输出的最高频率严格限制为时钟频率的 1/2,考虑到杂散因素,通常使用在时钟频率的 1/4 以下,因此具有分频功能。理论上,时钟相噪以分频比 N 优化,如式(3)所示:

$$L_{\text{DDS}}(f) = L_c(f) - 20\lg N。$$

(3)

式中, $L_c(f)$ 表示时钟相噪,单位为 dBc/Hz; N 表示分频次数。但实际上分频优化值比理论值要小,工程上一般考虑小 3 dB。严重时,附加相位抖动完全抵消分频优化部分,甚至使 DDS 输出相噪差于时钟相噪。工程手册未直接提供 DDS 相位噪声,但仍然可以分析不同输出频率时的相噪表现,采用凸显的方法确定其相位噪声。一款常用的 DDS 集成芯片,输出 80 MHz 和 5 MHz 时,该 DDS 在 100 Hz、1 kHz、10 kHz 和 100 kHz 相噪数据如表 3 所示。

表 3 一种 DDS 在不同频率的相位噪声

Table 3 A DDS phase noise at the different frequency

频率/Hz	80 MHz 相噪/ (dBc · Hz ⁻¹)	5 MHz 相噪/ (dBc · Hz ⁻¹)
100	-124	-128
1000	-133	-142
10 000	-142	-148
100 000	-150	-152

理想情况下,如图 1 所示的 300 MHz 时钟相噪按照 DDS 分频比优化,当输出为 80 MHz,分频比相对较小,输出相噪基本体现了时钟相噪的理论变化,如式(3)。当输出为 5 MHz 时,分频比相对较大,理论上将在 80 MHz 相噪基础上继续优化 24 dB,但实际上变化很小,可以认为 5 MHz 时的输出相噪即 DDS 贡献的相噪,其影响凸显,超过了时钟的相噪,但时钟通过 DDS 后,相噪总会因分频比而优化,不

会比 DDS 贡献的相噪更差。对于图 2 所示频综器的设计方案,DDS 最高输出频率为 60 MHz,根据表 3,可合理假设 80 MHz 相噪是按照分频倍数优化到 60 MHz。重要的是,无论如何都优于 DDS 的相噪下限,即表 3 中的 5 MHz 时的输出相噪。

即使按照 10 dB 滚降外推,1 Hz、10 Hz 的相位噪声也分别小于 -108 dBc/Hz 和 -118 dBc/Hz。根据图 2,参考通过 6 倍频作 DDS 时钟,输出后与相同参考经本振环 PLL 倍频 155 次后的输出正交混频,按照叠加原理其相噪完全可以忽略不计。

3.2.3 环路带宽及 1 MHz 以上相噪分析

环路带宽是频综器设计首先需要考虑的问题。器件手册一般直接提供 VCO 的相噪曲线,而环路带内等效输入相噪曲线可以采用仿真的方法得到,工程上常取两条曲线的交点作为环路带宽的设计值,使频综器的相位噪声最优。不同于传统测控,深空系统对于环路远端,一直到 10 MHz 的相噪有明确要求,因此不能因为满足 1 Hz/10 Hz 等相噪而一味压窄环路带宽,需要综合考虑参考相噪、VCO 相噪的影响,环路带宽设计值取 180 kHz。而 VCO 对于环路输出相噪的影响,不仅需要考虑环路带外各点,还应该考虑带内邻近环路带宽的点,工程上这些点对 VCO 相噪的抑制一般认为 10 dB,甚至更大,图 2 频率综合器采用的一款 VCO,器件手册提供环路边界点 100 kHz 相位噪声 -128 dBc/Hz,环路带宽 180 kHz,考虑环路带宽,VCO 在此点的相位噪声抑制 10 dB 为 -118 dBc/Hz,电路上受到电源和滤波器运放的影响,再进一步考虑相噪恶化 5 dB,因此实际考虑 VCO 在此点的相噪为 -113 dBc/Hz,如表 4 所示。

表 4 VCO 在带外频偏的相噪分析结果

Table 4 Analysis of VCO's phase noise at offset frequency

频率/kHz	10 MHz 参考	×5 倍频输出	晶体滤波后	1550 MHz 参考相噪	本振环 VCO	本振环输出	指标要求
10	-145	-131	-140(改善)	-110	-109	-106	-88
100	-150	-136	-150(改善)	-120	-113	-113	-98
1000	-150	-136	—	—	-139	-139	-125
10 000	-150	-136	—	—	-144	-144	-135

(1) 晶体滤波器对 100 kHz 相噪的改善作用
指标要求 10 kHz 的相噪 -88 dBc/Hz,按 10 dB 滚降,100 kHz 的相噪预计 -98 dBc/Hz,考虑设计余量 10 dB,则 100 kHz 相噪的设计值 -108 dBc/Hz,为了减小 VCO 的影响,环路带宽必须大于 100 kHz,实际设计为 180 kHz,如果不采取别的措施,如表 4 所示的 100 kHz 参考相噪 155 次倍频输出后,按照式(1)计算理论值为 -106.2 dBc/Hz,不能满足

-108 dBc/Hz 的设计要求。实际设计时,如图 2 的参考输入端采用了带宽 2.5 kHz 的晶体滤波器,改善 100 kHz 的参考相噪,凸显了 VCO 的相噪,如前述分析考虑各种影响,VCO 设计值为 -113 dBc/Hz。
(2) 晶体滤波器对 1 MHz 以上相噪的改善作用
同样地,参考相噪不能仅仅考虑对于环路带内的影响,还应该考虑带外的各点,指标要求 1 MHz 相噪 -125 dBc/Hz,考虑设计余量 10 dB,则要求设计值

-135 dBc/Hz。1 MHz处于环路带外,相对于100 kHz为 10 倍频程点,环路低通对此点的抑制约30 dB,如果不采取别的措施,参考相噪 155 次倍频输出后,按照式(1)变化再抑制30 dB为-136.2 dBc/Hz,不能确保该指标要求,因此设计晶体滤波器改善参考相噪的影响,凸显 VCO 的相噪作用。

(3) 本振环相噪

经环路带宽和晶体滤波器设计,本振环10 kHz

以上的相噪最终决定于 VCO,如表 4 所示。

3.2.4 相噪设计结果

根据上述分析,综合考虑鉴相基底相噪、DDS相噪、VCO 相噪、参考倍频相噪以及环路带宽和晶体滤波设计,采用电压型频综器的最终设计结果如表 5 所示。1 Hz相噪由高稳参考决定,倍频后为-73 dBc/Hz,可以满足-68 dBc/Hz @ 1 Hz的技术要求。

表 5 某深空测控系统频率综合器相位噪声的设计值
Table 5 Phase noise of synthesizer designed for a deep space TT&C system dBc · Hz⁻¹

频率/Hz	10 MHz 参考	×5 倍频输出	晶体滤波后	HMC440 鉴相基底	50 MHz 鉴相基底	本振环 VCO	本振环输出	指标要求
1	-117	-103	-103	<-192	<-85	—	-73	-68
10	-129	-115	-115	-233	-126	—	-85	-78
100	-136	-122	-122	-233	-126	—	-92	-78
1000	-143	-129	-129	-233	-126	—	-99	-78
10 000	-145	-131	-140	-233	-126	—	-109	-88
100 000	-150	-136	-150	-233	-126	-113	-113	-88
1 000 000	-150	—	—	—	—	-139	-139	-125
10 000 000	-150	—	—	—	—	-144	-144	-125

4 1 Hz 相噪的测试方法及结果分析

为了得到准确的相位噪声测试结果,要求参考源的相位噪声比被测源的相位噪声高10 dB以上,否则测量结果需要进行修正。深空测控系统采用了主动型氢原子频率标准作为时间频率标准,其10 MHz输出的近端相位噪声在1 Hz偏离载波处达到了-120 dBc/Hz,这已是目前商用频标中的最高水平,以此为参考的频综器测试只能采用两源互比的方法,即被测件与参考鉴相检波,并对测量结果进行修正。利用下变频法,将被测本振下变频到中频,在中频鉴相检波,因参考源和被测源噪声不相干,测量结果扣除3 dB得到被测信号的相位噪声,其测量原理框图如图 3 所示。

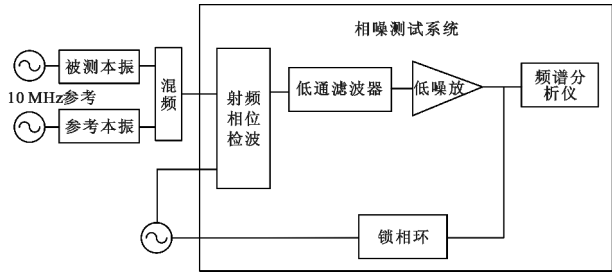


图 3 混频和鉴相法两源比对相噪测试

Fig. 3 Phase noise test through source comparison between mixing frequency method and phase discrimination method

测试结果为被测信号和参考信号的非相干总贡献,由于被测本振与参考本振完全相同,并且采用的 10 MHz参考指标也是一样的,所以其测量结果扣除 3 dB,就是被测信号的相位噪声。采用上述方法设计 L 频段频综器,利用两源对比法,典型测试结果如图 4 所示。

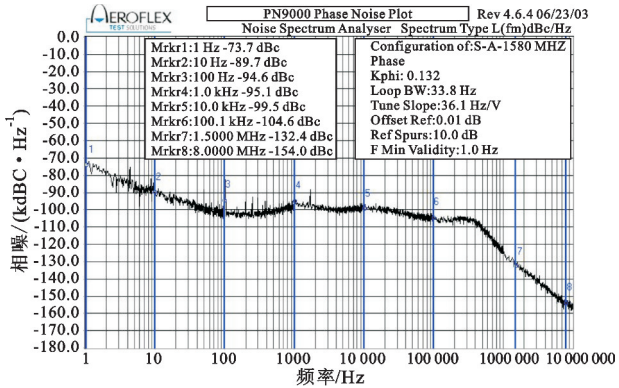


图 4 L 频段频综器相噪测试结果

Fig. 4 Test result of phase noise of the L-band frequency synthesizer

分析图 4 的测试曲线,在100 Hz以下和1 MHz以上的范围内,相噪基本上按照幂律谱的规律变化,滚降特征明显未产生附加相噪。实际环路带宽 300 kHz左右,其选择是合理的,符合重点设计10 Hz

以下和1 MHz以上低相位噪声的初衷。实测结果为-73 dBc/Hz@1 Hz, -132 dBc/Hz@1 MHz, 其他测试点见图4, 与表5的设计值很接近, 满足指标要求。

5 结束语

深空测控系统的频综器采用 DDS 与 PLL 正交调制的方案,通过试验确定了鉴相器和 DDS 的基底相噪并择优选取集成芯片,在锁相环相噪模型的基础上,结合工程数据分析了 DDS、鉴相器和 VCO 的相位噪声,并综合设计环路带宽,利用晶体滤波改善参考相噪对于环路带外的影响,最大程度地抑制了附加相噪,最终使频综器的带内相噪完全由参考决定,环路带外相噪由 VCO 决定,实现了频综器最高设计目标。测控通信系统对于轨道测量精度的普遍要求,使得这种相噪设计和分析的方法可以用于多数地面测控站,并能延伸到其他频段。本文通过试验及外推等方法巧妙获取了鉴相器及 DDS 等元器件的近载相噪值,摆脱了工程手册的限制,并首次用于测控系统中的1 Hz近载低相噪设计,最后采用两源互比的方法进行测试,这些都是以往频综器设计中未曾涉及到的领域,对于极低相位噪声的频综器设计具有参考价值。

参考文献:

- [1] 刘嘉兴. 向技术极限挑战——深空测控通信的目标[J]. 电讯技术,2008,48(4):1-7.
LIU Jiaying. Challenging the Technology Limit: the Goal of Deep Space TTC & Data Transmission[J]. Telecommunication Engineering,2008,48(4):1-7. (in Chinese)
- [2] 刘嘉兴. 测控系统中振荡器短稳对测速精度的影响[J]. 电讯技术,2005,45(1):85-90.
LIU Jiaying. Effect of Short Term Frequency Stability of Oscillators on the Velocity Precision in a TT&C System[J]. Telecommunication Engineering,2005,45(1):85-90. (in Chinese)
- [3] 刘嘉兴. 深空测距信号短稳对测距精度的影响[J]. 空间电子技术,2012(12):66-69.
LIU Jiaying. Impact on the Deep Space Range Accuracy by Short-Term Frequency Stability of Range Signal[J]. Space Electronic Technology, 2012(12):66-69. (in Chinese)
- [4] 黄磊,王宏,樊敏. 三向测量技术在深空探测中的应用研究[J]. 飞行器测控学报,2012,31(3):6-10.

HUANG Lei, WANG Hong, FAN Min. Application of Three-way Measurement in Deep Space Exploration[J]. Journal of Spacecraft TT&C Technology,2012,31(3):6-10. (in Chinese)

- [5] HALFORD D, WAINWRIGHT A E, BARNES J A. Flicker Noise of Phase in RF Amplifiers and Frequency Multipliers: Characterization, Cause, and Cure[C]//Proceedings of 22nd Annual Symposium on Frequency Control. [S. l.]:IEEE,1968:340-341.
- [6] 金数波,邓贤进. S波段 DDS/PPLL 频率合成技术研究[J]. 电讯技术,2002,42(1):13-16.
JIN Shubo, DENG Xianjin. Research on S-band DDSP-PLL Frequency Synthesizing Technology[J]. Telecommunication Engineering,2002,42(1):13-16. (in Chinese)
- [7] 刘类骥,林巧莉. 一种基于正交调制技术的宽带频率源设计[J]. 电讯技术,2008,48(5):65-68.
LIU Leiji, LIN Qiaoli. Design of a Wide-band Frequency Source Based on Quadrature Modulation Technique[J]. Telecommunication Engineering,2008,48(5):65-68. (in Chinese)
- [8] 林巧莉. 基于 ADF4360 系列的小型化频率综合器设计[J]. 电讯技术,2008,48(10):81-83.
LIN Qiaoli. Miniaturization Design of Frequency Synthesizer Based on ADF4360 Series[J]. Telecommunication Engineering,2008,48(10):81-83. (in Chinese)
- [9] 刘永智,鲍景富,高树廷. 一种 S 频段高性能频率合成器的设计与实现[J]. 电讯技术,2011,51(1):89-92.
LIU Yongzhi, BAO Jingfu, GAO Shuting. Design and Implementation of an S-band High Performance Frequency Synthesizer[J]. Telecommunication Engineering,2011,51(1):89-92. (in Chinese)
- [10] 王江涛,於洪标. DDS 信号产生电路相位噪声的分析[J]. 现代雷达,2007,29(12):94-97.
WANG Jiangtao, YU Hongbiao. Analysis of Phase Noise in Signal Generator Based on DDS[J]. Modern Radar, 2007,29(12):94-97 (in Chinese)

作者简介:



杜 丹(1973—),男,四川射洪人,1997 年于电子科技大学获学士学位,现为工程师,主要研究方向为飞行器测控总体技术。

DU Dan was born in Shehong, Sichuan Province, in 1973. He received the B. S. degree from University of Electronic Science and Technology of China in 1997. He is now an engineer.

His research concerns TT&C communication system for aerial vehicles.

Email: Apollo1120@163.com