

doi:10.3969/j.issn.1001-893x.2016.03.010

引用格式:罗义军,陆冬冬,李勤.一种高速捷变并行调制矢量信号源的 FPGA 实现[J].电讯技术,2016,56(3):290-294. [LUO Yijun, LU Dongdong, LI Qin. FPGA implementation of an agile parallel modulation vector signal generator[J]. Telecommunication Engineering, 2016, 56(3): 290-294.]

一种高速捷变并行调制矢量信号源的 FPGA 实现*

罗义军**^a, 陆冬冬^a, 李勤^b

(武汉大学 a. 电子信息学院; b. 电气工程学院, 武汉 430072)

摘要:在信号调制过程中,为了缩短载波生成的捷变时间,分析了影响捷变时间的因素。提出了单频信号的并行合成结构,解决了载波频率受现场可编程逻辑门阵列(FPGA)时钟限制的问题。为了解决调制过程中采样频率受时钟约束的问题,给出了矢量信号的正交并行调制结构。通过在 FPGA 上编写 Verilog 代码实现了时钟频率为 160 MHz、采样率为 1.92 Gsample/s 的并行矢量信号调制,载波频率为 200~300 MHz 可变,捷变时间小于 35 ns。结果表明,并行载波生成和并行调制的方法在克服系统时钟约束方面有较强的实用性。

关键词:矢量信号源;并行载波生成;高速捷变;并行调制结构;FPGA 实现

中图分类号:TN911.72 **文献标志码:**A **文章编号:**1001-893X(2016)03-0290-05

FPGA Implementation of an Agile Parallel Modulation Vector Signal Generator

LUO Yijun^a, LU Dongdong^a, LI Qin^b

(a. Department of Electronic Information; b. School of Electrical Engineering, Wuhan University, Wuhan 430072, China)

Abstract: In order to save the frequency shifting time (FST) of carrier in modulation, critical factors of FST are analyzed in this paper. A parallel structure of sinusoidal signal synthesis is proposed to solve the problem that the maximum frequency is limited by field programmable gate array (FPGA) clock. A novel structure is provided in the quadrature modulation of vector signal to solve the problem that the sample time is limited by FPGA clock. By writing Verilog code, the vector signal modulation in parallel structure is implemented on FPGA, of which the working clock is 160 MHz and the sample rate is 1.92 Gsample/s, the carrier's frequency is variable from 200~300 MHz, and the FST is less than 35 ns. It is proved that the parallel structure in carrier generation and the parallel structure in modulation are practical ways to overcome the restriction of FPGA clock.

Key words: vector signal source; parallel frequency generation; agile frequency shifting; parallel modulation structure; FPGA implementation

1 引言

在电子技术领域中,经常要用一些信号作为测量基准信号或输入信号,也就是信号源。信号源广泛应用于装备测试、电子测量、卫星定位、通信^[1-3]

等领域。电子侦察和雷达系统为了达到捕获、跟踪和抗干扰的目的,往往要求信号源具有良好的捷变性能^[4-5]。在空间数据和信息传输系统和数字视频广播系统(Digital Video Broadcasting, DVB)中,矢量

* 收稿日期:2015-07-27;修回日期:2015-10-08 Received date:2015-07-27;Revised date:2015-10-08

** 通信作者:lyj@whu.edu.cn Corresponding author:lyj@whu.edu.cn

信号的调制得到了广泛应用。现场可编程门阵列(Field Programmable Gate Array, FPGA)本身具有高度的灵活性、并行性和运行速度快等优点,使得基于 FPGA 的信号源能满足高速捷变和复杂调制等要求。由于 FPGA 的时钟频率有限,串行结构的频率合成方法生成的载波频率受到了主时钟的限制。同时,在调制过程中为了得到足够的杂波抑制,载波频率越高,就要求系统有足够大的采样率,而采样率也受到 FPGA 时钟频率的约束,采用并行的结构能有效解决这些问题^[6]。

本文分析了单频信号的并行生成结构和矢量信号的并行调制结构,并给出了具体的实现方法,实现了载波频率可变、符号速率可变的矢量信号调制。

2 硬件设计

矢量信号源主要由信号调制和 D/A 转换两部分构成,本文中,实现信号调制的 FPGA 采用 Altera 公司的 EP2S60F1020I4N。该 FPGA 提供了丰富的数字信号处理(Digital Signal Processing, DSP)块功能和自适应逻辑块(Adaptive Logic Module, ALM),并支持高速串行器,能够高效地实现一系列信号处理算法。D/A 转换器采用 Ti 公司的 DAC5670。DAC5670 是一款具有双差分输入端口的 14 位高速 DAC,采样率高达 2 400 Msample/s,两输入最大速率为 1.2 Gsample/s; FPGA 时钟和 D/A 时钟由 ADF4351 时钟芯片提供,ADF4351 是内置压控振荡器(Voltage Controlled Oscillator, VCO)的宽带频率合成器,结合外部环路滤波器和外部基准频率使用时,可实现小数 N 分频或整数 N 分频锁相环(Phase Locked Loop, PLL)频率合成器,其基波输出频率范围为 2 200 ~ 4 400 MHz。此外,利用 1/2/4/8/16/32/64 分频电路,用户可产生低至 35 MHz 的输出频率。ADF4351 产生的时钟作为 DAC5670 采样时钟。

3 并行调制结构

矢量信号包括 PSK、QAM 等,这里以 PSK 为例进行分析。并行调制结构主体上与串行调制结构^[7-8]一样,包括符号映射、滤波、载波生成、上变频,如图 1 所示,但在具体实现上有所区别。并行结构的滤波采用基于多项分解^[9-10]的并行滤波形式,载波生成采用并行生成方式,上变频部分也是并行结构。除此之外,上变频之后的多路数据还需要进

行比特重排、高速串行化,最后送到 D/A 转换器。

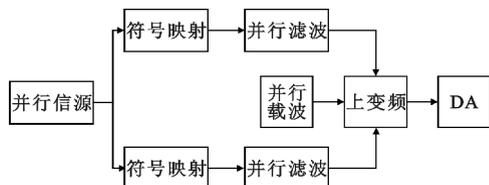


图 1 并行调制结构

Fig. 1 Parallel modulation structure

4 并行载波生成

4.1 捷变时间的考虑

捷变时间是指从一个频率点的稳定状态变化至另一个频率点的稳定状态需要的时间,它包括处理器的操作时间加上 D/A 的转换时间。

Altera 公司开发的 Quartus 软件提供数控振荡器(Numerically Controlled Oscillator, NCO)模块,可以根据输入的频率控制字生成对应频率的正余弦波。经测量,NCO 模块内部延时较大,我们采用如图 2 所示的相位累加器加 ROM 表查询的结构,只需要两个时钟周期,缩短了 FPGA 处理时间,从而减小了捷变时间。如果 FPGA 的时钟为 160 MHz,那么在这样的结构中 FPGA 消耗的时间为 12.5 ns。



图 2 NCO 简化结构

Fig. 2 Simplified structure of NCO

为了满足信号发生器高速捷变的要求,需选用处理时间尽可能短的芯片。DAC5670 输出传播延时为 $7T_{\text{DACCLK}} + 1.5 \text{ ns}$, T_{DACCLK} 为工作时钟周期。当工作在 1.92 GHz 的频率下时,其输出传播延时约为 5.15 ns。

4.2 并行生成结构

单频信号的并行生成结构是采用同一频率不同相位的地址并行访问多个 ROM 波表的方法,将得到的并行多路数据经串行器串行化后生成串行的高频率单频信号。假设要产生的载波频率为 f_c ,FPGA 的时钟频率为 f_s ,NCO 的位数为 N ,采用的并行结构为 l 路, f_c/l 对应的频率控制字为 f_{cw} ,那么 $f_{\text{cw}} = 2^N \cdot f_c / (l \cdot f_s)$,令 $f_{\text{cw}0} = f_{\text{cw}}$, $f_{\text{cw}1} = 2f_{\text{cw}}$, $f_{\text{cw}2} = 3f_{\text{cw}}$, \dots , $f_{\text{cw}(l-1)} = lf_{\text{cw}}$ 。用一个累加器对 $f_{\text{cw}(l-1)}$ 进行累加,将累

加器输出的结果与 $f_{cw0}, f_{cw1}, \dots, f_{cw(l-1)}$ 相加之后分别查询 ROM 表,这样就得到了频率相同、相位间隔相等的各路正余弦波。下面给出 $f_c = 250 \text{ MHz}, f_s = 160 \text{ MHz}, l=12$ 时的 FPGA 实现结构,如图 3 所示。

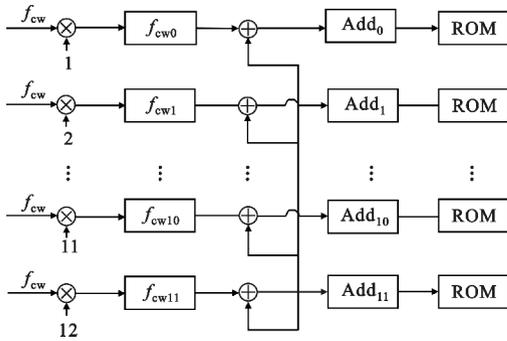


图 3 并行载波的 FPGA 实现结构

Fig. 3 Parallel structure of carrier implemented on FPGA

5 并行滤波的实现

升采样滤波结构如图 4 所示,假设输入序列 $x(n)$ 为 $x(0), x(1), x(2), \dots, x(n-1), x(n)$ 上抽倍数 $I=2$, 则 $x'(n)$ 为

$$\begin{cases} x'(2t) = x(t) \\ x'(2t+1) = x(t) \end{cases}, t=0, 1, 2, 3, \dots \quad (1)$$

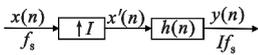


图 4 升采样滤波结构

Fig. 4 Upsampling and filtering structure

假设滤波器的系数 $h(n)$ 为 $h(0), h(1), h(2), \dots, h(2m-1)$, 其中 m 为整数,那么可以将滤波器的系数等距离分为两组,每组 m 个数,偶数组系数为 $h_{\text{even}}(n)$,奇数组系数为 $h_{\text{odd}}(n)$,设滤波器的输出为 $y(n)$,那么,

$$y(n) = h(n) * x'(n) = \sum_{k=0}^N h(k) x'(n-k) \quad (2)$$

N 使得 $h(k), x'(n-k)$ 都存在。设 $y(n)$ 的偶数项为 $y_{\text{even}}(n)$, $y(n)$ 的奇数项为 $y_{\text{odd}}(n)$, 那么,

$$\begin{aligned} y_{\text{even}}(n) &= y(2t) = \sum_{k=0}^N h(k) x'(2t-k) = \\ &= h(0)x(t) + h(2)x(t-1) + \\ &+ h(4)x(t-2) + \dots + h(2m-2)x(t-m) + \\ &+ \dots + h(1)x(t) + h(3)x(t-1) + \\ &+ h(5)x(t-2) + \dots + h(2m-1)x(t-m) = \\ &= x(n) * h_{\text{even}}(n) + x(n) * h_{\text{odd}}(n), \end{aligned} \quad (3)$$

同理,

$$y_{\text{odd}}(n) = x(n+1) * h_{\text{even}}(n) + x(n) * h_{\text{odd}}(n) \quad (4)$$

依据等式(3)和等式(4),图 4 的上采样滤波结构可以用图 5 结构替代。

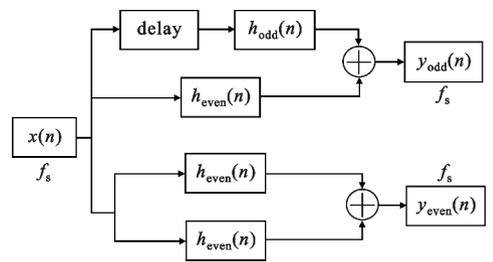


图 5 2 倍上采样并行滤波结构

Fig. 5 Double-upsampling and parallel filtering structure

图 5 所示结构为上采样倍数为 2 时的并行滤波结构,不失一般性,当上采样倍数为 I 时,亦可以可以采用类似的结构。

当符号速率较低而采样速率较高时,如果采用单级滤波形式,为了得到较大的谐波抑制,就要求滤波器具有非常高的阶数和非常窄的过渡带,采用多级滤波结构可以降低对滤波器的要求。同样地,多级上采样滤波也可以用这种并行滤波的结构代替,如图 6 所示。

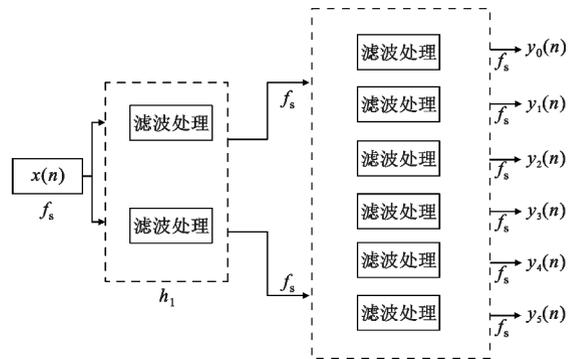


图 6 级联的并行滤波结构

Fig. 6 Cascaded parallel filtering structure

假设将 $x(n)$ 6 倍上采样串行滤波之后得到的序列为 $y(n)$, 这里得到的 $y_0(n), y_1(n), y_2(n), y_3(n), y_4(n), y_5(n)$ 即为将 $y(n)$ 等间隔分为 6 组之后的各个序列。图 6 中 h_1, h_2 的滤波结构与图 5 的结构类似。

5 并行上变频的实现

原始序列经滤波之后得到 12 路并行数据,每路数据的数据速率是 160 Msample/s,这样就得到了等

效采样速率为1.92 Gsample/s的数据。并行载波生成模块输出数据也是 12 路,每路数据都是采样速率为 160 Msample/s、频率为250 MHz的正、余弦波,这样也就得到了等效采样速率为1.92 Gsample/s的250 MHz的载波。并行的数据序列和载波在数字混频模块中进行上变频,数字混频模块的 12 路实现结构如图 7 所示。

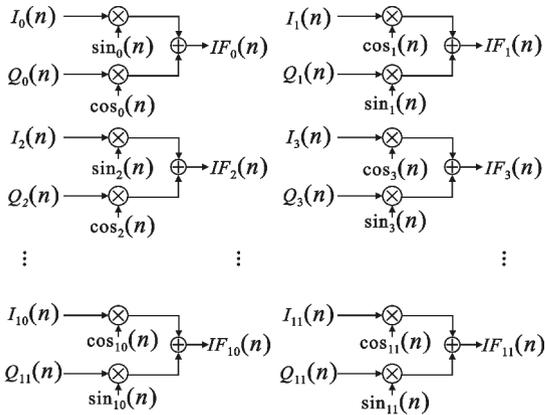


图 7 并行上变频实现结构

Fig. 7 Implementation structure of parallel upconversion

经混频之后的数据本质上是串行的数据与串行的载波混频之后将得到的序列按照固定的间距抽取出来的多路数据。假设混频之后的串行序列 $IF(n)$ 为 $IF(0), IF(1), IF(2), \dots, IF(n-2), IF(n-1)$, 那么, $IF_0(n)$ 为 $IF(0), IF(12), IF(24), \dots$; $IF_1(n)$ 为 $IF(1), IF(13), IF(25), \dots$; 以此类推: $IF_{10}(n)$ 为 $IF(10), IF(22), IF(34), \dots$; $IF_{11}(n)$ 为 $IF(11), IF(23), IF(35), \dots$;

并行生成的数据经过比特重排和高速串化之后就可以送到 D/A 进行数模转换了, D/A 输出的数据再送到模拟带通滤波器进行滤波, 就得到了理想的调制信号。

6 测量结果

在实际应用中, FPGA 的工作时钟为 160 MHz, DAC5670 的采样时钟为 1.92 Gsample/s。用并行载波生成算法生成的 250 MHz 载波频谱如图 8 所示, 从图中可以看出, 250 MHz 单点频信号相对于杂波抑制约为 68 dB。经测量, 单频信号在 200 ~ 300 MHz 的捷变时间小于 35 ns, 如图 9 所示。用相噪仪测试单点频信号的相噪, 输出单点频信号频率为 250 MHz, 在距离中心频率 1 kHz 处相噪为 -140 dB/Hz。

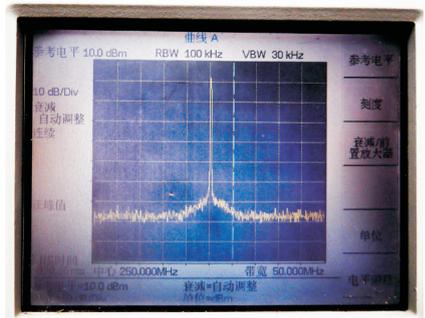


图 8 250 MHz 单点频信号的频谱
Fig. 8 Spectrum of 250 MHz sine wave

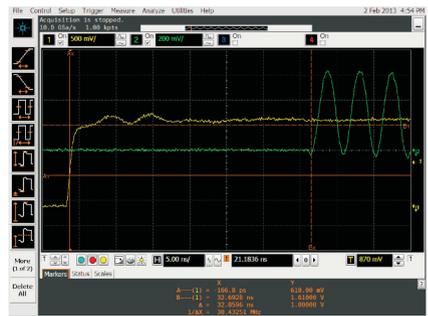


图 9 捷变时间测量图

Fig. 9 Frequency shifting time measurement diagram

对于矢量调制信号, 我们以 8PSK 信号为例, 图 10 给出了符号速率为 10 Mb/s、载波频率为 250 MHz 的 8PSK 信号的频谱图。从图中可以看出, 8PSK 调制信号的杂波抑制约为 50 dB, 信号带宽为符号速率的 2 倍。

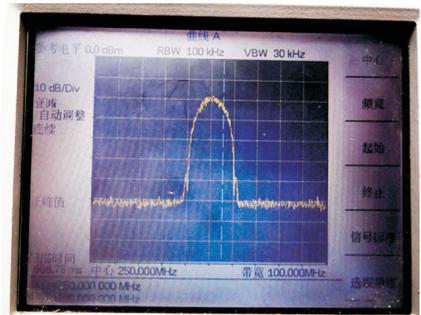


图 10 符号速率 10 Mb/s 时 8PSK 频谱
Fig. 10 Spectrum of 8PSK signal with the symbol rate of 10 Mb/s

7 结束语

本文提出的矢量信号的并行调制结构能够很好地解决在 FPGA 中载波生成频率和处理速度受时钟频率限制的问题。FPGA 本身具有的高速性使得高速捷变实现起来比较容易; 另外, FPGA 本身具有的并行性也使得并行调制结构实现起来非常简单。并

行思想是以面积换速度的思想,因此,相对于串行结构消耗更多的资源。值得一提的是,如果采用 8 路并行结构,时钟频率提高到 240 MHz,采样频率为 1.92 Gsample/s 不变,这样可以将捷变时间减小 8 ~ 10 ns, FPGA 消耗的资源也将减少 13% 左右。本文给出的方案和方法在信号源的设计中具有较强的实用价值。

参考文献:

- [1] AI J, LI D, WANG Y L. Study of multi-channel signal source based on FPGA [C]//Proceedings of the Second International Conference on Instrumentation & Measurement, Computer, Communication and Control. Harbin: IEEE, 2012; 1300-1303.
- [2] ZHANG H F, LUO C L, TANG P Y, et al. High-speed arbitrary waveform generator based on FPGA [C]//Proceedings of Nuclear Science Symposium and Medical Imaging Conference. Seoul: IEEE, 2013; 1-5.
- [3] DAVIDE D C, ANTONIO G M S. High-performance direct digital frequency synthesizers using piecewise-polynomial approximation [J]. IEEE Transactions on Circuits and Systems—1: Regular Papers, 2005, 52 (2): 324-337.
- [4] 苏伍各, 王宏强, 邓彬, 等. 基于稀疏贝叶斯方法的脉间捷变频 ISAR 成像技术研究 [J]. 电子与信息学报, 2015, 37(1): 1-8.
SU Wuge, WANG Hongqiang, DENG Bin, et al. The inter-pulse frequency agility ISAR imaging technology based on sparse bayesian method [J]. Journal of Electronics & Information Technology, 2015, 37(1): 1-8. (in Chinese)
- [5] 王晓. 捷变频雷达信号发生器信号产生模块的设计 [D]. 成都: 电子科技大学, 2012.
WANG Xiao. The design of signal generator module infrequency-agile radar signal generator [D]. Chengdu: University of Electronic Science and Technology of China, 2012. (in Chinese)
- [6] LIN C X, SHAO B B, ZHANG J. A high data rate parallel demodulator suited to FPGA implementation [C]//Proceedings of 2010 International Symposium on Intelligent Signal Processing and Communication Systems. Chengdu: IEEE, 2010; 1-4.
- [9] XIE W B, DOU H. Design and verification of MSK based on FPGA [C]//Proceedings of the 2nd International Conference on Measurement, Information and Control. Harbin: IEEE, 2013; 486-489.

- [10] ARUN K K A. A low power implementation of PSK modems in FPGA with reconfigurable filter and digital NCO using PR for SDR and CR applications [C]//Proceedings of 2012 International Conference on Green Technologies. Trivandrum: IEEE, 2012; 192-197.
- [11] MITRA S K. 数字信号处理——基于计算机的方法 [M]. 孙洪, 余翔宇, 等, 译. 2 版. 北京: 电子工业出版社, 2005; 580-584.
MITRA S K. Digital signal processing—a computer-based approach [M]. Translated by SUN Hong, YU Xiangyu, et al. 2nd ed. Beijing: Publishing House of Electronics Industry, 2005; 580-584. (in Chinese)
- [12] OPPENHEIM A V, SCHAFER R W, BUCK J R. 离散时间信号处理 [M]. 2 版. 刘树棠, 黄建国, 译. 西安: 西安交通大学出版社, 2001; 145-150.
OPPENHEIM A V, SCHAFER R W, BUCK J R. Discrete-time signal processing [M]. 2nd ed. Translated by LIU Shutang, HUANG Jianguo. Xi'an: Xi'an Jiaotong University Press, 2001; 145-150. (in Chinese)

作者简介:



罗义军(1974—),男,湖北天门人,2003 年获博士学位,现为副教授,主要研究方向为无线通信与高速数据传输;

LUO Yijun was born in Tianmen, Hubei Province, in 1974. He received his Ph. D. degree in 2003. He is now an associate professor. His research concerns wireless communication and high speed data transmission.

Email: lyj@whu.edu.cn

陆冬冬(1990—),男,湖北荆州人,硕士研究生,主要研究方向为无线通信与信号识别;

LU Dongdong was born in Jingzhou, Hubei Province, in 1990. He is now a graduate student. His research concerns wireless communication and signal identification.

Email: ldd2013@whu.edu.cn

李勤(1979—),男,广西南宁人,博士研究生,主要研究方向为电气自动化。

LI Qin was born in Nanning, Guangxi Zhuangzu Autonomons Region, in 1979. He is currently working toward the Ph. D. degree. His research concerns electrical automation.

Email: zhanglm13@sina.com