doi:10.3969/j.issn.1001-893x.2015.05.017

引用格式:田增山,李亮. JTIDS 信号宽带接收方法及其 FPGA 实现[J]. 电讯技术,2015,55(5):564-569. [TIAN Zengshan, LI Liang. A Broadband JTIDS Signal Receiving Method and Its FPGA Implementation [J]. Telecommunication Engineering,2015,55(5):564-569.]

JTIDS 信号宽带接收方法及其 FPGA 实现*

田增山,李 亮**

(重庆邮电大学 重庆市移动通信技术重点实验室,重庆 400065)

摘 要:为了实现对联合战术信息分发系统(JTIDS)信号的宽带接收,设计了一种基于多相滤波器的 信道化接收方法。该方法通过对JTIDS的模拟信道和数字信道进行合理划分,将宽带接收转化为多 个窄带接收,然后再结合多相滤波器进行跳频频点检测,以实现全概率的JTIDS信号宽带接收。给 出了此信道化接收模型的现场可编程门阵列(FPGA)实现方案,并对仿真和硬件测试结果进行对比 分析。仿真与 FPGA测试结果表明,该接收模型可以精确实时地接收JTIDS宽带信号。 关键词:联合战术信息分发系统;跳频信号检测;多相滤波器;信道化接收机;现场可编程门阵列 中图分类号:TN971 文献标志码:A 文章编号:1001-893X(2015)05-0564-06

A Broadband JTIDS Signal Receiving Method and Its FPGA Implementation

TIAN Zengshan, LI Liang

(Chongqing Key Laboratory of Mobile Communications Technology, Chongqing University of Posts and Telecommunications, Chongqing 400065, China)

Abstract: In order to realize the Joint Tactical Information Distribution System(JTIDS) broadband signal reception, a method of channelized receiver based on polyphase filter is presented. Through reasonable division of JTIDS analog channel and digital channel, the broadband receiver is converted into a plurality of narrowband receiver, and then combined with the polyphase filter for frequency hopping point detection to realize the full probability receiving JTIDS signal. The Field Programmable Gate Array(FPGA) implementation scheme of channelized receiver model is provided, and the simulation and hardware test results are compared and analyzed. Simulation and FPGA test results show that the model can accurately receive JTIDS signals in real time.

Key words: joint tactical information distribution system; frequency hopping signal detection; ployphase filter; channelized receiver; field programmable gate array

1 引 言

联合战术信息分发系统(Joint Tactical Information Distribution System, JTIDS)是 Link-16 的通信载 体^[1],它采用了直序扩频技术和跳频扩频技术,具 有检测难度大、抗干扰能力强等特点。目前,JTIDS 已经成为美军及北约部队主要的数据传输系统,在

^{*} 收稿日期:2014-12-31;修回日期:2015-04-08 Received date:2014-12-31;Revised date:2015-04-08

基金项目:国家自然科学基金资助项目(61301126);重庆市基础与前沿研究计划项目(cstc2013jcyjA40041,cstc2013jcyjA40032);重庆 邮电大学博士启动基金(A2012-33)

Foundation Item: The National Natural Science Foundation of China(No.61301126); The Foundation and Cutting-edge Research Plan Item of Chongqing(cstc2013jcyjA40041, cstc2013jcyjA40032); The Doctor Start-up Foundation of Chongqing University of Posts and Telecommunications(A2012-33)

^{*} 通讯作者:liliang_FPGA@163.com Corresponding author:liliang_FPGA@163.com

多次的局部战争中都表现出了不可忽视的作用,因此,研究其侦察接收技术和干扰技术具有十分重要的意义^[2]。

目前跳频信号检测技术主要有基于时-频图的 检测技术^[3]和信道化检测技术^[4]。基于时-频图的 检测技术主要优点是适应性好,可检测出不同跳速 的跳频信号,缺点是检测时间相对较长。信道化检 测技术的主要优点是对已知跳频速率的信号检测性 能优异,检测准确率高,但对未知跳频速率的信号检 测性能相对较差。对于宽带接收技术在模拟部分主 要有压缩接收机、瞬时测频接收机、信道化接收机、 布莱格接收机等,在数字部分主要以数字式信道化 接收机为主^[3]。

在 JTIDS 接收方面,现已有宽带中频接收和多 相滤波器接收^[2]等方法,但它们都有计算复杂度 高、工程实现较难等缺点。本文根据 JTIDS 宽带接 收的要求,并结合上述提到的跳频信号检测算法以 及宽带接收方法的特点,设计了一种新的信道化接 收模型。在信道划分上首先根据 JTIDS 信号的实际 特点,对模拟信道和数字信道同时进行划分,把宽带 接收转化为多个窄带接收,降低了各个信道的采样 频率。在跳频频点检测方面,设计了一种适合于本 文信道划分方式的多相滤波器,实现了对 JTIDS 跳 频频点的实时检测。在文中还将给出此信道化接收 模型的现场可编程门阵列(Field Programmable Gate Array, FPGA)实现方案,并对实验结果进行分析 论证。

2 JTIDS 信号结构与特点

JTIDS 信号是一种跳频脉冲信号,该信号工作 在 Lx 频段960~1215 MHz上,具有 51 个跳频频点并 以76 923 hop/s的速率快速跳变,对于接收机而言脉 冲的载波频率是随机出现的^[1]。由于 JTIDS 工作频 段包含了两个敌我识别(Identification Friend or Foe, IFF)频段^[5],所以实际的工作频段为969~ 1008 MHz、1053~1065 MHz和1113~1206 MHz三 个子频段。跳频的频道间隔为3 MHz,相邻脉冲的 载频最小间隔为30 MHz,并且跳频图案随时隙而 不同。

JTIDS采用时分多址(TDMA)的工作方式,以 12.8 min为一个时元。每个时元又分为64个时帧, 每个时帧12 s。每个时帧又进一步分为1536个时 隙,每个时隙7.812 5 ms。当 JTIDS 工作在单脉冲 模式时,脉冲宽度为6.4 μs,脉冲周期为26 μs;当工 作在双脉冲模式时,脉冲宽度为6.4 μs,脉冲周期为 13 μs。经过 MSK 调制后的 JTIDS 信号3 dB带宽约 为3.5 MHz^[2]。

3 JTIDS 信道化接收模型

由于 JTIDS 信号具有工作频段宽、跳频速率高、 脉冲周期短等特点,使得对 JTIDS 进行全概率接收 成为一个难点。想要实现对 JTIDS 全概率宽带接 收,必须解决宽带信号接收以及跳频信号实时检测 这两个问题。本文采用模拟信道和数字信道同时划 分的方式,并结合多相滤波器,不仅解决了 JTIDS 信 号的宽带接收,而且实现了 JTIDS 跳频频点的实时 检测。

3.1 信道划分

信号的信道划分分为实信号的信道划分和复信 号的信道划分。本文只针对复信号的情况进行讨 论。信道划分方式包括盲区和无盲区两种^[6],有盲 区的信道划分对滤波器要求较高,且容易造成漏检, 不利于工程实现。为了实现全概率的信号截获,本 文采用无盲区的信道划分方式,如图1所示。



图 1 为划分偶数个信道的情况,其中 D 为信道 个数,各子信道滤波器的中心角频率 ω_k 为

$$\boldsymbol{\omega}_{k} = \left(k - \frac{D-1}{2}\right) \cdot \frac{2\pi}{D}_{\circ} \tag{1}$$

式中,k=0,1,…,D-1。

在无盲区信道划分中,相邻信道间滤波器组 3 dB带宽处需要相互重叠^[7]。此时,每个滤波器的 阻带截止频率为2π/D,通带截止频率为π/D,这种 信道设计对滤波器要求较小,工程实现较为容易。 按照这种信道划分即可实现信号的全概率接收。

3.2 复信号的多相滤波信道化接收机

实现信号的信道化接收可以采用原型低通滤波 器组和多相滤波器,由于原型低通滤波器组对滤波 器要求较高,工程实现较为困难,所以工程中一般采 用多相滤波器的方案。多相滤波器是把原型低通滤 波器组变成多相一致离散傅里叶变换的滤波器组. 通过对原型滤波器系数进行抽取来实现^[8]。多相 滤波器的结构如图 2 所示,图中 s(n)为输入信号, $y_i(m)$ 为多相滤波器各个信道的输出信号。



图 2 复信号信道化接收机模型 Fig. 2 Complex signal channelized receiver model

由于多相滤波器的理论以及相应信号检测算法 已较为成熟,本文只给出简要推导过程。设原型理 想低通滤波器的频率响应为

$$h(e^{j\omega}) = \begin{cases} 1, & |\omega| \leq \frac{\pi}{D} \\ 0, & \pm \ell \end{cases}$$
(2)

并定义

$$s_{p}(m) = s(mD+p), h_{p}(m) = h(mD-p),$$

$$0 \le p \le D-1, \qquad (3)$$

则第 k 路信道的输出 y_k(m)可表示为

$$y_{k}(m) = \sum_{p=0}^{D-1} x_{p}(m) e^{-\frac{2\pi}{J_{D}kp}} = \text{DFT}[x_{p}(m)], 0 \le p \le D-1_{\circ}$$
(4)

式中,

$$x_{p}(m) = [s_{p}(m)(-1)^{m}] * h_{p}(m) e^{-j\frac{m}{D}p}$$
(5)

根据图 2. 此接收机不仅在滤波器前进行了 D 倍抽取,而且每个信道的滤波器不再是原型低通滤 波器 h(n), 而是该滤波器的多相分量 $h_n(n)$, 因此, 采用多相滤波器数据速率变低,滤波器阶数变小,硬 件实现简单,实时处理能力强。

3.3 JTIDS 信道化接收模型

由上文可知, JTIDS 信号的载波频率为 960~ 1215 MHz.即 JTIDS 的工作频率带宽达到255 MHz. 所以要实现 JTIDS 信号的全概率接收采样率要求达 到510 MHz以上,这给 FPGA 实现带来了较大的困 难。针对这一问题,本文对文献[2]中所提出的信 道划分方式进行了改进,把各个信道的采样率从 192 MHz降低到了96 MHz,并对多相滤波器进行重 新设计,使得此模型更利于硬件实现。下面介绍信 道具体划分方式。

电讯技术

在接收机射频处理阶段,采用4个宽带调谐器, 把整个模拟信道划分为4路通道,模拟信道的划分 方式如表1所示。采用表1的信道划分方式可以均 匀地把51个跳频频点分布到各个信道,而且每个通 道的带宽最大不超过48 MHz,按照采样定理的要 求,采样频率最低可为96 MHz,对于硬件的实现有 极大的好处。

Table 1 Analog channel division			
通道号	频率范围/MHz	带宽 /MHz	JTIDS 频点数
Ch1	967.5 ~ 1009.5	42	14
Ch2	1051.5 ~ 1066.5	15	5
Ch3	1111.5 ~1159.5	48	16
Ch4	1159.5 ~ 1207.5	48	16

~ ~ ~ ~ ~ ~ ~ ~

同时对4路宽带调谐器的输出信号进行 A/D 采样,采样率选取为96 MHz,然后在中频阶段对采 样过后的信号进行宽带正交处理,正交后的 I、O 两 路信号再进入前面讨论的多相滤波器处理。

JTIDS 信号有 51 个跳频频点,频点间的间隔为 3 MHz,由于每路通道的采样率为96 MHz,结合公式 (1)可知当选取多相滤波器的信道化数 D=32 时, 此时每个信道的间隔为3 MHz,满足区分 JTIDS 频 点的信道要求。对 JTIDS 信号的处理流程如图 3 所示。



按照图3的接收方式,综合4路多相滤波器的 输出结果,即可得到 JTIDS 对应跳频点的接收信号。 本文提出的这种接收方式,通过对模拟信道和

数字信道的合理划分,再加上合理的滤波器设计,可

· 566 ·

以把采样率从510 MHz降低到96 MHz,低于现有的 JTIDS 接收模型的采样率,极大地减少了硬件资源 消耗,工程上易于实现。

4 信道化接收模型 FPGA 实现设计

4.1 FPGA 内部实现简介

宽带正交和多相滤波器模块均在单片 Altera 公司生产的 EP4SGX230KF40C2 上实现。内部全局时钟设为96 MHz,分为 32 个信道,每路信道的带宽为 3 MHz。每路信道采用串行的工作方式,其 FPGA 内部的主要实现过程如图 4 所示。



图 4 FPGA 内部实现框图 Fig. 4 FPGA internal realization diagram

如图 4 所示,经过宽带正交处理、A/D 采样过 后的实数信号变为 I、Q 两路复数信号,然后依次经 过 32 路并行抽取模块、与系数(-1)^m相乘模块、32 路 FIR 滤波模块、与系数 e^{-i壳}相乘模块、FFT 变换模 块后进入其他后续处理模块。图 5 为一个多相滤波 器在 FPGA 内部实现的 RTL 级视图。



图 5 多相滤波器 RTL 视图 Fig. 5 RTL view of polyphase filter

4.2 32 路的并行抽取模块设计

结合图 2 可知,当信号经过宽带正交处理后,串 行信号需要转变为 32 路并行信号,并且每路信号都 是原始信号的 32 倍抽取值。在 FPGA 中采用寄存 器和计数器就可实现此功能,其结构如图 6 所示。





设计中采用 32 个寄存器串行连接,工作期间数 据从寄存器组的一端连续输入,计数器每计数 32 次 读取对应寄存器中的数值,这样就能输出 32 路并行 数据并且是原数据的 32 倍抽取。

4.3 FIR 滤波器设计

多相滤波器中的一个重要组成部分就是滤波器 组,这组滤波器是对原型低通滤波器进行移位抽取 得到的。原型低通滤波器的设计利用 Matlab 上 Fdatool 工具来完成。本文采用的是一种无盲区的 信道划分方式,采样率为96 MHz,信道个数为32,每 个信道带宽为3 MHz。综合上述条件,原型低通滤 波器参数设计为:采样率96 MHz,通带截止频率 1.5 MHz,阻带截止频率3 MHz。这样的设计既可以 达到无盲区接收的要求,而且滤波器阶数比较适中, 可以减少对硬件资源的消耗。

经过上述设计得到 162 阶的 FIR 低通滤波器, 再经过 32 倍的移位抽取,就得到 32 个阶数为 4 的 FIR 滤波器,这 32 个 4 阶 FIR 滤波器即为所需的滤 波器组。在 FPGA 上可利用 Altera 公司所提供的 IP 核生成 FIR 滤波器结构,这样可有效缩短开发周期, 在这个过程中只需在 IP 核设计界面中导入前面已 设计好的 4 阶 FIR 滤波器的抽头系数即可完成设 计。按照这种方法可依次生成多相滤波器所需的 32 路 FIR 滤波器组。

4.4 FFT 设计与实现

在工程实现中一般采用 FFT 来代替 DFT。由 于 FFT 模块较为复杂,里面包含大量的蝶形运算, 所以在 FPGA 的设计中,FFT 模块设计也采用了 IP 核设计,这样不仅能提高设计精度还能加快工程进 度。FFT 模块设计为 32 个数据做一次 FFT,输入与 输出都采用顺序结构。

采用上述的设计方案,不仅硬件实现简单,而且 FPGA 逻辑资源消耗少。

5 软件仿真与硬件测试

5.1 Matlab 仿真结果

利用 Matlab R2010a 进行多相滤波器的仿真。 采样频率为96 MHz,多相滤波器信道化个数为 32, 仿真的输入 JTIDS 数据如图 7 所示。



Fig. 7 JTIDS pulse signal

图 7 中数据为 A/D 采样之后的 3 个 JTIDS 脉 冲信号.JTIDS 信号采用双脉冲传输模式,脉冲宽度 为6.4 μs,脉冲周期为13 μs,信噪比为10 dB,仿真 数据为频谱搬移之后的数据,即把每一个通道的最 低频率搬移至零频后的数据。图中3个脉冲的载波 频率分别为34.5 MHz、4.5 MHz以及37.5 MHz.任意 两个脉冲的频率间隔至少为30 MHz,满足 JTIDS 信 号的协议要求。

由于每个信道的间隔为3 MHz,理论上3 个脉 冲应该依次出现在第12信道、第2信道和第13信 道。图 8 为多相滤波器第 12 信道、2 信道和 13 信 道的仿真输出,由于输出为复信号,图8为取模之后 的输出波形。



图 8 多相滤波部分信道输出波形 Fig. 8 Output waveform of partial channel of polyphase filter

由图 8 可见, 第 2、12 和 13 信道按照 JTIDS 信 号频率变化的顺序依次出现相应的脉冲,每个时刻 只有一个信道会出现一个高脉冲,其他信道的信号 幅度会明显低于这个高脉冲,并且脉冲出现的时刻 正好和 JTIDS 脉冲出现的时刻相同。图 8 中的仿真 结果符合理论推导,由此可见,本文设计的信道化接 收模型可以成功地接收 JTIDS 信号。

5.2 FPGA 软件仿真以及硬件测试结果

FPGA 的开发环境为 Quartus II, 按照上述设计 方法在 Quartus II 中进行设计与编译,并结合仿真工 具 Modelsim 进行仿真分析,验证该模型的正确性, 其中 Modelism 仿真输入数据为图 7 中所示数据,经 过 Modelism 仿真输出波形图如图 9 所示。



图 9 FPGA 的 Modelsim 仿真波形 Fig. 9 Modelsim simulation waveforms of FPGA

图 9 中 channel 2、channel 12、channel 13 分别 对应第2信道、第12信道、第13信道,图中的3个 信道分别按照信号跳频频点的先后顺序依次出现脉 冲,符合理论推导的结果。经 Modelsim 仿真验证 后,将代码移植到 FPGA 芯片上进行硬件测试。本 文采用友晶科技 TR4 FPGA 开发板作为硬件平台进 行实验验证,硬件实现结果如图 10 所示。图 10 给 出了信道2、信道12和信道13的输出波形。



图 10 FPGA 部分信道输出波形 Fig. 10 FPGA partial channel output waveform

对比 FPGA 硬件输出结果与 Modelsim 仿真结 果以及 Matlab 仿真结果可以发现,3 个脉冲对应的 频点都在相应的信道上依次出现,理论仿真结果与 硬件测试结果基本一致,验证了本文设计的信道化 接收模型可以实时接收 JTIDS 宽带信号。

结束语 6

对于 JTIDS 信号的宽带接收在军事领域有着重 要作用,是进行信号侦察的第一步,对其进行研究有 重要意义。本文首先采用信道化接收方式对 JTIDS 信号进行宽带接收,通过对模拟信道和数字信道同

时进行划分,把宽带接收转化成多个窄带接收,降低 了各个信道的采样频率,有效地解决了JTIDS 信号 工作频段宽的问题,然后设计了适合JTIDS 跳频信 号的多相滤波器,同时对各个信道进行监测,可以有 效地检测出JTIDS 的跳频频点,解决了JTIDS 信号 高跳速、脉冲周期短的问题。仿真与硬件测试结果 表明,该接收模型可以精确实时地接收JTIDS 宽带 信号。进一步验证此信道化接收模型在复杂电磁环 境下如脉冲干扰下的稳定性,是下一步需要研究的 问题。

参考文献:

- [1] 梅文华,蔡善法. JTIDS/Link16数据链[M].北京:国防 工业出版社,2007:79-87.
 MEI Wenhua, CAI Shanfa. JTIDS/Link16 Data Link
 [M]. Beijing: National Defense Industry Press,2007:79 -87. (in Chinese)
- [2] 赵跃,陈顺阳,杨小牛. JTIDS 信号的高效信道化接收 及检测方法[J]. 计算机工程与应用,2014(6):83-87.
 ZHAO Yue, CHEN Shunyang, YANG Xiaoniu. Efficient channelized receiving and detection for JTIDS signals[J].
 Computer Engineering and Applications, 2014(6):83-87. (in Chinese)
- [3] Liu C, Yu T M, Xue J D, et al. A detection method of JTIDS signal based on overlapped spectrogram [C]//Proceedings of 2013 6th International Conference on Information Management, Innovation Management and Industrial Engineering. Xi'an: IEEE, 2013:600-603.
- [4] 李军.通信信号盲检测与宽带接收技术研究[D].西安:西安电子科技大学,2009.
 LI Jun. Study on Blind Detection for Communication Signals and Broadband Receiver[D]. Xi'an:Xidian University,2009. (in Chinese)
- [5] 曲伟华, 鞠建波, 别庆, 等. JTIDS 系统抗干扰性能分 析[J]. 海军航空工程学院学报, 2007(2):244-246.

QU Weihua, JU Jianbo, BIE Qing, et al. Anti jamming performance analysis of JTIDS system[J]. Journal of Naval Aeronautical Engineering Institute, 2007 (2): 244 – 246. (in Chinese)

- [6] Kaplum D I, Klionskiy D M, Voznesenskiy A S, et al. Application of polyphase filter banks to wideband monitoring tasks[C]// Proceedings of the 2014 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference. St. Petersburg:IEEE,2014: 95–98.
- [7] 唐济远,刘渝,袁春姗. 多相滤波结构的信道化接收机设计[J]. 军事通信技术,2012(3):57-62.
 TANG Jiyuan,LIU Yu, YUAN Chunshan. Design for channelized receiver of polyphase filtering[J]. Military Communications Technology,2012(3):57-62. (in Chinese)
- [8] 齐晓辉, 卢丹. 基于多相滤波器的高分辨率信道化接收机设计[J].现代雷达,2013(1):68-72.
 QI Xiaohui, LU Dan. Design of high resolution of channelized receiver based on polyphase filters. Modern radar,2013(1):68-72. (in Chinese)

作者简介:



田增山(1968—),男,河南人,1999年于 电子科技大学获博士学位,现为教授,主要研 究方向为个人通信、卫星导航、无线定位、信 号检测与估计;

TIAN Zengshan was born in Henan Province, in 1968. He received the Ph. D. degree from University of Electronic Science and Tech-

nology of China in 1999. He is now a professor. His research concerns personal communications, satellite navigation, wireless localization and signal detection and estimation.

李 亮(1991—),男,重庆人,硕士研究生,主要研究方 向为信号处理与检测。

LI Liang was born in Chongqing, in 1991. He is now a graduate student. His research concerns signal processing and detection.

Email:707854950@ qq. com