

doi:10.3969/j.issn.1001-893x.2014.11.018

引用格式:何赞园,王凯,吉立新.电路交换域数据采集系统的 FPGA 设计[J].电讯技术,2014,54(11):1554-1559. [HE Zan-yuan,WANG Kai,JI Li-xin. FPGA Design of Circuit Switched Domain Data Acquisition System[J].Telecommunication Engineering,2014,54(11):1554-1559.]

电路交换域数据采集系统的 FPGA 设计*

何赞园**,王 凯,吉立新

(国家数字交换系统工程技术研究中心,郑州 450002)

摘 要:随着大数据应用的发展,从电路交换域获取数据也是丰富海量数据库的一个重要途径。为了提高电路交换域数据采集的效率,丰富采集手段,结合电路交换域数据通信的特点以及数据组包的要求,提出了一种基于 FPGA 实现电路交换域数据采集的设计方案,给出了 FPGA 的数据采集模型,并对该模型的组成模块进行了详细阐述,实现了数据从电路交换域到分组交换域的自动转换。测试结果表明,该数据采集系统丰富了时分复用线路数据采集的效率,实现了预期的功能。

关键词:电路交换;数据采集;时分复用;FPGA 设计;可编程片上系统

中图分类号:TN919.5 **文献标志码:**A **文章编号:**1001-893X(2014)11-1554-06

FPGA Design of Circuit Switched Domain Data Acquisition System

HE Zan-yuan,WANG Kai,JI Li-xin

(China National Digital Switching System Engineering & Technological R&D Center,Zhengzhou 450002,China)

Abstract: Along with the development of big data applications,getting data from the circuit switched domain is an important way to enrich the massive database. In order to improve the efficiency of circuit switched domain acquisition and enrich the collection means,according to the characteristics of circuit switched domain data requirements and data packet,an exchange field data acquisition circuit based on FPGA design is proposed,FPGA data model is given and the modules of the model are described in detail. The automatic conversion from circuit switched domain data to the packet switched domain is realized. Test results show that the data acquisition system enriches the time division multiplexing(TDM) line efficiency of data collection,and achieves the desired function.

Key words: circuit switch;data acquisition;TDM;FPGA design;SOPC

1 引 言

传统的数据采集系统是基于某种特定场景进行语音或图像数据实时采集,采集的容量都仅局限于单路或多路^[1-3]。而在电路交换域中,往往面临着数以万计的通道数据需要采集,传统的数据采集系统就显得力不从心。在电路交换领域中,也有使用专用传输设备,直接和传输线路对接,数据流经过串并转换后映射到外部存储器中,由 CPU 或者 DSP 按照访问内存的方式完成数据的采集、封装、输送至大

数据库。采用处理器直接对数据进行处理,这种数据采集模式对于处理器的性能要求较高,处理器的处理能力直接会影响到数据采集的实时性,而且随着传输线路端口的增加,投入成本将成线性增加,处理器的处理能力会成为海量数据采集的瓶颈。本文介绍一种基于现场可编程门阵列(Field Programmable Gate Array,FPGA)实现的时分复用模式(Time Division Multiplexing,TDM)线路数据采集方法,集成可编程片上系统(System on a Programmable Chip,

* 收稿日期:2014-06-20;修回日期:2014-08-29 Received date:2014-06-20;Revised date:2014-08-29

** 通讯作者:13513802510@139.com Corresponding author:13513802510@139.com

SOPC)技术,完成信令处理引导,硬件电路自动完成媒体数据流的实时采集处理,并可以根据海量数据库的要求,完成数据包的任意格式封装,运行速度快,扩展性强,处理能力高,在电路交换域的海量数据实时采集中得到了很好的使用。

2 电路交换域的数据采集模型

电路交换域的数据通常在信令引导下,以时分复用的形式完成交换和传输。本文设计的电路域数据采集系统包括线路接口单元、时隙交换单元和控制处理单元以及采集输出单元。线路接口单元完成线路对接,时隙交换单元实现基于时隙的交换,将信令时隙汇聚由控制模块处理,根据信令引导,启动采集单元完成采集、组包和输出。基于 FPGA 实现的数据采集模块接收 CPU 所下发的规则信息,对采集数据进行封装,最后以用户数据报协议 (User Datagram Protocol, UDP) 的格式完成数据的输出,实现基于电路交换域的数据实时采集功能。图 1 为基于 FPGA 实现的电路交换域的高速数据组包系统模型。

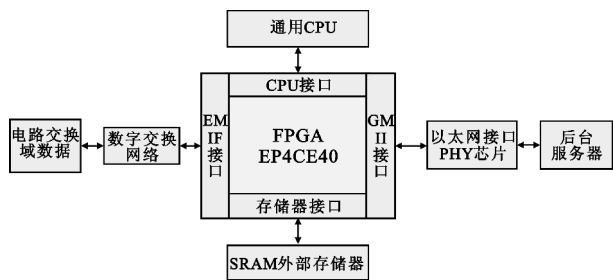


图 1 数据采集模型功能框图
Fig. 1 Model of data acquisition

如图 1 所示,线路接口单元完成线路接入功能,产生多路脉冲编码调制 (Pulse Code Modulation, PCM) 格式的数据。串行格式的数据流转换为并行数据,按照不同的交换时隙完成相应端口的存储,以并行数据的模式暂存于外部存储器接口 (External Memory Interface, EMIF) 中^[4],再按照时序关系要求,经由 EMIF 接口转存到采集 FPGA 的相应空间。EMIF 接口是交换网络芯片与数据采集 FPGA 的单向数据接口。同步时钟为 16.384 MHz。帧同步信号指示每帧的第一个字,每帧长度 2 048 个字,按顺序分别对应 2 048 个端口。每个端口又分为来话和去话两部分,来话占用数据的高字节,去话占用数据的低字节,相应的时序关系如图 2 所示。

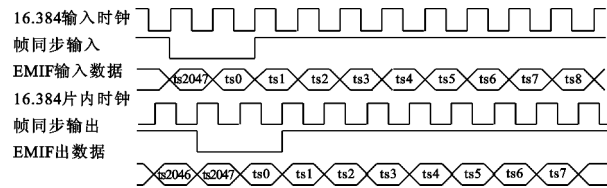


图 2 EMIF 接口数据时序图
Fig. 2 Sequence diagram of EMIF interface data

选择 FPGA 实现电路交换域的媒体数据自动组包,主要是考虑到 FPGA 特有的体系结构和逻辑单元灵活、集成度高以及适用范围宽的特点。在该设计中,选择 Altera 公司的 Cyclone IV 系列的 EP4CE40F23C8 芯片为目标 FPGA^[5]。

3 数据采集 FPGA 的设计实现

电路交换域数据采集系统的 FPGA 设计的功能框图如图 3 所示,主要包括全局功能模块、基础网络模块、数据采集模块、数据流管理模块以及以太网接口等 5 个模块。

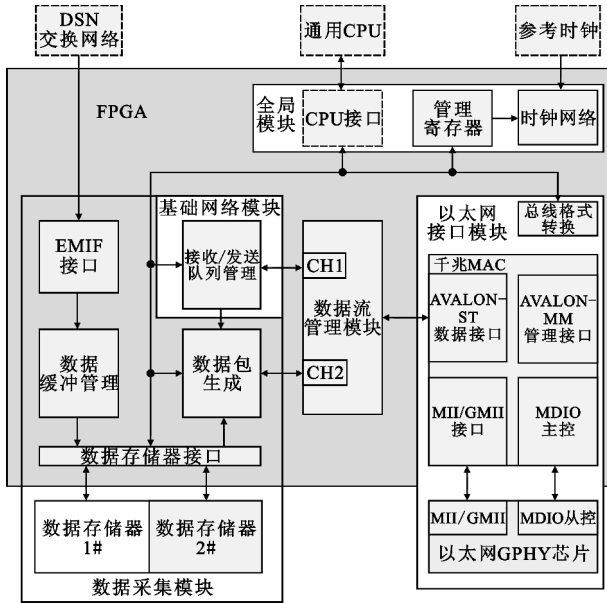


图 3 FPGA 设计功能框图
Fig. 3 FPGA design

如图 3 所示,数据以高速并行时分复用的接口格式输入,经由 FPGA 中全局管理模块以及数据流管理模块完成格式数据处理,最后以 AVALON 总线^[6]的格式由以太网接口模块处理后,依照 UDP 的格式完成数据的输出。

3.1 全局功能模块

全局功能模块为其他模块提供 CPU 接口、时钟网络、管理寄存器以及复位等基础功能,是该 FPGA

的基础模块。

CPU 接口是外部处理器管理本芯片内部功能的异步处理器接口,总线宽度 16 位,地址空间 64K。信号逻辑遵循 CPU 接口标准,并且使用了输入/输出同步寄存器,保证了芯片外部信号的稳定性^[7]。

时钟网络为 FPGA 内部以及外围其他电路提供时钟。时钟网络使用了 FPGA 芯片内部两个锁相环和全局时钟网络电路,为系统提供了可靠的、低延时和低抖动的时钟信号质量。为保证 CPU 可以随时接管数据采集模块和数据存储器,使用了时钟网络中的时钟选通电路,通过配置管理寄存器可以使这些模块的同步时钟在内部时钟与 CPU 同步时钟之间互相切换,保证访问时序同步。锁相环之一的 PLL2 的参考时钟由外部 25 MHz 晶振提供,输出的 125 MHz 时钟在片内提供给千兆以太网 OSI 模型数据链路层(Media Access Control, MAC)的千兆媒体独立接口(Gigabit Medium Independent Interface, GMII)接口使用。为外部千兆以太网 PHY(OSI 最低层,物理层)芯片提供 25 MHz 和 125 MHz 时钟激励。为使以太网接口可以工作在 10/100/1 000M 自适应模式下,百兆以太网 MII 接口使用的 25 MHz 时钟信号与 125 MHz 时钟占用了—个时钟选通电路,可以通过配置寄存器进行切换。

管理寄存器是芯片的功能配置寄存器,存储 CPU 与芯片内部模块之间的管理信息,其内容与芯片的运行状态有密切关系。CPU 控制模块根据指令引导采集过程,保证采集数据的有效性和完整性,并根据控制流程,配置每个数据流的标志。

3.2 基础网络模块

基础网络模块实现 CPU 与千兆以太网接口间的互联,使 CPU 可以通过千兆以太网发送接收通信数据包。除了支持系统数据的 UDP 采集链信令数据包外,还需要支持通用网络协议使用的以太网通信数据包。

基础网络模块的基本结构如图 4 所示。

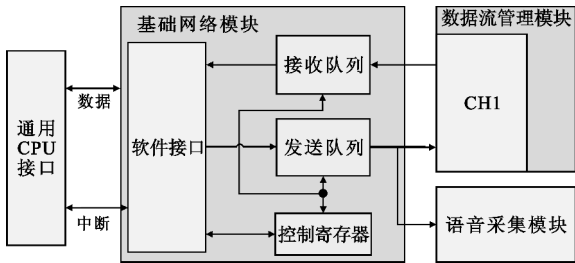


图 4 基础网络模块基本结构图
Fig. 4 Basic network module structure

图 4 中软件接口负责基础网络模块内部的地址划分和处理器命令存储,并向处理器提供中断源。

接收队列和发送队列实现通信数据包缓冲和时钟域转换。它们由两个双时钟先入先出队列构成,这两个队列在与软件接口的连接侧使用处理器提供的 50 MHz 时钟进行同步读写操作,在与数据流管理模块的连接侧使用全局模块提供的 64 MHz 系统时钟进行同步读写操作。这样在系统内部所有数据操作都是时钟同步操作,保证系统传输可靠性。数据流管理模块通过 CH1 通道实现接收队列、发送队列与千兆以太网 MAC 间的数据连接。数据采集模块与千兆以太网 MAC 间的数据连接通过 CH2 通道实现。在系统中 CH1 比 CH2 有更高的处理优先权。

3.3 数据采集模块

数据采集模块负责把高速并行 EMIF 接口的数据封装成 UDP 格式数据包,其功能框图如图 5 所示。

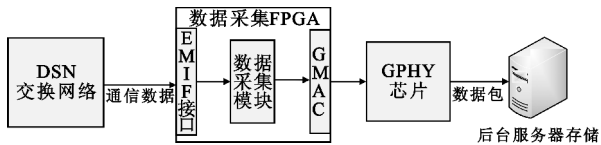


图 5 数据采集模块功能框图
Fig. 5 Data acquisition module

EMIF 接口是一个时分复用的数据接口,以帧的格式进行数据封装,每个数据帧分为 4 096 个时隙,每个时隙内传送一个端口的 8 位数据(1 字节),端口也是 4 096 个。端口号与时隙号一一对应。采集模块把接收到的 EMIF 端口数据按照端口号排列,缓存在存储器内,每个端口缓存 512 个字节(即 512 个数据帧)。缓存完成后这 512 个字节被封装进一个数据包内发送到后台服务器。如果要把 4 096 个端口的数据全部发送到服务器,则每次采集需要发送 4 096 个这样的数据包。发送到后台服务器的数据包使用 UDP 传输协议封装。一个标准的 UDP 数据包在媒体层必须有以下几部分:MAC 段,以太网媒体层规定的标准格式,指定数据包的物理地址和使用的传输协议;UDP 数据段,指定数据包的 IP 地址和传输端口;数据段,用户数据;开发系统(Field Bus Control System, FCS)段,数据包的循环冗余校验码(Cyclic Redundancy Interface, CRC)校验信息。

在数据采集模块组装数据包的流程中,把 UDP 数据包分为两个部分。

(1) 软件组装段,这部分数据是在每次数据采集任务开始后每个 UDP 数据包之间相同的数据段,

由处理器在任务初始化的时候装定；

(2)硬件组装段,这部分数据是在每次数据采集任务开始后每个 UDP 数据包之间不相同的数据段,由数据采集模块在 UDP 数据包发送前组装好。

数据采集模块在工作时会通过数据缓冲管理子单元把 EMIF 接口接收到的数据写入数据存储器(此处假设是数据存储器#1),每个端口缓冲 512 字节,总共缓冲4 096个端口。缓冲完成后数据缓冲管理子单元会通知数据包生成子单元把数据取走。与此同时数据缓冲管理子单元会开始对另一片数据存储器(数据存储器#2)开始写入操作。

在数据缓冲管理子单元对数据进行采集的同时,数据包生成子单元同时在发送缓冲完成的数据。数据包生成子单元内的数据读取器在读取一个端口的数据包前会扫描端口命令查找表。端口命令查找表是一个双端口随机存储器,它的写入端口由 CPU 处理器通过软件接口和信令数据包分析器共同管理。读出端口由数据读取器管理。端口命令查找表内部分为4 096个数据段,每个数据段存储的数据都对应一个端口。

在端口命令查找表中得到端口信令数据后,数据读取器分别把信令数据和语音数据写入数据包生成缓存。数据包生成缓存是一个双端口随机存储器,写入端口在初始化阶段由 CPU 通过软件接口管理,写入 UDP 数据包的软件实现数据段;在数据采集工作开始后写入端口由数据读取器接管,写入 UDP 数据包的硬件实现数据段。

3.4 数据流管理模块

如图 6 所示,数据流管理模块负责读出基础千兆网络模块和数据采集模块在发送端存储器中准备

好的以太网数据包,转换成 AVALON-ST 接口格式,传输到千兆 MAC 模块;从千兆 MAC 读出接收到的以太网数据包,传输到基础千兆网络模块的接收端。

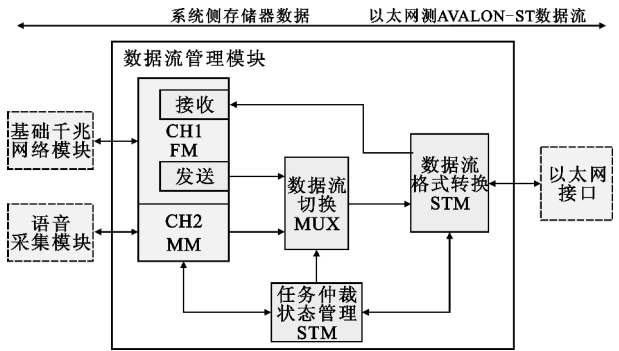


图 6 数据流管理模块框图
Fig. 6 Data stream management module

在系统侧数据流管理模块的接口是存储器接口,在以太网侧是 AVALON-ST 接口。在该模块内需要进行数据格式的转换,总线转换模块会根据 AVALON-ST 总线的状态实时把存储器数据流转换成符合 AVALON 总线格式的数据流。

3.5 以太网接口模块

如图 7 所示,以太网接口模块实现千兆以太网的 MAC 层和 PHY 层功能,其中 MAC 层由 ALTERA 公司提供的 IP CORE“Triple-Speed Ethernet Mega-Core”^[8]在 FPGA 片内实现;PHY 层由 VITESSE 公司的商用芯片 VSC8201^[9]实现。

千兆 MAC 实现的是 10/100/1 000M 自适应以太网媒体层模块,以太网数据由数据流管理模块通过 AVALON-ST 接口提供。千兆 MAC 内部实现数据缓存、CRC 校验、数据帧同步、冲突检测等功能。

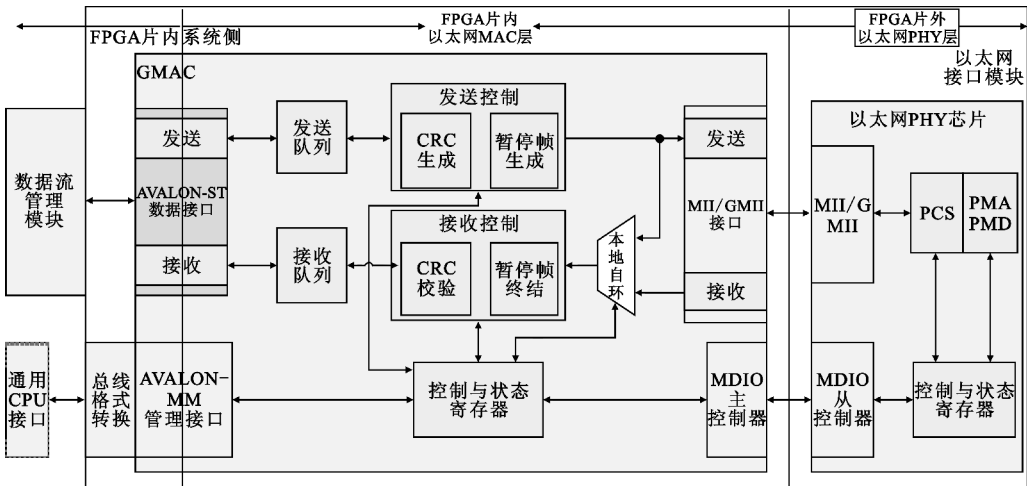


图 7 以太网接口模块功能框图
Fig. 7 Functional block diagram of Ethernet interface module

千兆 MAC 通过其自带的管理接口挂载在 CPU 接口上进行管理。由于 AVALON-MM 接口是 32 位数据总线,如果选择的 CPU 是 16 位数据总线,则需进行总线格式转换,因此该设计中选择使用 AVALON-ST 接口。

以太网 MAC 层和 PHY 层的接口采用 MII / GMII 格式。

4 系统的软件接口

在该系统中,系统的软件接口共涉及到系统全局管理寄存器、接收发送队列、数据包生成、数据存储单元、千兆 MAC 等五个方面。CPU 可以通过访问这些软件接口来管理芯片的各项功能。假定本芯片访问起始地址为 BASE_ADDR=0x0000,其他的设置均为寄存器实际地址计算公式为 BASE_ADDR+地址偏移量。

如表 1 所示,全局管理寄存器提供软件复位,处理器初始化标志,全局初始化在芯片工作环境改变后启动,以保证芯片采集参数正常。芯片工作环境改变包括采集服务器、本板 MAC 地址、IP 地址改变以及系统复位或重新上电等多种情况,还包括端口地址扩展和状态寄存器。

表 1 全局管理寄存器列表

Table 1 Global management register list

名称	地址偏移量	操作	功能
软复位寄存器	0x0000	R/W	管理内部各模块的软复位
工作模式管理模式寄存器	0x0100	R/W	使 CPU 可以访问硬件独占的存储空间
端口地址扩展寄存器	0x0200	R/W	存储当前访问的语音端口管理的高位地址
测试寄存器	0x0300	R/W	测试该芯片工作是否正常

如表 2 所示,接收和发送队列模块,接收发送队列由先入先出队列构成,负责缓存处理器与以太网接口间的网络数据包。

数据包生成模块用于管理芯片的数据采集功能,数据采集功能需要软件管理的是数据包生成缓存和端口命令查找表。访问数据包生成缓存前,需要使芯片进入初始化模式;访问端口命令查找表前,需要进入初始化或处理器管理模式。

CPU 可以通过数据存储单元软件接口访问数据

存储,访问存储单元前,需要使芯片进入初始化模式,并且在端口地址扩展寄存器填写相应的端口序号和存储单元选择位。

表 2 接收和发送队列模块寄存器列表

Table 2 Sending and receiving queue module register list

名称	地址偏移量	操作	功能
网络数据包发送接收接口	0x0800	R/W	网络数据发送接收缓存区
网络数据包接收状态寄存器	0x0900	R	指示当前待接收网络数据包长度
网络数据包接收数量寄存器	0x0a00	R	当前待接收网络数据包数量
网络数据包发送管理寄存器	0x0b00	[15] R/W [14 . 0] R	发送队列状态指示

CPU 通过千兆 MAC 软件接口访问千兆 MAC 模块,接口地址偏移量为 0x1800。在上电或复位后须重新初始化千兆 MAC 模块,千兆 MAC 模块不保留上次初始化的寄存器数据。

5 数据采集模型的实验结果

采用 FPGA 嵌入的逻辑分析仪对数据组包模块进行测试,结果如图 8 所示。

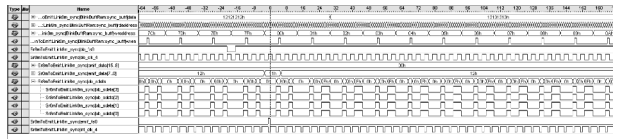


图 8 数据组包逻辑分析仪实时数据
Fig. 8 Data from packet data logic analyzer

对照逻辑分析仪测试结果说明如下:
实验的模型基于 STM-1 (Synchronous Transfer Mode, 同步传输模式, STM - 1 的速度为 155.52 Mb/s)的线路接入,通过程序可以模拟 128 路的呼叫同时进行,呼叫端口覆盖 STM-1 的所有端口,经过该 FPGA 实现数据组包,最后根据采集服务器上的数据包来统计整个呼叫时间段的总呼叫数。
从模拟呼叫端的统计起呼总数为324 756个,在服务器接收侧统计达到完全正确的输出的数量为 322 754个,可以达到 99.38%,存在接近 0.6%的丢包,在应用的角度可以达到系统的设计要求。FPGA 的以太网输出速率计算出为244 Mb/s,以太网的设计带宽能够满足系统的实际需求。

该设计基于 FPGA 实现电路交换域的数据组包,采用的是 Altera 公司的 Cyclone IV 系列的 EP4CE40F23C8 芯片设计,整个系统使用 VHDL 语言进行描述,图 9 为所使用的硬件资源情况。

+-----+ : Analysis & Synthesis Summary +-----+	
: Analysis & Synthesis Status	: Successful - Sat Mar 17 17:44:26 2013
: Quartus II Version	: 10.1 Build 153 11/29/2010 SJ Full Version
: Revision Name	: N_NT8K
: Top-level Entity Name	: N_NT8K
: Family	: Cyclone IV E
: Total logic elements	: 5,137
: Total combinational functions	: 2,709
: Dedicated logic registers	: 3,439
: Total registers	: 3439
: Total pins	: 247
: Total virtual pins	: 0
: Total memory bits	: 624,128
: Embedded Multiplier 9-bit elements	: 0
: Total PLLs	: 1
+-----+	

图 9 FPGA 硬件资源使用情况

Fig. 9 The FPGA hardware resource usage

6 结 论

本文选择 FPGA 来完成电路交换域的数据组包,实现了 1 个 STM-1 的链路数据的实时组包;采用数字交换网络完成实时 STM-1 的数据的并行处理,根据系统的时序要求,在 FPGA 中用标准硬件描述语言(Very High Speed Integrated Circuit Hardware Description Language, VHDL)语言合成数据组包设计,使实现电路交换域数据的实时采集开销尽可能少,给数据的进一步处理留下充足的时间。经过测试,各方面都达到了很好的效果。考虑到应用的可行性,目前该芯片仅能提供 1 个 STM-1 的数据容量采集,并且尚未达到 100% 采集正确率,还有待继续优化电路。通过该 FPGA 的设计,为后续可能进行的 IC 设计提供了一个功能验证平台。

参考文献:

[1] 伍乾永,陈彬. 基于 FPGA 的实时图像数据采集模块设计[J]. 微电子学,2008,38(3):453-456.
WU Qian-yong, CHEN Bin. Design of Real-Time Image Data Acquisition Module Based on FPGA[J]. Microelectronics, 2008, 38(3): 453-456. (in Chinese)

[2] 蒋伟林,胡跃明,陈安. 基于 FPGA 的实时图像采集系统[J]. 计算机测量与控制,2011,19(5):1215-1231.
JIANG Wei-lin, HU Yue-ming, CHEN An. Image Acquisition System Based on SOPC[J]. Computer Measurement & Control, 2011, 19(5): 1215-1231. (in Chinese)

[3] 王永利. 基于 FPGA 的实时图像处理平台的研究与设计[D]. 沈阳:东北大学,2011.
WANG Yong-li. The Study and Design of Real-time Image Processing Platform Based on FPGA[D]. Shenyang: Northeastern University, 2011. (in Chinese)

[4] 朱文斌,刘春平,黄振. 基于 FPGA 的高可靠性 SDRAM 控制器设计与实现[J]. 电讯技术,2011,51(10):113-116.
ZHU Wen-bin, LIU Chun-ping, HUANG Zhen. Design and Implementation of a High Reliability SDRAM Controller Based on FPGA[J]. Telecommunication Engineering, 2011, 51(10): 113-116. (in Chinese)

[5] Altera Company. Altera Cyclone IV Device Handbook[M]. San Jose, CA: Altera Company, 2013.

[6] Altera Company. Altera Avalon Interface User Guide[M]. San Jose, CA: Altera Company, 2011.

[7] 何赞园,王凯,吉立新,等. 基于 ATCA 架构的可重构通信处理机设计[J]. 电讯技术,2014,54(2):115-120.
HE Zan-yuan, WANG Kai, JI Li-xing, et al. ATCA-based Reconfigurable Communication Processor Design[J]. Telecommunication Engineering, 2014, 54(2): 115-120. (in Chinese)

[8] Altera Company. Altera Triple Speed Ethernet MegaCore User Guide[M]. San Jose, CA: Altera Company, 2012.

[9] VITESSE Company. VSC8201 Datasheet[EB/OL]. (2006-10-12) [2014-05-20]. <http://www.vitesse.com>.

作者简介:



何赞园(1975—),男,河南灵宝人,硕士,工程师,主要研究方向为计算机通信、网络安全;

HE Zan-yuan was born in Lingbao, Henan Province, in 1975. He is now an engineer with the M. S. degree. His research concerns computer communications and network security.

Email:13513802510@139.com

王凯(1980—),男,河南许昌人,硕士,讲师,主要研究方向为信号处理;

WANG Kai was born in Xuchang, Henan Province, in 1980. He is now a lecturer with the M. S. degree. His research concerns signal processing.

吉立新(1969—),男,江苏淮安人,硕士,研究员,主要研究方向为信号处理、计算机通信、网络安全。

JI Li-xin was born in Huai'an, Jiangsu Province, in 1969. He is now a senior engineer of professor with the M. S. degree. His research concerns signal processing, computer communications and network security.