

doi:10.3969/j.issn.1001-893x.2014.07.016

引用格式:江雪,刘源源,雷维嘉,等.低信噪比下互相关时延估计器的 FPGA 实现[J].电讯技术,2014,54(7):951-957. [JIANG Xue,LIU Yuan-yuan,LEI Wei-jia,et al.FPGA Realization of Cross-correlation Time Delay Estimator under Low SNR[J].Telecommunication Engineering, 2014,54(7):951-957.]

低信噪比下互相关时延估计器的 FPGA 实现*

江 雪**,刘源源,雷维嘉,谢显中

(重庆邮电大学 移动通信技术重庆市重点实验室,重庆 400065)

摘 要:在时延估计算法中,相关法是一种经典的算法。时域互相关法可用来进行整数倍和非整数倍采样周期的时延估计,即使是在极低的信噪比(SNR)条件下,利用较多的数据也能获得准确和稳定的估计结果。为提高时延估计分辨率,给出了一种采用 sinc 函数对信号进行非整数倍采样周期延时的相关估计算法,通过仿真比较了未插值、两倍插值法和 sinc 函数延时法的估计精度和计算量,证明 sinc 函数延时法性能最优。基于现场可编程逻辑门阵列(FPGA)实现的改进型互相关时延估计器能够实现在低信噪比下时延差的准确估计。

关键词:时延估计;时域互相关;非整数倍时延;sinc 函数

中图分类号:TN402 **文献标志码:**A **文章编号:**1001-893X(2014)07-0951-07

FPGA Realization of Cross-correlation Time Delay Estimator under Low SNR

JIANG Xue,LIU Yuan-yuan,LEI Wei-jia,XIE Xian-zhong

(Chongqing Key Laboratory of Mobile Communications Technology,Chongqing University of Posts and Telecommunications,Chongqing 400065,China)

Abstract:The correlation method is a classical algorithm for time delay estimation(TDE).The time-domain cross-correlation method can be used for integer and non-integer sample delay estimation. Even at low signal-to-noise ratio(SNR) environment,accurate and stable estimated results can be obtained with the more amount of data. In order to improve the resolution,this paper analyzes a correlation algorithm based on sinc function realizing non-integer sample delay,and draws the conclusion that this method has optimal performance by simulations and comparisons between no interpolation method,twice-interpolation method and sinc function method in terms of estimation accuracy and computation complexity. The improved cross-correlation estimator based on field programmable logic gate array(FPGA) can achieve accurate TDE under low SNR.

Key words:time delay estimation;time-domain cross-correlation;non-integer sample delay;sinc function

1 引 言

经过不同路径传输到达接收端的时延也不同,为了保证信号接收质量,时间延迟估计一直是信号分析

信号通过传输介质后,在接收端会产生时延,且

* 收稿日期:2014-01-28;修回日期:2014-04-08 Received date:2014-01-28;Revised date:2014-04-08
基金项目:国家自然科学基金资助项目(61271259,61301123);长江学者和创新团队发展计划资助项目(IRT1299);重庆市科委重点实验室专项经费项目

Foundation Item:The National Natural Science Foundation of China(No.61271259,61301123);Project of Changjiang Scholars and Innovative Research Team in University of Ministry of Education of China(IRT1299);Key Research Special Foundation from Chongqing Science and Technology Committee

** 通讯作者:15215041148@163.com Corresponding author:15215041148@163.com

和处理、信号检测与估计、时间序列分析等的一个重要研究内容。所谓时延估计,就是要准确、迅速地估计和测定接收器或接收阵列所接收到的同源信号之间的时间延迟。时延估计在目标定向、声纳、雷达、地震学、通信系统同步和生物医学工程等方面有广泛的应用^[1-2]。

根据不同的测量环境、测量要求和信号特性,分别有不同种类的时延估计方法,通常用到的时延估计方法有相关法、相位谱法、互功率谱法、自适应滤波法、高阶累积量法、希尔伯特法等^[3]。自适应滤波法^[4]通过调整自身参数能跟踪动态时延,但在低信噪比环境下,有偏维纳解的峰值受噪声影响严重衰减,使得自适应系统出现错误时延估计的概率大大增加。高阶统计量法^[5]利用高阶统计量处理接收信号,估计精度高,误差小,但计算量较大,往往难以满足实时系统的要求。相位谱法是通过相位函数对时延进行估计,时延 D 通过傅里叶变换在频域上表现为功率谱密度函数的相位函数 $\theta = -2\pi fD$ ^[6],此方法在相位信息提取中常常存在相位卷绕的问题。基于希尔伯特变换的时延估计法利用希尔伯特变换可以将检测相关函数峰值的运算转变为相应的过零检测,操作简单,估计速度较快,但是随着信噪比的降低,估计性能也随之下降。互功率谱法^[7]可以在精度和计算量之间找到一个合适的平衡点,不过随着信噪比的降低和混响的增强其性能急剧下降。

互相关法是众多时延估计法中最常用的一类,相比较其他几种时延估计方法,互相关法更适合在低信噪比下的平稳信号的时延估计,其原理简单,计算量小,易于实现,且不受多普勒频移的影响。当然也有一些限制条件,只能估计整数倍采样周期的时延差,也不能实时跟踪时延变化。互相关法是把有延迟的同源带噪信号做相关运算,根据输出信号互相关函数滞后的峰值位置可以得到整数倍采样周期的时延估计。互相关法能提高时延估计的精度,但由于互相关函数受噪声的影响,所以必须合理选择加权函数才能兼顾高分辨率和稳定性问题。

本文通过对互相关法时延估计在极低信噪比下的性能分析,给出一种适合在 FPGA 中实现的互相关时延估计算法和硬件实现结构。该方法通过使用 sinc 函数滤波器,可以在非相关背景噪声下估计非整数时延。当信噪比较低时,通过数据量的增加就可提高时延估计的精度^[8-9]。

2 时域相关法原理与性能分析

假设信号模型为

$$\begin{cases} x_1(t) = s(t) + n_1(t) \\ x_2(t) = s(t-D) + n_2(t) \end{cases} \tag{1}$$

式中, $x_1(t)$ 和 $x_2(t)$ 为接收信号, $s(t)$ 为发送信号, $n_1(t)$ 、 $n_2(t)$ 为加性高斯白噪声, D 为时间延迟。它们的互相关函数为

$$\begin{aligned} R_{x_1x_2}(\tau) &= E[x_1(t)x_2^*(t+\tau)] = \\ &= E[s(t)s^*(t-D+\tau)] + E[n_1(t)n_2^*(t+\tau)] + \\ &= E[s(t)n_2^*(t+\tau)] + E[s^*(t-D+\tau)n_1(t)] = \\ &= R_{ss}(t-D) + R_{n_1s}(\tau-D) + R_{sn_2}(\tau) + R_{n_1n_2}(\tau) \end{aligned} \tag{2}$$

当信号与噪声、噪声和噪声互不相关时

$$\begin{aligned} R_{n_1s}(\tau-D) &= 0 \\ R_{sn_2}(\tau) &= 0 \\ R_{n_1n_2}(\tau) &= 0 \\ R_{x_1x_2}(\tau) &= R_{ss}(\tau-D) \end{aligned} \tag{3}$$

$R_{x_1x_2}(\tau)$ 在 $\tau-D=0$ 时取得最大值,因此,相关函数主峰对应的时间就是 $x_1(t)$ 和 $x_2(t)$ 之间的时延值,为

$$\hat{D} = \arg \max_{\tau} \{ |R_{x_1x_2}(\tau)|^2 \} \tag{4}$$

当信号和噪声满足平稳性时,式(2)中的统计平均可用时间平均代替:

$$R_{x_1x_2}(\tau) = \frac{1}{T} \int_0^T x_1(t)x_2^*(t+\tau) dt \tag{5}$$

实际应用时一般采用离散时间信号处理方法, $x_1(k)$ 和 $x_2(k)$ 的互相关为

$$R_{x_1x_2}(n) = \frac{1}{N} \sum_{k=0}^{N-1} x_1(k)x_2^*(k+n) \tag{6}$$

此时, n 的取值只能是离散值, D 的估计值为 nT_s , T_s 为采样周期。在无噪声的情况下,估计误差的标准差与 T_s 有关,为

$$\sigma_{\tau} = \frac{T_s}{\sqrt{12}} \tag{7}$$

为减少估计误差,提高相关峰的分辨率,通常有两种方法:提高采样频率和增加相关运算的信号数。采样频率越高,估计的分辨率也就越高,估计误差越小,但是采样频率越高对芯片的性能要求也越高,运算量按指数方式增长。另外一种方法是增加相关运算的信号数,增加的信号为对其中一路信号进行小数倍延时后得到。小数倍延时量与估计的分辨率有关,若要达到 $T_s/2$ 的估计分辨率,相关运算中需要

增加一路延时了 $T_s/2$ 的信号,作两组互相关运算;如要达到 $T_s/4$ 的估计分辨率,相关运算中需要增加分别延时了 $T_s/4$ 、 $3T_s/4$ 和 $T_s/2$ 的三路信号,作四组互相关运算。因此,后一种方式的运算量较前一种小。本文采用的是后一种方法,实现 $T_s/2$ 的延时估计分辨率,其中 $T_s/2$ 的延时通过 sinc 函数滤波器实现。

sinc 函数延时算法框图如图 1 所示。

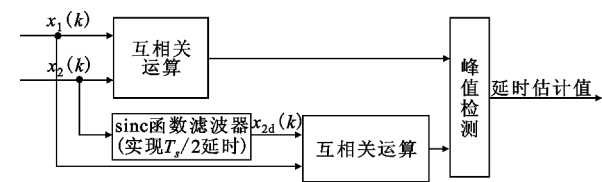


图 1 sinc 函数延时法框图

Fig. 1 Block diagram of the delay method by a sinc function

为实现 $T_s/2$ 的延时,需要

$$x_{2d}(k)=x_2\left(k-\frac{1}{2}\right) \tag{8}$$

然后将 $x_1(k)$ 与 $x_2(k)$ 、 $x_{2d}(k)$ 按照式(6)做相关,分别得到

$$R_{x_1x_2}(n)=\frac{1}{N}\sum_{k=0}^{N-1}x_1(k)x_2^*(k+n) \tag{9}$$

$$R_{x_1x_{2d}}(n)=\frac{1}{N}\sum_{k=0}^{N-1}x_1(k)x_{2d}^*(k+n) \tag{10}$$

式(9)的相对延时量为 nT_s ,式(10)的相对延时量为 $(n-0.5)T_s$ 。延时估计值

$$\hat{n} =$$

$$\begin{cases} \arg \max_n \{ |R_{x_1x_2}(n)|^2 \}, & \max \{ |R_{x_1x_2}(n)|^2 \} > \max \{ |R_{x_1x_{2d}}(n)|^2 \} \\ \arg \max_n \{ |R_{x_1x_{2d}}(n)|^2 \} - 0.5, & \max \{ |R_{x_1x_2}(n)|^2 \} < \max \{ |R_{x_1x_{2d}}(n)|^2 \} \end{cases} \tag{11}$$

对信号实现非整数倍采样周期的延时,一般利用 sinc 函数内插来实现。采样定理表明,在信号带限并且采样频率满足奈奎斯特采样率时,sinc 函数插值可以从 $s(k)$ 的等间隔离散样本中无失真的重建原始信号,重构方程为^[10]

$$s(k)=\sum_n s_d(n)\text{sinc}(k-n) \tag{12}$$

如果要延时分数倍采样周期,可以先用 sinc 函数对采样信号进行内插,重构原信号,然后再重新采样实现分数倍延时。实际上直接利用 sinc 函数就可实现信号的延时,若要求延时为 D ,用 sinc 函数实现信号延时的方法为

$$s(k-D)=\sum_{n=-\infty}^{\infty}\text{sinc}(n-D)s(k-n)\approx$$

$$\sum_{n=-p}^p\text{sinc}(n-D)s(k-n) \tag{13}$$

对未插值、两倍插值和 sinc 函数延时法的仿真结果分析可知,sinc 函数延时法和两倍插值法均可以提高高信噪比时的估计精度,性能相当。但 sinc 函数延时法的相关计算量为不作插值的计算量的 2 倍,仅为两倍插值法的 1/2。

3 FPGA 实现

3.1 时延估计系统总体框图

时域相关法进行时延估计的关键是进行相关计算。相关计算由不同延迟信号间相乘后累加,主要由延迟、乘、加/累加等运算单元构成,所以该算法易于在 FPGA 上实现^[11-12]。本文采用 Altera 公司的 Quartus II 作为开发平台。根据以上原理和性能分析,我们设计的整个时域相关法的 FPGA 实现模块按功能划分为 3 个运算单元(如图 2 所示):滤波器单元、延迟相乘单元、累加和和相关值比较单元。各部分大体设计如下:

- (1)滤波器单元:由低通滤波器、实现 $T_s/2$ 延时的 sinc 函数滤波器及延迟器组成;
- (2)延迟相乘单元:由移位寄存器和复数乘法器组成,实现两路输入信号不同延迟量相关计算中的乘法计算;
- (3)累加和和相关值比较单元:实现两路输入信号不同延迟量相关计算中的累加计算,找出最大相关值并输出,由最大相关值的位置确定两路信号的时延差。

系统输入信号为两路复信号 a、b,设计中每路信号的实部和虚部进行完全相同的处理。

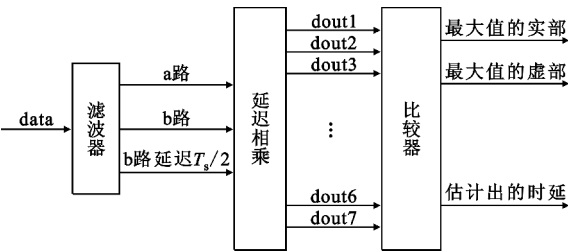


图 2 时延估计系统总体框图

Fig. 2 The general frame of time delay estimation system

3.2 模块设计与实现

3.2.1 滤波器单元

首先考虑滤噪和 $T_s/2$ 延时估计分辨率问题。输入两路有时延差的信号 a、b,首先经过低通滤波

器(LPF)进行滤波,尽量滤除带外噪声。经过滤波器后的b路信号再经过一个sinc函数滤波器,以实现 $T_s/2$ 的延时。低通滤波器和sinc函数滤波器均为FIR类型,在Quartus II中实现方法相同,都采用IP核。要得到滤波器的抽头系数,需要先在Matlab中根据发送信号波形设计得到滤波器的冲激响应,再进行归一化处理,经转换后导入到Quartus II中FIR滤波器的参数表中。需要说明的是,因为Quartus II中的FIR滤波器在工作时存在一定的处理延时,所以IP核中设置了一个数据有效的指示信号,便于滤波器下级的模块利用该信号控制数据的读取。如图3所示,RS_valid和SS_valid分别为LPF滤波器和sinc函数滤波器的输出有效指示。

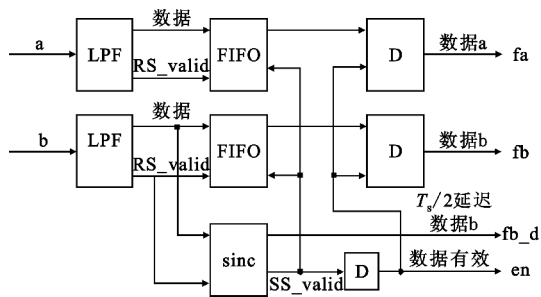


图3 滤波器的组成
Fig.3 The composition of filter

接下来考虑各路信号的同步问题。为了与经过 sinc 函数滤波器的信号保持对应的时间关系,另外两路信号需要由 FIFO 实现相应的延时。由于 sinc 函数滤波器是一个非因果的 FIR 滤波器,因此在实现 $T_s/2$ 延时的同时,还存在额外的延时,该延时量 $(p/2-1, p$ 为滤波器阶数)与滤波器的阶数有关。对该延时的处理,采用将另外两路信号经过移位寄存器来实现对齐。设计中的 sinc 函数滤波器的阶数是 16 阶,带来的额外延时为 $7T_s$ 。不过由于 FIFO 需要一个 T_s 的延时才能读出数据,所以 a、b 两路信号只需各设置一个 6 级的移位寄存器。SS_valid 信号经过一级延时后作为移位寄存器和下级模块的数据有效指示。FIFO 的深度根据 sinc 函数滤波器的处理延时的最大值决定。FIFO 的读出使能由 SS_valid 信号控制。

3.2.2 延迟相乘单元

如图 4 所示,这部分主要完成的是相关运算中的乘法运算。我们考虑两路信号的时延差不会超过一个码片的情况,即 4 个采样周期,那么就需要对两路信号的相对时延在正负两个码片内的序列进行相

关运算。为实现 $T_s/2$ 的时延分辨率,需要对时延差分别为 $-4T_s, -3.5T_s, \dots, -0.5T_s, 0T_s, +0.5T_s, \dots, +3.5T_s, +4T_s$ 的序列间进行相关运算,共得到间隔为 $T_s/2$ 的 17 个相关值。

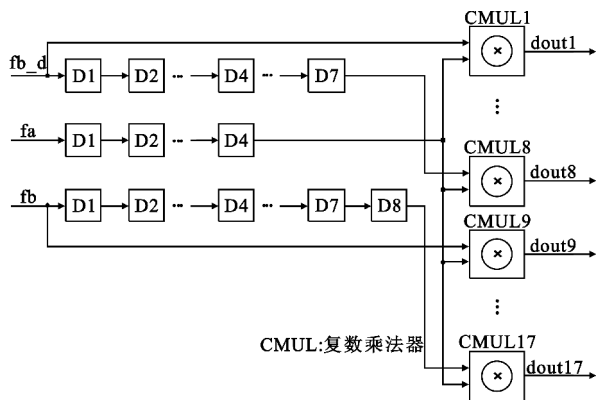


图 4 延时相乘
Fig.4 Delay-multiply

具体操作时,是通过不同级数的 D 触发器级联来实现相应的延时,一级 D 触发器即为一个 T_s ,延时后的数据作为复数乘法器的输入。现将已延时 $T_s/2$ 的 b 路信号分别延时 $0 \sim 7$ 个时钟, a 路信号固定延时 4 个时钟, b 路信号分别延时 $0 \sim 8$ 个时钟。将延时后的 a 路信号与延时后的 b 路信号进行相关运算,得到 b 路相对 a 路延时为 $-4T_s \sim +4T_s$ 的相关值,间隔为 $1T_s$,共 9 个,这是整数倍延时部分。将延时后的 a 路信号与延时非整数倍的 b 路信号也进行相关运算,得到 b 路相对 a 路延时为 $-3.5T_s \sim +3.5T_s$ 的相关值,间隔为 $1T_s$,共 8 个,这是非整数倍延时部分。延时为负表示 b 路相对超前 a 路,为正表示 b 路相对滞后 a 路。由于输入信号为复信号,所以所有的乘法都为复数乘。

3.2.3 累加、比较单元

这部分主要完成的是对延迟相乘的结果进行累加计算和比较,见图5。累加的次数,也就是相关计算的次数。首先各相关值进行自累加,当次数达到预设门限值后,再进行位宽调整和模平方计算,然后比较各个模平方值,找出最大相关值,将相关峰值的实部、虚部和出现的位置输出。为减小误判的概率,设置一个自适应门限,以此判断峰值是否显著。若最大相关值没有超过门限,则判为无效,继续进行累加计算,直到相关计算次数达到下一个门限值。峰值出现的位置对应相关器序号,查找表1得出时延估计值。

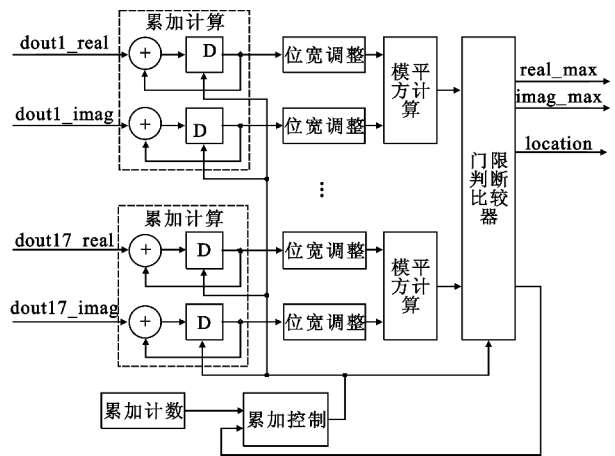


图 5 累加和比较
Fig. 5 Accumulation and comparison

考虑模平方计算后位宽将加倍,数据位数过长不便于处理,所以在累加计算后进行位宽调整。位宽调整的位数是根据数据精度的要求而定,在满足动态范围前提下保证足够的精度。输入数据为 32 位(2^{32}),根据 Matlab 的仿真结果,在两路信噪比分别为-26 dB与-23 dB时,至少需要相关运算的数据量为1 047 552个样值,所以相关累加次数门限设为 1 M和1.5 M,自累加完成后数据最多为 53 位,截取高 32 位。在数据接收的整个流程中,设置了两个标志位用于实现对应 FPGA 工作状态指示,数据自加指示 flag0,成功找到最大值指示 flag1。

比较器部分可采用两种实现方式,并行比较和串行比较。并行比较共由 5 级比较器组成,两路数据为一组进行比较,较大的一组留下并保留位置,继续进行下一级比较,当时钟频率较低时,5 级比较可在一个时钟周期内完成。如果时钟频率较高,5 级比较的延时相对时钟周期较大时,需要在中间插入寄存器,采用流水线方式实现。串行比较不需分组,在每个时钟下相邻两个模平方结果进行比较,依次进行,共需要比较 16 次,需要 16 个时钟才能完成比较。

经过编译后,如表 2 所示,由于数据位宽较宽,并行比较器需要更多的逻辑资源,适合时钟频率较低场合,可在一个时钟周期内完成比较运算。串行比较器每个时钟周期完成一次比较,只有一级门延时,可工作在较高的时钟频率上,同时资源消耗也低得多。

表 1 相关器序号与时延差的对应关系			
Table 1 Correspondence between the serial number of the correlator and the time delay			
相关器序号	时延值	相关器序号	时延值
1#	-3.5	10#	-3.0
2#	-2.5	11#	-2.0
3#	-1.5	12#	-1.0
4#	-0.5	13#	0.0
5#	0.5	14#	1.0
6#	1.5	15#	2.0
7#	2.5	16#	3.0
8#	3.5	17#	4.0
9#	-4.0		

表 2 两种比较器的资源消耗和仿真时间情况
Table 2 Resource consumption and simulation time of the two comparators

比较器	芯片型号	时钟系统 频率/MHz	组合逻辑	时序逻辑	组合逻辑与时 序逻辑比例	时序仿真 时间/ps
串行比较器	EP3C120F780I7	12	388/119 088 (<1%)	369/119 088 (<1%)	1.05 : 1	330 962 561
并行比较器	EP3C120F780I7	12	8 465/119 088 (7%)	4 531/119 088 (4%)	1.87 : 1	328 123 206

4 功能仿真与结果分析

在信噪比为-26 dB 进行时延估计模块的功能仿真。仿真的输入数据在 Matlab 中产生,然后转换为定点类型,导入到 modelsim 的 testbench 中作为

模块的输入数据。根据 Matlab 的仿真结果,在此信噪比时,相关运算的数据量需要1 047 552个样值数据。仿真中,相关累加次数门限设为1 M和1.5 M,采用不同的时延真值来分析和验证在非相关噪声背景下时域互相关法的估计性能。Quartus II 的仿真

结果如图 6 所示,可得出以下结论:

- (1)当两路信号时延真值设为 0.5 时,第 5 个相关器的模平方值最大,对应时延值为 0.5,波形见图 6(a);
- (2)当两路信号时延真值设为-1.9 时,第 11 个相关器的模平方值最大,对应时延值为-2,波形见图 6(b)。
- 整个模块综合完成后的资源消耗情况如表 3 所示。

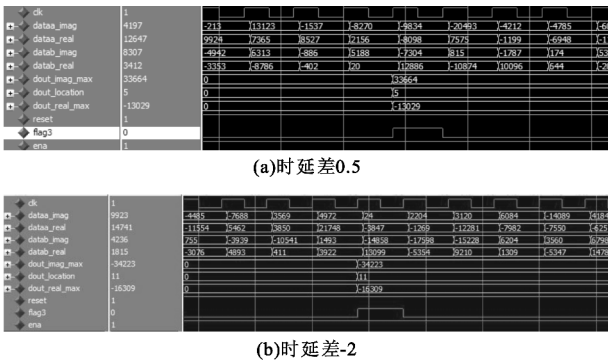


图 6 时延估计仿真波形
Fig. 6 Waveforms of the time delay estimation

表 3 模块综合编译的资源消耗情况
Table 3 Resource consumption by compilation and synthesis

Total logic elements	Total combinational functions	Dedicated logic registers	Total registers	Total pins	Total virtual pins	Total memory bits	Embedded Multiplier 9-bit elements	Total PLLs
22 759	15 882	16 140	16 140	65	73	682 776	118	0

5 结 论

本文在介绍时域相关法原理的基础上,给出了一种减少时延估计误差的方法。改进后该算法能实现非整数倍延时,在高信噪比下利用较少的数据量就可准确地估计时延,随着信噪比的降低,估计性能有所下降,不过在低信噪比环境下只要数据量足够长,时域互相关法的性能就较为稳定和可靠。本文运用 VHDL 语言编程方式在 FPGA 上实现了采用时域相关法的时延估计器,该估计器能实现整数倍和非整数倍时延差的准确估计,且在低信噪比仍能可靠工作。在后续研究中,可以进一步探索对 sinc 滤波器改进,进行加窗处理,消除 Gibbs 效应,减小估计误差,提高系统性能。

参考文献:

[1] Sjolund A, Fertner A. Comparison of various time delay estimation method by computer simulation [J]. IEEE Transactions on Acoust, Speech and Signal Processing, 1986, 34(5):1329-1330.

[2] Sadler B M, Kozick R J. A survey of time delay estimation performance bounds [C]//Proceedings of 2006 IEEE Workshop on Sensor Array and Multi-channel Processing. Waltham, MA:IEEE, 2006:282-288.

[3] Carter G C. Coherence and Time Delay Estima- tion[J]. Proceedings of the IEEE, 1987, 75(2):236-255.

[4] 郭莹,孟彩云.改进的 LMS 自适应时延估计方法[J].沈阳工业大学学报,2013,35(2):1000-1646.

GUO Ying, MENG Cai-yun. A modified LMS-based a-

daptive time delay estimation method[J]. Journal of Shen-yang University of Technology, 2013, 35(2):1000-1646. (in Chinese)

[5] Wang H, Zhao J, Qian L. Research of time-delay estimation based on fourth-second order normalized cumulant [C]//Proceedings of 2010 IEEE International Conference on Computer, Mechatronics, Control and Electronic Engineering (CMCE). Changchun:IEEE, 2010:29-32.

[6] 行鸿彦,唐娟.时延估计方法的分析[J].声学技术, 2008, 27(1):110-114.

XING Hong-yan, TANG Juan. Analysis and survey of algorithm for delay-estimation method [J]. Technical Acoustics, 2008, 27(1):110-114. (in Chinese)

[7] Hansson-Sandsten M. Cross-spectrum and coherence function estimation using time-delayed Thomson multi-tapers [C]//Proceedings of 2011 IEEE International Conference on Acoustics, Speech and Signal Processing. Prague:IEEE, 2011:4240-4243.

[8] 江南,黄建国.实时广义相关时延估计器[J].同济大学学报,2002,30(10):1277-1280.

JIANG Nan, HUANG Jian-guo. Real-time generalized-correlation time delay estimation machine[J]. Journal of Tongji University, 2002, 30(10):1277-1280. (in Chinese)

[9] 邱天爽,王宏禹.一种维纳加权的广义相关自适应时间延迟估计方法[J].通信学报,1996,3(17):110-115.

QIU Tian-shuang, WANG Hong-yu. A Wiener-weighting generalized-correlation adaptive time delay estimation method [J]. Journal on Communications, 1996, 3(17):110-115. (in Chinese)

[10] 何斌,张志敏.基于 FPGA 的 sinc 插值算法的研究和实现[J].电子器件,2010,33(3):340-343.

HE Bin,ZHANG Zhi-min. Research and Realization of sinc interpolation algorithm based on FPGA[J]. Journal of Electron Devices,2010,33(3):340-343. (in Chinese)

[11] 袁慧琴,尚俊娜,赵知劲. 时延估计算法的 FPGA 实现[J]. 电子技术应用,2007,33(3):119-121.
YUAN Hui-qin,SHANG Jun-na,ZHAO Zhi-jing. FPGA implementation of time delay estimation algorithm[J]. Application of Electronic Technique,2007,33(3):119-121. (in Chinese)

[12] 付学志,刘忠,胡生亮,等. 基于 FPGA 的改进型最小均方自适应时延估计器[J]. 系统工程与电子技术,2011,33(5):1191-1196.
FU Xue-zhi,LIU Zhong,HU Sheng-liang,et al. Improved LMS adaptive time delay estimator based on FPGA[J]. Systems Engineering and Electronics,2011,33(5):1191-1196. (in Chinese)

作者简介:



江 雪(1988—),女,四川冕宁人,2012 年于重庆邮电大学获双学士学位,现为重庆邮电大学硕士研究生,主要研究方向为物理层安全;
JIANG Xue was born in Mianning, Sichuan Province, in 1988. She received the dual B. S.

degrees from Chongqing University of Posts and Telecommunications in 2012. She is now a graduate student. Her research concerns physical security.
Email:15215041148@163.com

刘源源(1989—),男,重庆北碚人,重庆邮电大学硕士研究生,主要研究方向为数字信号处理;
LIU Yuan-yuan was born in Beibei, Chongqing, in 1989. He is now a graduate student. His research concerns digital signal processing.
Email:s120101104@stu.cqupt.edu.cn

雷维嘉(1969—),男,云南元谋人,博士,重庆邮电大学教授,主要研究方向为无线和移动通信技术;
LEI Wei-jia was born in Yuanmou, Yunnan Province, in 1969. He is now a professor with the Ph. D. degree. His research concerns wireless and mobile communication technology.
Email:leiwj@cqupt.edu.cn

谢显中(1966—),男,四川通江人,博士,重庆邮电大学教授,主要研究方向为无线和移动通信技术。
XIE Xian-zhong was born in Tongjiang, Sichuan Province, in 1966. He is now a professor with the Ph. D. degree. His research concerns wireless and mobile communication technology.
Email:xiexzh@cqupt.edu.cn