

doi:10.3969/j.issn.1001-893X.2014.04.027

引用格式:赵玲宝,陈清华.差分过孔的高频特性仿真分析[J].电讯技术,2014,54(4):518-523. [ZHAO Ling-bao, CHEN Qing-hua. Simulation Analysis of Differential Via's High Frequency Characteristics[J]. Telecommunication Engineering, 2014, 54(4): 518-523.]

差分过孔的高频特性仿真分析*

赵玲宝¹, 陈清华^{1,2,**}

(1. 南京工业大学 自动化与电气工程学院, 南京 211816; 2. 浙江清华长三角研究院, 浙江 嘉兴 314006)

摘要:为满足差分过孔在高速 PCB 中低反射、高传输和阻抗稳定的设计要求,提出了短柱和非功能焊盘的优化设计方法,并给出了建模仿真与理论分析。采用 HFSS 软件对 12 层 PCB 中差分过孔进行三维建模与仿真,并使用 ADS 软件对仿真结果进行了眼图分析,结果表明:钻除短柱可以有效改善差分过孔的高频传输特性,其中信号反射的能量减少了 79.1%,传输的能量增加了 82.1%;移除非功能焊盘可以进一步改善差分过孔的高频特性,其中反射的能量减少了 14.46%,传输的能量增加了 14.13%。

关键词:高速 PCB; 信号完整性; 差分过孔; 非功能焊盘; 眼图; 高频特性

中图分类号: TN301 **文献标志码:** A **文章编号:** 1001-893X(2014)04-0518-06

Simulation Analysis of Differential Via's High Frequency Characteristics

ZHAO Ling-bao¹, CHEN Qing-hua^{1,2}

(1. School of Automation and Electrical Engineering, Nanjing University of Technology, Nanjing 211816, China;
2. Yangtze Delta Region Institute of Tsinghua University Zhejiang, Jiaxing 314006, China)

Abstract: To satisfy the design requests of differential vias for multi-purpose, low reflectance, high transmission coefficient and impedance stabilization in high-speed PCB, an optimization design method for stub and non-function pads is proposed, and the model, simulation and theoretical analysis are provided. Three-dimensional differential vias in 12 layers PCB are modelled and simulated with HFSS, and the eye diagram is analyzed with ADS. The results shown that drilling out the stub can improve the high-frequency transmission characteristics of the differential via effectively, wherein the reflected energy reduces 79.1%, the transferred energy increases 82.1%; and removing the non-function pads can improve the high-frequency transmission characteristics of the differential via further, wherein the reflected energy reduces 14.46%, the transferred energy increases 14.13%.

Key words: high-speed PCB; signal integrity; differential via; non-function pad; eye diagram; high frequency characteristics

1 引言

在如今的高速电路系统中,信号的传输速率已经高达几十 Gb/s。一方面,当信号频率高达 GHz 时,过孔的寄生电容和寄生电感将导致信号传输路

径的不连续,从而引起信号的反射、衰减等问题^[1-5];另一方面,要实现将 PCB 中某一层的信号传输到另外一层又必须使用到过孔。因此,在高速电路系统设计中,如何减小过孔寄生效应带来的负面

* 收稿日期:2013-10-29;修回日期:2013-12-24 Received date:2013-10-29;Revised date:2013-12-24

基金项目:浙江省科技专项(2012C01037-1);嘉兴市科技项目(2011AZ1013);江苏省基础研究计划资助项目(BK2010137)

Foundation Item: Science & Technology Specific Projects of Zhejiang Province (2012C02037-1); Science & Technology Projects of Jiaxing (2011AZ1013); Projects Funded by Jiangsu Province Basic Research Program (BK2010137)

** 通讯作者: billchen@sanlogic.com Corresponding author: billchen@sanlogic.com

影响已经成为设计师们不得不面对的问题。

文献[6]通过选择合适的过孔位置来抑制某些特定谐振点,从而改善过孔在特定谐振频率上的传输特性,从源头上杜绝了谐振频率引起的信号完整性问题。文献[7]主要研究了过孔的中心距、过孔和地孔的中心距,以及地孔的布置对高频传输性能的影响。文献[8]将过孔直接建立在焊盘上,省去了过孔到焊盘这一段传输线,在节省布线空间的同时也避免了这段传输线引起的信号完整性问题。

国内外学者大多数是通过建模仿真来实现比较,但在过孔 RLC 等效电路予以理论解释这一方面研究得较少。而本文的研究对象主要是高层 PCB 板中差分过孔的短柱和非功能焊盘,采用短柱钻除和非功能焊盘移除技术来实现过孔高频传输性能的改善,通过三维建模仿真的手段来验证这两项设计的优越性,同时给出过孔的 RLC 等效电路,为这两项技术提供理论支持。

2 过孔的特性与参数分析

过孔一般可以分为 3 类,即通孔、盲孔和埋孔,如图 1 所示^[9]。

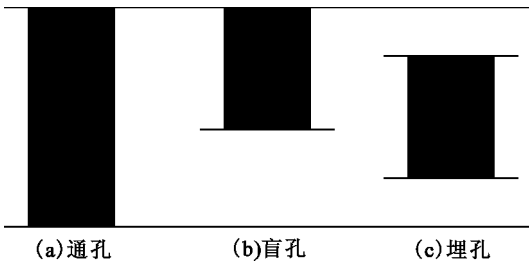


图 1 过孔的分类
Fig. 1 Classification of vias

当信号频率达到 GHz 时,过孔寄生效应的影响就凸显出来。过孔的寄生电容大小近似为

C_via ≈ (1.41ε_rD_1T)/(D_2-D_1) (1)

式中,C_via 表示过孔的寄生电容,ε_r 表示 PCB 板介质的相对介电常数,T 表示 PCB 板的厚度,D_1 表示过孔焊盘直径,D_2 表示过孔反焊盘直径。

过孔的寄生电容对电路造成的影响主要是延长了信号的上升时间,降低了电路的速度^[10]。研究一块 12 层的电路板,电路板的厚度为 69.4 mil,过孔焊盘直径为 24 mil,反焊盘直径为 32 mil,板基材 FR4 介电常数为 4.4。由式(1)可以得到寄生电容大致为 1.29 pF。对于 50 Ω 传输线,实际过孔引起的信号上升时间变化量大致为

T_10%~90% = 2.2×C×(Z_0/2) = 2.2×1.29pF×(50Ω/2) = 70.95 ps

其中,Z_0 为传输线特性阻抗。过孔的寄生电感带来的危害要比寄生电容大得多,它会削弱旁路电容的作用,严重影响整个电源的供电滤波效果^[11]。由式(2)可以简单计算一个过孔的近似寄生电感:

L_via ≈ 5.08h[ln(4h/d)+1] (2)

式中,L_via 表示过孔的寄生电感,h 表示过孔的长度,d 表示过孔钻孔直径。由式(2)可知,过孔的长度对寄生电感影响最大,而过孔的孔径对寄生电感影响相对较小。

3 建立差分过孔仿真模型与分析

PCB 测试板为 12 层,其中第 1、3、5、8、10、12 层为信号层,其余层均为地层。这样叠层的好处是使每个信号层都有参考平面,有利于信号高频分量的回流,另外,也可屏蔽掉不同走线层间信号的干扰以及来自外部的干扰。

3.1 stub 对差分过孔的影响

在测试板上分别比较 3 组差分过孔:第一组 stub 最长,即顶层和第三层走信号线;第二组 stub 最短,即顶层和底层走信号线;第三组是在第一组的基础上采用背钻技术将短柱钻除。

图 2~4 分别是用 HFSS 对 3 组差分过孔进行 3D 电磁仿真得到的回波损耗、插入损耗以及差分阻抗比较。

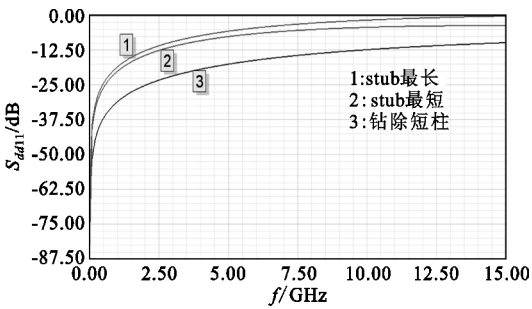


图 2 差分过孔的回波损耗对比
Fig. 2 Return loss comparison for differential vias

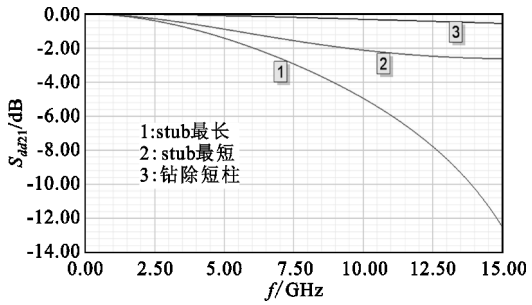


图 3 差分过孔的插入损耗对比
Fig. 3 Insertion loss comparison for differential vias

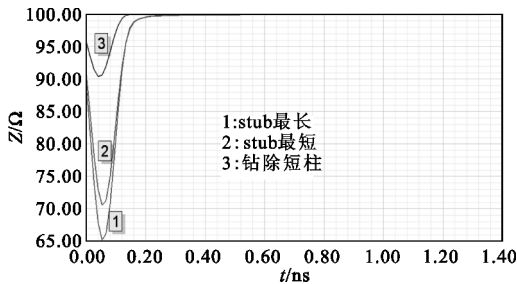


图4 差分过孔的差分阻抗对比

Fig. 4 Differential impedance comparison for differential vias

从图2~4可知:stub 会导致差分反射系数 S_{dd11} 增大;差分传输系数 S_{dd21} 减小,从而使得差分插入损耗增大;差分阻抗连续性变差。而采用背钻技术可以大大优化差分过孔的性能^[12]。

比较15 GHz时:第一组的差分反射系数 S_{dd11} 高达-0.5 dB,第二组 S_{dd11} 为-3.81 dB,经背钻技术处理后的第三组只有-10 dB,第三组比第一组优化了-9.5 dB,反射的能量减少了 79.1%;第一组的差分传输系数只有-12.5 dB,第二组为-2.64 dB,而第三组高达-0.57 dB,第三组比第一组优化了 11.93 dB,传输的能量增加了 82.1%;第一组的差分阻抗最小值为 65.2 Ω,第二组为 70.6 Ω,第三组则为 90.4 Ω,假设信号是从阻抗为 Z_o 的线路进入到阻抗为 Z_l 的线路,反射系数公式为

$$P=(Z_l-Z_o)/(Z_l+Z_o),$$

第一组反射系数 $P=21.1\%$,而经优化后的第三组反射系数只有 5.0%,反射系数减少了 16.1%。得出结论:有最长 stub 的第一组高频特性最差,其次是第二组,而采用背钻技术的第三组效果最佳。

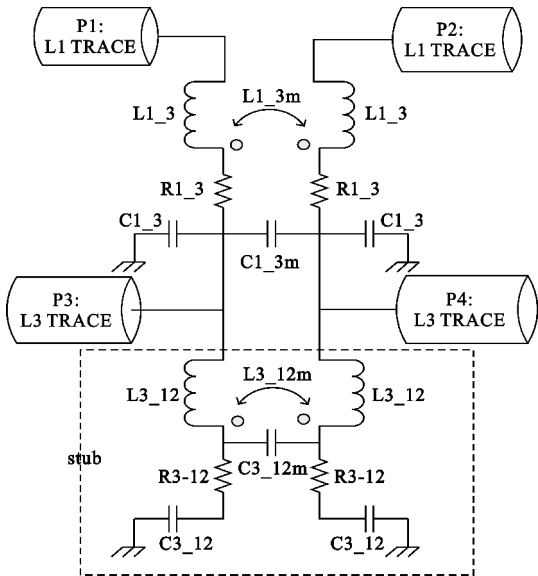


图5 拥有 stub 的差分过孔等效电路

Fig. 5 The equivalent circuit of the differential via which has the stub

当过孔存在 stub,信号路径就多了一条 stub 的分支(如图5中虚线框所示),部分的能量将会流入这条分支,由于分支是全开路状态,反射系数

$$P=(+\infty-Z_o)/(+\infty+Z_o)=1$$

其中, Z_o 为差分过孔的特性阻抗,流入分支的能量将会全部被反射回源端,叠加在原始信号上,原始信号的质量会被极大地破坏,原始信号的完整性也就难以保持^[13]。另一方面,差分过孔的 stub 存在寄生电感 $L3_{12}$ 和寄生自感 $L3_{12m}$,若存在旁路滤波电容,电感相当于和滤波电容并联,这将严重影响旁路电容的滤波效果。

3.2 非功能焊盘对差分过孔的影响

在测试板上比较两组差分过孔,两组都是顶层和底层走信号线,唯一的区别在于第一组差分过孔保留了非功能焊盘,而第二组差分过孔移除了非功能焊盘。

图6~8分别是用 HFSS 对这两组差分过孔进行 3D 电磁仿真得到的回波损耗、插入损耗以及差分阻抗比较。

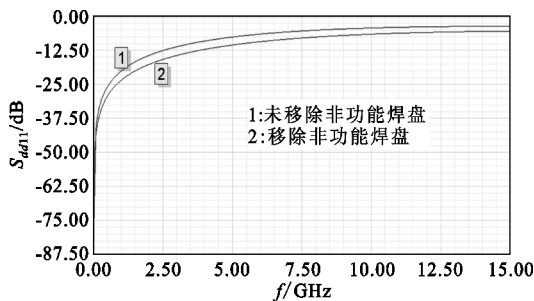


图6 差分过孔的回波损耗对比

Fig. 6 Return loss comparison for differential vias

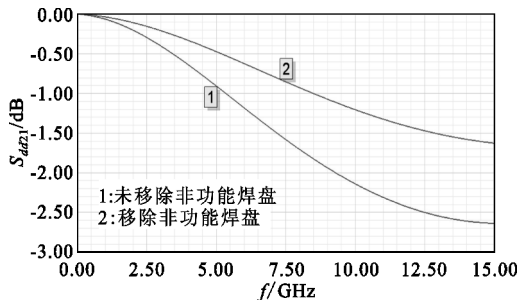


图7 差分过孔的插入损耗对比

Fig. 7 Insertion loss comparison for differential vias

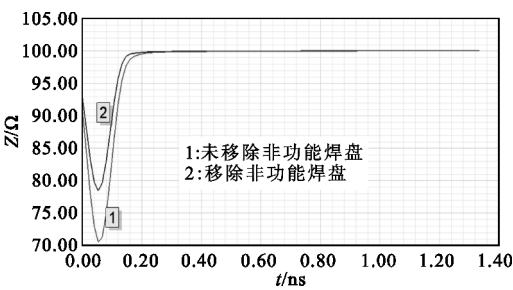


图 8 差分过孔的差分阻抗对比

Fig. 8 Differential impedance comparison for differential vias

由图 6~8 可以看出:移除非功能焊盘对差分过孔的差分反射系数 S_{dd11} 、差分传输系数 S_{dd21} 和差分阻抗均有改善。

比较 15 GHz 时:第一组的差分反射系数 S_{dd11} 为 -3.81 dB ,而移除非功能焊盘后的只有 -5.65 dB ,优化了 -1.85 dB ,反射能量减少了 14.46% ;第一组的差分传输系数只有 -2.64 dB ,而第二组有 -1.63 dB ,传输的能量提高了 14.13% ;第一组的差分阻抗最小值为 $70.6\text{ }\Omega$,而第二组的差分阻抗最小值为 $78.46\text{ }\Omega$,第一组的反射系数 $P=17.23\%$,而第二组为 12.97% ,反射系数减少了 4.26% 。得出结论:移除非功能焊盘可以减少回波损耗,减小插入损耗,改善差分阻抗的连续性,但是相对于钻除 stub 来说效果较小。如图 9 所示,非功能焊盘只存在寄生电容(C_{pad3} 、 C_{pad5} 、 C_{pad8} 和 C_{pad10});如图 5 所示,stub 同时存在着寄生电容($C3_{12}$ 和 $C3_{12m}$)和寄生电感($L3_{12}$ 和 $L3_{12m}$),而寄生电感对电路的影响要比寄生电容大得多。

非功能焊盘对过孔的主要影响是非功能焊盘存在着寄生电容,如图 9 所示, C_{pad3} 、 C_{pad5} 、 C_{pad8} 和 C_{pad10} 分别对应着第 3、5、8 和 10 层的非功能焊盘的寄生电容,它们主要的危害是延长信号的上升时

间,降低电路的速度。假设在该 PCB 板中,每个非功能焊盘的寄生电容值为 0.1 pF ,每对差分过孔有 8 个非功能焊盘,共 0.8 pF ,这 8 个非功能焊盘的寄生电容使得信号上升时间增加量

$T_{10\% - 90\%} = 2.2 \times C \times (Z_o/2) = 2.2 \times 0.8\text{ pF} \times (50\Omega/2) = 44\text{ ps}$,也就是说,移除这个差分过孔的非功能焊盘可以使信号上升时间减少 44 ps 。

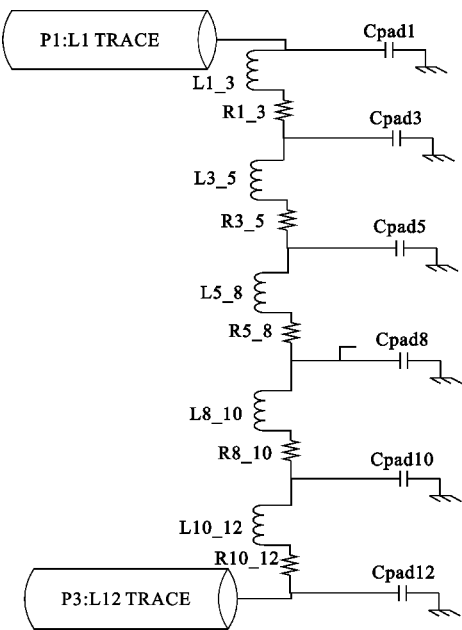


图 9 拥有非功能焊盘的过孔等效电路

Fig. 9 The equivalent circuit of the via which has the non-function pads

3.3 信道眼图观察

分析 stub 和非功能焊盘对眼图的影响,观察 15 GHz 时的时域信道眼图,其中激励源信号为伪随机比特流 PRBS9,如图 10 所示。

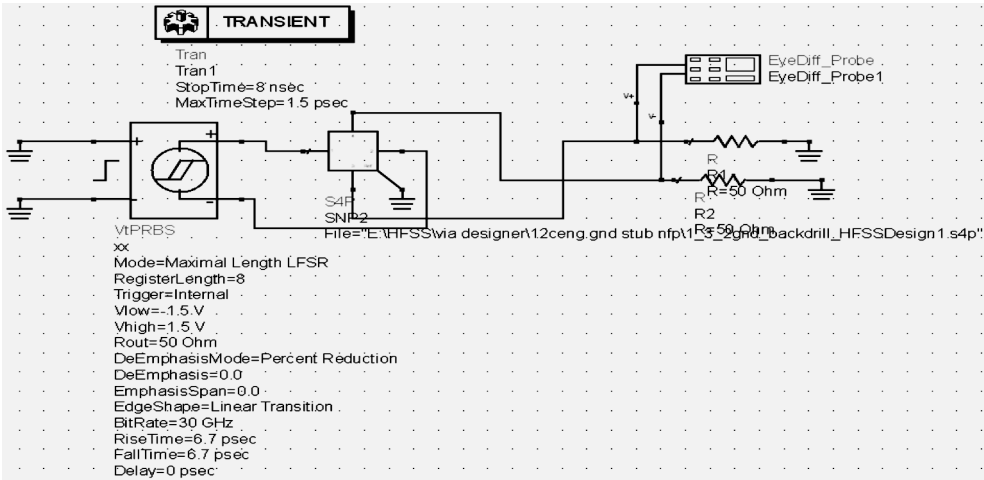


图 10 眼图观测电路

Fig. 10 Eye observation circuit model

图 11 是 3.1 节中 3 组差分过孔的信道眼图,其中(a)是有 stub 时的眼图,(b)是无 stub 时的眼图,c 是钻除 stub 后的眼图,表 1 是三者的眼宽和眼高对比。

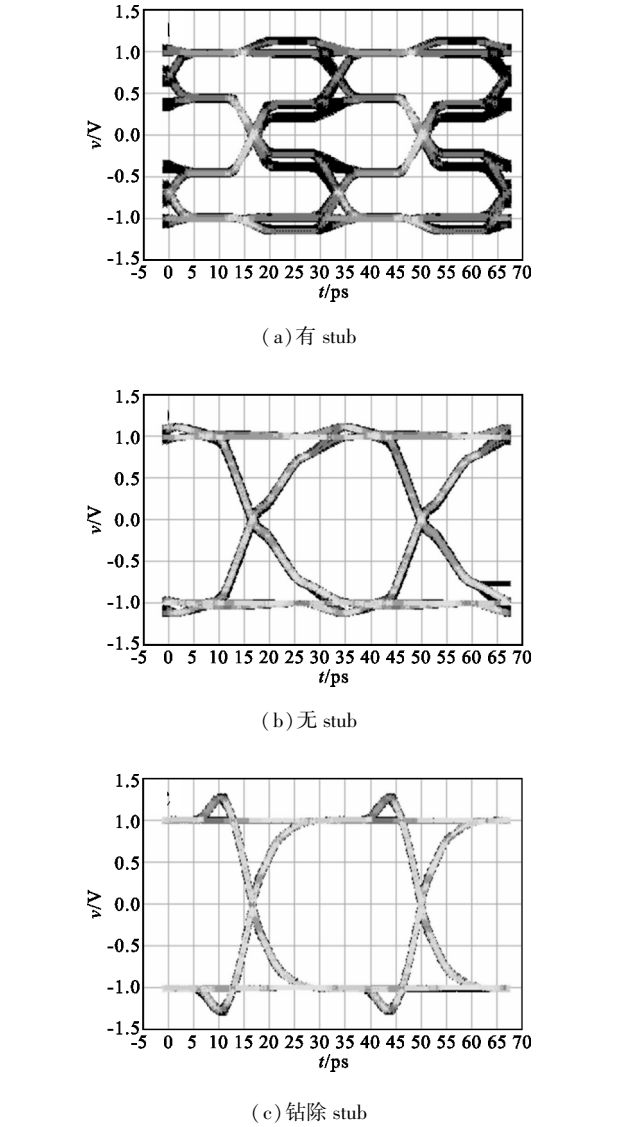


图 11 3 种差分过孔的眼图
Fig. 11 The eye pattern of the three differential vias

表 1 仿真结果(stub) Table 1 Simulation results(stub)		
图	眼宽/ps	眼高/V
(a)	32.28	0.46
(b)	32.48	1.62
(c)	33.08	1.99

图 12 是 3.2 节中两组差分过孔的信道分析,其中(a)是有非功能焊盘时的眼图,(b)是无非功能焊盘时的眼图,表 2 是两者的眼宽和眼高对比。

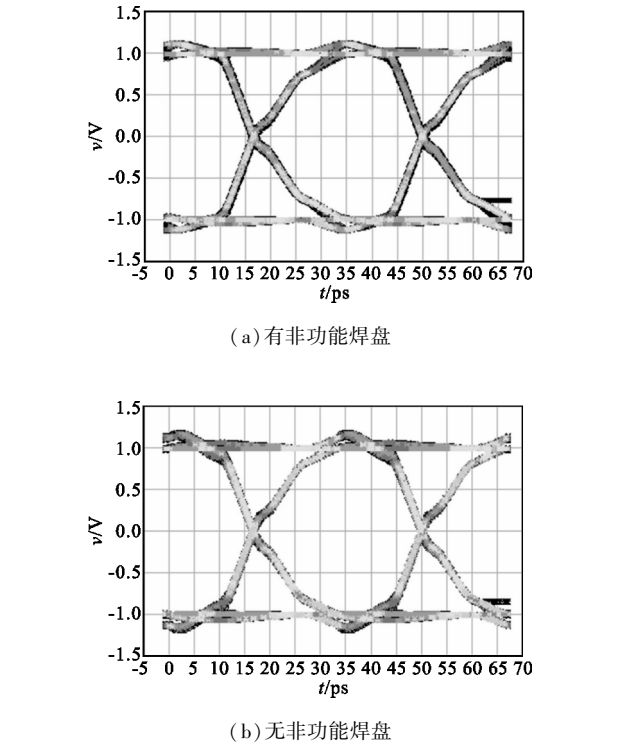


图 12 两种差分过孔眼图
Fig. 12 The eye pattern of the two differential vias

表 2 仿真结果(非功能焊盘) Table 2 Simulation results(NFP)		
图	眼宽/ps	眼高/V
(a)	32.48	1.62
(b)	32.95	1.74

从眼图分析结果来看,钻除 stub 和移除非功能焊盘均能提高信道的眼图质量。从仿真结果来看,对眼宽的影响不是太大,对眼高影响较大。钻除 stub 和移除非功能焊盘可以让“眼睛”睁得更大。表 1 显示:有最长 stub 的(a)眼高只有0.46 V,而钻除 stub 后,眼高可以达到1.99 V,提高了 300% 多,效果相当明显。表 2 显示:保留非功能焊盘的差分过孔的眼高为1.62 V,而移除非功能焊盘后眼高为 1.74 V,提高了 7.4%,在一定程度上改善了眼图,但是效果没有钻除 stub 那么明显。

4 结束语

现今的高速电路板设计充满了挑战,尤其是当信号速率高达10 GHz以上时。本文采用 HFSS 软件和 ADS 软件对差分过孔进行建模仿真,并对差分过孔的 stub 效应和非功能焊盘效应进行了分析,得到如下几个结论,为高速 PCB 中过孔设计提供了可靠依据:

(1)在工艺允许的条件下,尽量减少 PCB 厚度,

可以减少过孔的寄生参数。同时,尽量减少使用不必要的过孔;

(2)运用背钻技术可以有效地优化差分过孔,降低其反射系数,提高传输系数,减小阻抗的不连续性,提高眼图质量;

(3)在如今的高密度、高层 PCB 板设计中,移除非功能焊盘在一定程度上可以改善信号的高频特性。

值得注意的是,在移除非功能焊盘的过程中,由于材质的膨胀和收缩,会对过孔造成比较大的压力,所以在过孔设计过程中,如何权衡非功能焊盘的移除和保持过孔的长期可靠性也是一个必须考虑的问题。

参考文献:

- [1] 曹小华,甘俊英,李德锋,等. 高速电路 PCB 过孔优化的仿真[J]. 五邑大学学报(自然科学版), 2012, 26(1): 53-57.
CAO Xiao-hua, GAN Jun-ying, LI De-feng, et al. Via-hole Optimal Simulation of High Speed Circuit PCBs [J]. Journal of Wuyi University (Natural Science), 2012, 26(1): 53-57. (in Chinese)
- [2] Bogatin E. Signal integrity Simplified[M]. New Jersey: Prentice Hall PTR, 2010: 62-70.
- [3] 夏凡. 高速数字电路中的信号完整性设计[D]. 南京:南京理工大学, 2006.
XIA Fan. Design of Signal Integrity in High-Speed digital circuit [D]. Nanjing: Nanjing University of Science & Technology, 2006. (in Chinese)
- [4] 郭晓凤. 基于10G通信系统的信号完整性研究与应用[D]. 成都:成都电子科技大学, 2012.
GUO Xiao-feng. Research and Application of Signal Integrity Based on 10G communication system[D]. Chengdu: University of Electronic Science and Technology of China, 2012. (in Chinese)
- [5] Scogna A C, Zhang J, Teoh L K. Mitigation of signal vias to power plane coupling controlling the return current [C]//Proceedings of 2012 IEEE Electrical Design of Advanced Packaging and Systems Symposium. Taipei: IEEE, 2012: 69-72.
- [6] 周子琛,申振宁,王伟. 电流返回路径分解的信号完整性分析方法[J]. 电讯技术, 2012, 52(3): 388-394.
ZHOU Zi-chen, SHEN Zhen-ning, WANG Wei. A New Method to Simulate Signal Integrity Based on Return Current Paths Decomposed in High Speed Circuits[J]. Telecommunication Engineering, 2012, 52(3): 388-394. (in Chinese)
- [7] Shen Z, Tong J. Signal integrity analysis of high-speed single-ended and differential vias [C]//Proceedings of 10th Electronics Packaging Technology Conference. Singapore: IEEE, 2008: 65-70.
- [8] Zhang J, Chen Q B, Fan J, et al. DC blocking via structure optimization and measurement correlation for SerDes

channels [C] //Proceedings of 2010 IEEE International Symposium on Electromagnetic Compatibility. Fort Lauderdale, FL: IEEE, 2010: 557-562.

- [9] 侯莹莹,关丹丹. 高速 PCB 中的过孔设计研究[J]. 电子与封装, 2009, 9(8): 20-23.
HOU Ying-ying, GUAN Dan-dan. Research on Via Design in High-speed PCB [J]. Electronics and Packaging, 2009, 9(8): 20-23. (in Chinese)
- [10] 赵志超. 高速差分传输线模型的分析与设计[D]. 西安:西安电子科技大学, 2012.
ZHAO Zhi-chao. Analysis and Design of High-Speed Differential Transmission Line Models [D]. Xi'an: Xidian University, 2012. (in Chinese)
- [11] Zhang J, Chen Q B, Yang Z, et al. Physics-based via model development and verification [C]//Proceedings of 2010 Asia-Pacific Symposium on Electromagnetic Compatibility. Beijing: IEEE, 2010: 1043-1046.
- [12] Zhang J, Chen Q B, Wang H, et al. Stub length prediction for back-drilled vias using a fast via tool [C]//Proceedings of 2010 IEEE Electrical Design of Advanced Packaging & Systems Symposium. Singapore: IEEE, 2010: 1-4.
- [13] 刘焯铭. 高速多板系统信号完整性建模与仿真技术研究[D]. 长沙:国防科学技术大学, 2007.
LIU Ye-ming. Research of SI model and simulation technology for High-speed PCB system [D]. Changsha: National University of Defense Technology, 2007. (in Chinese)

作者简介:



赵玲宝(1989—),男,江苏南京人,2011年于南京工业大学获学士学位,现为硕士研究生,主要从事高速电路信号完整性研究;

ZHAO Ling-bao was born in Nanjing, Jiangsu Province, in 1989. He received the B. S. degree from Nanjing University of Technology in 2011. He is now a graduate student. His research concerns high-speed signal integrity.

Email: zhaolb@sanlogic.com

陈清华(1968—),男,福建人,分别于1993年和1996年获清华大学硕士学位和德克萨斯州农工大学博士学位,现为浙江清华长三角研究院信息所所长、北京大学软件与微电子学院教授,主要从事高速集成电路设计、高速电子系统设计方面的研究。

CHEN Qing-hua was born in Fujian Province, in 1968. He received the M. S. degree from Tsinghua University and the Ph. D. degree from Texas A&M University in 1993 and 1996, respectively. He is the superintendent of Technology Information Research Institute of Yangtze Delta Region Institute of Tsinghua University, and a professor of School of Software and Microelectronics of Peking University now. His research concerns high-speed integrated circuit design and high-speed electronic system design.

Email: billchen@sanlogic.com