

doi:10.3969/j.issn.1001-893x.2014.02.012

引用格式:张伟峰,陈越洋,胡耀.基于动态相位调整算法的高速采样系统设计[J].电讯技术,2014,54(2):178-182.[ZHANG Wei-feng,CHEN Yue-yang,HU Yao.Design of a High Speed Sampling System Based on Dynamic Phase Modulation Algorithm[J].Telecommunication Engineering,2014,54(2):178-182.]

基于动态相位调整算法的高速采样系统设计*

张伟峰^{1,2,**},陈越洋¹,胡耀²

(1.北京理工大学信息与电子学院,北京 100081;2.北京遥感设备研究所,北京 100854)

摘 要:高速采样技术在雷达信号处理系统中至关重要。在使用多通道串行输出 AD 芯片进行采样时,AD 芯片输出的时钟信号与串行数据信号在传输的过程中获得了不同程度的延时,导致关键路径的时序要求不能够得到满足。为了解决上述问题,提出了一种自适应动态相位调整算法,动态调整时钟和数据的相位关系使其能够在高速条件下正确匹配;设计了基于 ADS6445 模数转换芯片和 Virtex-5 FPGA 芯片的采样系统对算法进行验证,经系统测试该算法成功将时钟变化沿对准了数据窗中心位置,大幅度提高了系统采样的准确性和稳定性。经计算,系统的采样数据有效位达到 11 位以上,满足雷达信号处理对数据精度的高要求。

关键词:雷达信号处理;高速采样;动态相位调整;有效位

中图分类号:TN957.52 **文献标志码:**A **文章编号:**1001-893X(2014)02-0178-05

Design of a High Speed Sampling System Based on Dynamic Phase Modulation Algorithm

ZHANG Wei-feng^{1,2},CHEN Yue-yang¹,HU Yao²

(1. School of Electronics and Information Technology, Beijing Institute of Technology, Beijing 100081, China;
2. Beijing Institute of Remote Sensing Equipment, Beijing 100854, China)

Abstract:High speed sampling technology is extremely important in radar signal processing systems, some systems employ multi-channel serial-output AD (Analog to Digital) chips to sample data, because the delays of clock signal and serial data signal are not equal during the transmission, the timing constraints of crucial paths couldn't be matched. To solve above-mentioned problem, this paper presents a self-adjust dynamic phase modulation algorithm which modulates the phase relationship between clock and data to make sure they match correctly in high speed conditions. A sampling system based on ADS6445 analog to digital chip and Virtex-5 FPGA (Field Programmable Gate Array) chip is designed to validate the algorithm. Test shows the algorithm successfully matches the clock edge to the middle of data window and largely improves the stability and veracity of the system. The ENOB (Effect Number of Bits) of the system is higher than 11, so the system completely meets the high data precision demand of radar signal processing.

Key words:radar signal processing;high speed sampling;dynamic phase modulation;ENOB

1 引言

信号处理系统的前端是 AD 采样数据的获取。为了节省电路板面积和成本,通常会使用串行输出的多通道 AD 芯片。而使用这种芯片时,串行输出的数据经过串并转换操作以后才能够得到有效的采

样数据。在时钟频率很高的情况下,如何正确进行串并转换操作是一个难题。

首先,由于信号传输路径的不一致性,AD 输出的随路时钟信号和串行数据信号在到达 FPGA 内部进行串并转换操作的同步单元之前经历了不同程度

* 收稿日期:2013-11-06;修回日期:2013-12-24 Received date:2013-11-06;Revised date:2013-12-24

** 通讯作者:zhangweifeng@163.com Corresponding author:zhangweifeng@163.com

的延时,故该同步单元的建立时间或保持时间并不一定能够得到满足,在系统时钟频率提高时可能会出现竞争与冒险现象。

其次,传统的串并转换操作是使用 FPGA 内部寄存器组依照位时钟对串行数据进行移位寄存操作,存满一帧数据之后再用帧时钟对其输出,这种做法由于涉及到寄存器的跨时钟域操作,在高速情况下往往使得系统的关键路径时序要求得不到满足^[1],采样数据存在较多的毛刺。

基于此,本文介绍了一种使用 FPGA 内部 iodelay 模块和 iserdes 模块的 AD 芯片接口逻辑,其中在 iodelay 模块的使用中提出了一种自适应的动态相位调整算法,该算法能够在不同的时钟频率条件下使得时钟的边沿对齐 AD 串行数据窗的中间位置,从而对串行数据进行正确的采样。另外,在解串操作中使用 iserdes 模块避免了跨时钟域的操作。上板测试表明,该方法能够有效提高系统的稳定性。

2 系统的组成

本文中采样系统采用 Xilinx 公司的 XC5VSX95T FPGA 作为主控芯片,该款 FPGA 具有高达 14 720 个 Slice 资源,集成 iodelay 和 iserdes 模块,完全满足接口逻辑以及后续信号处理算法的要求,采用 TI 公司的 ADS6445 芯片作为模数转换芯片,该芯片有 4 个采样通道,最高采样率达到 125 Msample/s,每帧采样数据输出为 14 位的串行比特流,支持 SPI 接口配置内部寄存器,可配置输出测试数据^[2],系统的组成框图如图 1 所示。

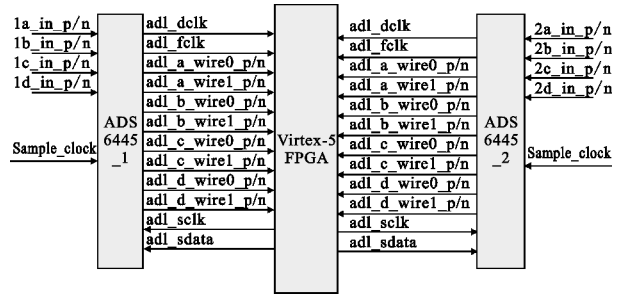


图 1 系统的组成框图
Fig.1 The block diagram of system

系统的采样时钟由外部频率源提供,8 路模拟差分输入分别经过两片 ADS6445 进行模数转换后输入到 FPGA,同时输出随路时钟 bit clock 和 frame clock,其中 bit clock 是位时钟,frame clock 是帧时钟,其时钟频率是 bit clock 的 1/4。ADS6445 芯片的串行输出可以配置成多种格式,本系统采取了 16x serialization、2-wire interface、DDR clock、bit-wise

的配置方式,输出的时序图如图 2 所示。

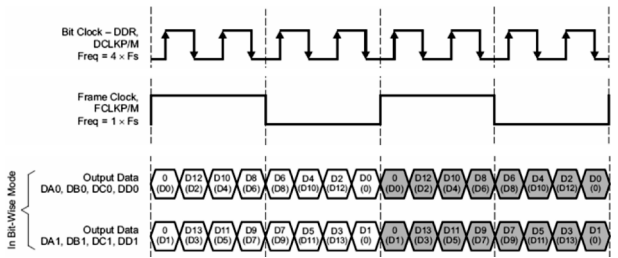


图 2 AD 芯片的输出时序
Fig.2 The output timing diagram of AD chip

从时序图可以看出,bit clock 的上升沿和下降沿分别对应着一位串行数据,一个 frame clock 周期对应着 4 个 bit clock 周期,那么在一个 Frame clock 周期内,两个 wire 通道都输出了 8 位数据,将这 8 位数据进行拼接,并舍去最高两位无效位,可以得到正确的 14 位采样数据。

3 接口逻辑编写

串并操作可以用两种方法来完成,传统的做法是利用 FPGA 内部移位寄存器组来实现,AD 输出的单路 DDR 数据经过 IO 资源中 iddr 模块可得到 SDR 数据,然后通过移位寄存器组在 bit clock 时钟域对数据流进行寄存,在 frame clock 上升沿将其取出并按照一定的顺序进行拼接。在理想的低速情况下,这种做法确实可行,但是在高速系统中,时钟频率很高,这种跨时钟域的操作会引起输出的信号带有较多的毛刺。经过测试,在使用这种接口逻辑时,当采样率低于 80 Msample/s 时,采样数据是稳定的,但是当采样率高于 80 Msample/s 时,采样数据出现了较多毛刺。故此传统做法不适用于本系统。

本文采用的方法是使用 FPGA 芯片 IO 资源中的 iserdes 模块对数据流进行串并转换,此模块较为成熟,其主要框图如图 3 所示。

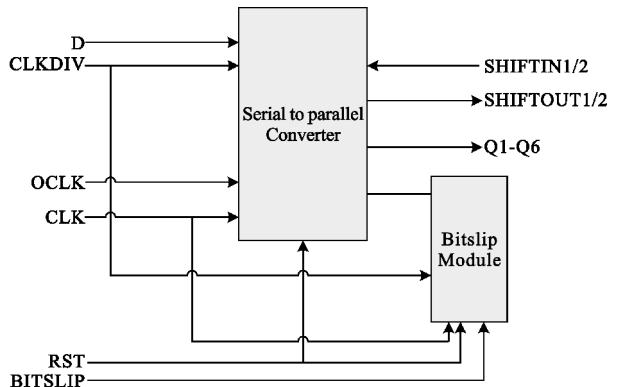


图 3 iserdes 模块框图
Fig.3 The block diagram of iserdes module

iserdes 模块主要分为两个部分:一部分是串并转换器,可以跨时钟域将串行数据转换成稳定的并行数据,该模块在 DDR 模式下最高可以进行 10 : 1 的串并转换,在数据位宽超过 6 位时,需要用 shiftin 和 shiftout 将两个 iserdes 模块进行并联,这里不详细阐述;另一部分是 bitslip 模块,在 networking 模式下,这个模块起到了关键的作用。由于时序的原因,串并转换器输出的并行数据的高低位排列并不一定是原始数据的正确顺序,需要对其顺序进行调整,bitslip 模块可以实现这个功能^[3],该模块中 bitslip 信号每拉高一个时钟周期,并行数据就进行一次循环移位操作,如图 4 所示,直到获得正确的序列。

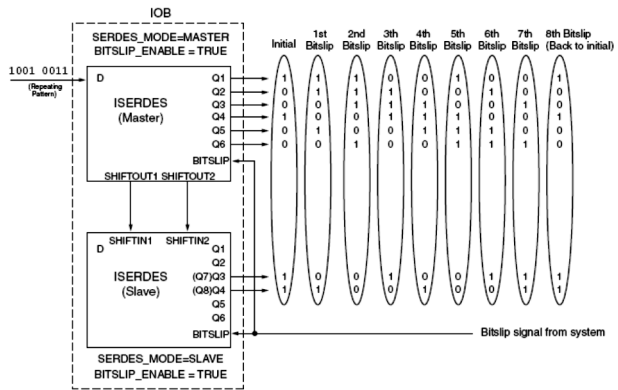


图 4 bitslip 模块工作方式
Fig. 4 Operation flow of bitslip module

ADS6445 芯片能输出不同种类的训练序列,使用 SPI 总线对其配置寄存器的 0A 地址写入 0E0 可以使其输出 MSB-11110000-LSB 的训练序列,该序列可用于字对齐训练,在对 bitslip 模块的控制中,本系统接口逻辑引入了一个 byte-align 状态机,在训练序列输出时,该状态机控制 bitslip 信号间断的拉高,使得并行数据循环移位直到 iserdes 输出和训练序列一致的数据,匹配完成以后对 AD 配置寄存器 0A 地址写入 000 控制芯片输出正常的采样数据。

在引入了 iserdes 以后对接口逻辑进行测试发现,在大多数时钟频率下,系统均能够正常工作,但是在某些特定的频率,系统会出现不稳定的情况,采样数据出现错误。经过 chipscope 的观察,发现串并转换过程正常,但是在串并转换操作前,时钟和数据的相位关系发生偏移导致了数据的异常。

经过分析,AD 芯片输出的数据信号和时钟信号在到达 iserdes 模块之前经过了 PCB 走线和 FPGA 内部时序路径。由于 PCB Layout 和 FPGA 内部布局布线的局限性,两者的延迟时间并不能完全达到一致,导致相位关系产生了一定的偏移,在某些特定频

率点,两者的相位延迟差正好是 90° 导致最差情况发生,如图 5 所示,此时时钟的变化沿对应数据变化的时刻,满足不了寄存器建立时间的要求,导致竞争与冒险。为了避免这个问题的发生,在 4 个采样通道的 offset 时序约束不能同时得到满足的情况下,必须人为地添加延迟使时钟变化沿对齐数据窗中间位置。

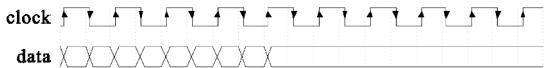


图 5 相位延迟差 90° 时的时序图
Fig. 5 Timing diagram when there is a 90° delay difference

FPGA 的每一个 IOB 中都包含有一个 idelay 模块,该模块可以对 FPGA 芯片内部数据进行延时,延时的分辨率以 tap 记,最高可以对单路信号进行 64 个 tap 的延时,而每一个 tap 对应的延迟时间为 78 ps, tap 数的增减通过模块的 inc 和 ce 输入来控制。基于此,本系统在 byte-align 状态机之前引入了 bit-align 状态机用来控制 inc 和 ce 信号,来匹配获得正确的时钟相位关系。对 AD 芯片的配置寄存器 0A 地址写入 0C0 可以使得芯片输出 MSB-01010101-LSB 的训练序列,利用该训练序列可以控制 inc 和 ce 信号来增减 idelay 延迟的 tap 数,直到时钟变化沿对齐数据的中间位置,该状态机应用算法将在下一节中详细讨论。在 bit-align 状态机相位调整完成以后系统再跳入 byte-align 状态机进行字对齐操作。

接口逻辑的工作流程如图 6 所示。

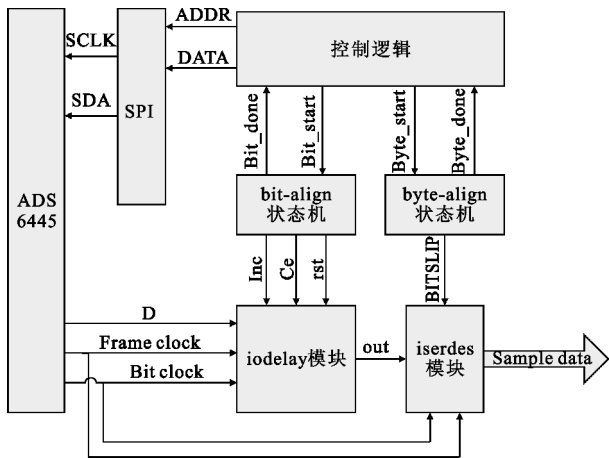


图 6 接口逻辑的工作流程图
Fig. 6 Operation flow of interface logic

4 自适应动态相位调整算法

在接口逻辑中,bit-align 操作的目标是使得时

钟沿和数据窗的中心位置对齐,而在不同的时钟频率下,需要对数据进行的延迟 tap 数并不相同,本文提出了一种自适应频率的动态相位调整算法。算法的流程图如图 7 所示。

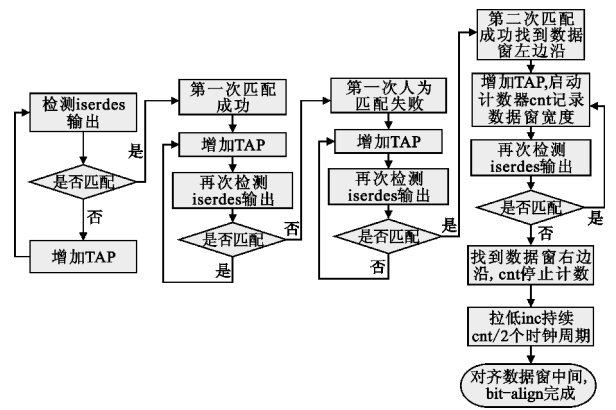


图 7 自适应相位调整算法流程图

Fig. 7 Flow chart of self-adjust phase modulation algorithm

算法的关键在于找到数据窗的左边沿和右边沿,在初始化完成以后,让 AD 芯片输出 deskew 的训练序列,此时开始检测 iserdes 的输出,如果连续 1 000 个时钟周期的输出和训练序列一致,则认为本次匹配是成功的,如果不成功则增加延迟 tap 数直到第一次匹配成功,而第一次匹配成功时不能认为时钟沿对齐了数据窗的中心位置,因此需要继续增加延迟直到匹配失效,之后继续进行相移直到第二次匹配成功,第二次匹配成功可以认为是时钟对齐了数据窗的左沿。为了系统的裕度考虑,需要继续移位直到时钟对齐数据窗的右边沿,在此次移位过程中,需要使用计数器来记录数据窗的宽度。在时钟边沿到达数据窗右边沿之后,将数据回移二分之一数据窗宽度,则可以将时钟边沿对齐到数据窗的正中。

在实验中使用 chipscope 软件对时钟信号和数据信号进行测试,发现算法成功使得不同频率下的时钟信号和数据信号保持稳定的相位关系,利于后续操作。

5 实验结果

对系统进行采样精度的测试,分别从 20 ~ 100 MHz 区间内不同频率对采样频率的 1/64 频率的正弦波模拟量输入进行了采样,并且对以下两种接口逻辑控制下的采样系统性能进行了对比:第一种是使用传统的移位寄存器组进行串并转换操作;

第二种是使用 iodelay 相位调整加上 iserdes 串并转换的方法进行采样,并对数据的有效位 $ENOB_{ADC}$ 按照如下公式^[4]进行计算:

$$ENOB_{ADC} = \frac{SINAD_{ADC} - 1.76}{6.02}$$

其中, $SINAD_{ADC}$ 为 ADC 的真实信噪谐波比。经过计算获得了如表 1 所示的采样有效位数据对比。可以看出,在低频率情况下,传统方法和新方法的差距并不明显,但是当时钟频率上升到 80 MHz 时,传统方法的有效位急剧下降,不能正常工作。

表 1 不同频率下系统采样性能对比
Table 1 The contrast between two systems under different frequency

采样频率 /MHz	传统方法有效位/b	新方法有效位/b
20	10.6	11.5
40	10.1	11.4
60	9.8	11.7
80	5.8	11.9
100	4.5	11.7

在 80 MHz 采样频率下, chipscope 软件在系统上采集到的 bus plot 波形图对比如图 8 和图 9 所示。

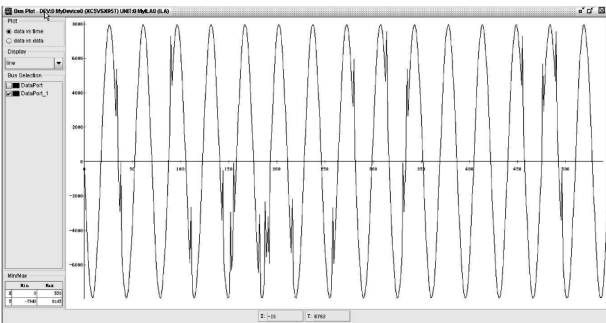


图 8 传统移位寄存器法采集到的正弦波
Fig. 8 The sine wave sampled by traditional method using shift register

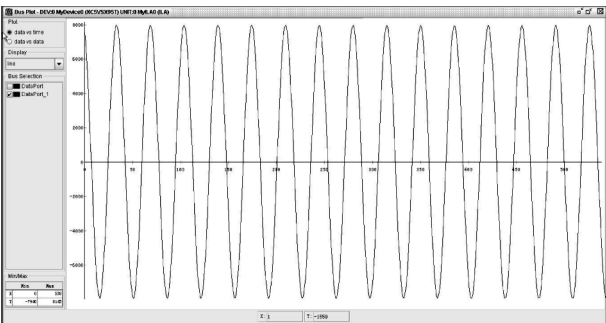


图 9 iodelay+iserdes 方法采集到的正弦波
Fig. 9 The sine wave sampled by new method using iodelay and iserdes module

从图 8 和图 9 可以看出,传统采样方法在高采样频率时数据产生了较多的毛刺,而使用 idelay 和 iserdes 模块并应用自适应性相位调整算法的采样逻辑能够进行很好的采样。在 Matlab 软件中对 chipscope 采集到的数据进行了运算,如图 10 所示,经过计算其数据有效位为 11.9,完全满足系统设计要求,目前已经应用于实际项目中。

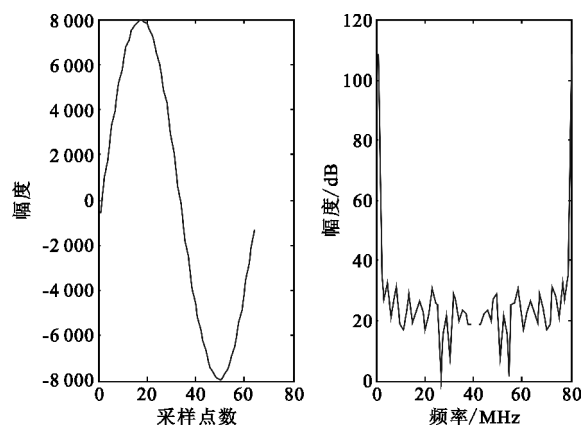


图 10 Matlab 软件对波形的显示与计算
Fig. 10 The display and calculation of the wave using Matlab software

6 结束语

本文针对高速采样系统中关键技术进行了分析,包括串并转化操作和相位对齐算法,设计了基于 ADS6445 和 FPGA 的硬件系统,提出了自适应动态相位调整算法并进行了实验验证。该算法可广泛应用于串行输出 AD 芯片采样逻辑中,具有较高的实用意义。后续研究中可以考虑在 FPGA 内部通过手动布局布线、添加位置约束、合理分配管脚等方法保证信号的相位关系。

参考文献:

[1] 刘丹,冯毅,党向磊,等.降低系统芯片中跨时钟域设计和验证复杂度的方法[J].通信学报,2012,33(11):151-158.

LIU Dan, FENG Yi, DANG Xiang-lei, et al. Method for Reducing the Complexity of Clock Domain Crossing Design and its Verification in System-on-chips[J]. Journal on Communications, 2012, 33(11): 151-158. (in Chinese)

[2] 李燕春.高速信号处理终端设备的设计[J].电讯技术,2011,51(8):66-69.

LI Yan-chun. Design of a High Speed Signal Processing Terminal Equipment[J]. Telecommunication Engineering, 2011, 51(8): 66-69. (in Chinese)

[3] 张小军,廖风强,王录涛,等.多通道高速串行 LVDS 信号解串器设计[J].电子测量技术,2013,36(4):63-67.

ZHANG Xiao-jun, LIAO Feng-qiang, WANG Lu-tao, et al. Design of Deserializer for Multi-channel Serial LVDS Signal[J]. Electronic Measurement Technology, 2013, 36(4): 63-67. (in Chinese)

[4] 齐红涛,苏涛.基于 FPGA 的高速 AD 采样设计[J].航空兵器,2010(1):35-38.

QI Hong-tao, SU Tao. Design of High AD Sampling Based on FPGA[J]. Aero Weaponry, 2010(1): 35-38. (in Chinese)

作者简介:



张伟峰(1982—),男,陕西渭南人,工程师、硕士研究生,主要研究方向为信号处理技术和高速电路设计技术;

ZHANG Wei-feng was born in Weinan, Shaanxi Province, in 1982. He is now an engineer and also a graduate student. His research concerns digital signal processing and high speed circuit design technology.

Email: zhangweifeng@163.com

陈越洋(1977—),男,浙江台州人,博士,副教授、硕士生导师,主要研究方向为微电子与固体物理学;

CHEN Yue-yang was born in Taizhou, Zhejiang Province, in 1977. He is now an associate professor with the Ph. D. degree and also the instructor of graduate students. His research concerns micro-electronics and solid physics.

胡耀(1989—),男,湖北天门人,硕士,助理工程师,主要研究方向为信号处理技术和高速电路设计技术。

HU Yao was born in Tianmen, Hubei Province, in 1989. He is now an assistant engineer with the M. S. degree. His research concerns digital signal processing and high speed circuit design technology.