

doi:10.3969/j.issn.1001-893x.2013.12.017

基于 FPGA 的八通道高速 ADC 的时序设计*

徐立升**,徐根倩,马正欣,宋早迪,蒋秀波,周冬冬,秦智超

(北方信息控制集团有限公司 车载信息系统研发部,南京 210000)

摘要:针对八通道采样器 AD9252 的高速串行数据接口的特点,提出了一种基于 FPGA 时序约束的高速解串方法。使用 Xilinx 公司的 FPGA 接收高速串行数据,利用 FPGA 内部的时钟管理模块 DCM、位置约束和底层工具 PlanAhead 实现高速串并转换中数据建立时间和保持时间的要求,实现并行数据的正确输出。最后通过功能测试和时序测试,验证了设计的正确性。此方法可适用于高端和低端 FPGA,提高了系统设计的灵活性,降低了系统的成本。

关键词:无线数据传输;多通道 ADC;串行数据;并行数据;时钟管理;时序设计

中图分类号:TN911 **文献标志码:**A **文章编号:**1001-893X(2013)12-1629-04

Timing Design of Eight-channel High-speed ADC Based on FPGA

XU Li-sheng, XU Gen-qian, MA Zheng-xin, SONG Zao-di, JIANG Xiu-bo, ZHOU Dong-dong, QIN Zhi-chao

(Department of Design and Research for Vehicle Information System, Northern Information Control Group Ltd., Nanjing 210000, China)

Abstract: According to the characteristics of high-speed serial data in eight-channel sampler AD9252, a method which is based on time constraint of FPGA is presented. In this method, the Xilinx FPGA is used to receive the sampling serial data. In order to achieve the setup time and hold time of serial-parallel conversion, the digital clock management (DCM) module, location constraints and PlanAhead are used. The design is verified by functional and timing test. Because the method is suitable for high-end and low-end FPGA, the flexibility of system is improved.

Key words: wireless data transmission; multi-channel ADC; serial data; parallel data; digital clock management; timing design

1 引言

随着电子技术的发展,军用无线数传设备向着小型化、低功耗化的方向发展。无线数传设备需要在面积有限的印刷电路板上实现多路采样的需求,采用多通道高速 ADC 可以满足设备微型化的要求^[1]。Analog Device 公司的 AD9252 集成了八路模数转换,输出采用高速串行 DDR (Double Data Rate) 方式, Xilinx 公司高端 FPGA 中集成了片同步模块^[2], 利用这一模块可以满足串并转换的时序要求,正确地恢复出并行数据。但是低端的 FPGA 中

无此模块,考虑到成本问题,系统采用兼容低端 FPGA 设计方法,利用 FPGA 内部的寄存器来实现串并转换,通过内部时钟管理模块 DCM (Digital Clock Management)、位置约束等来满足时序要求。

AD9252 是一款八通道, 14 b 的模数转换器,最高采样率为 50 Msample/s; 内部集成了采样保持电路,输出采用高速串行 DDR 方式,输出端包含一个输出数据时钟 (DCO) 用于捕获数据和一个帧使能信号 (FCO) 表示新的数据位的开始;接收端通过串并转换,恢复并行数据。

* 收稿日期:2013-09-01;修回日期:2013-11-05 Received date:2013-09-01;Revised date:2013-11-05

** 通讯作者:xlsxgq@163.com Corresponding author:xlsxgq@163.com

2 设计方案

AD9252 高速串行数据转换成并行数据是通过 FPGA 内部寄存器来实现。帧使能信号 FCO 生成上下沿使能信号,通过多个寄存器来寄存串行数据,下一个帧使能信号 FCO 到来之前,取走并行数据,完成串并转换,具体实现如图 1 所示。

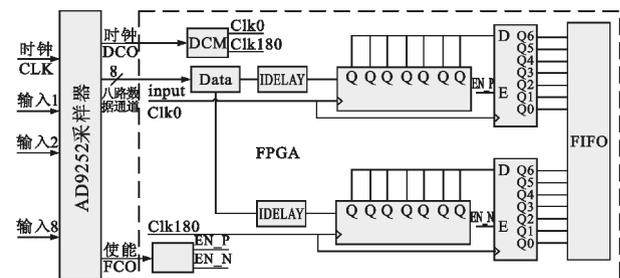


图 1 FPGA 解串的示意图
Fig.1 Deserializer based on FPGA

采样时钟为 40 MHz 的系统,输出时钟 DCO 为 $40 \times 14 / 2 = 280$ MHz,串行输出采用 DDR 方式,数据率为 $280 \times 2 = 560$ Mb/s,数据的时间窗口仅为 1.79 ns,除去数据上升沿、下降沿时间和抖动时间,数据的有效窗口长度变得更小。采用 FPGA 内部寄存器完成串并转换时,寄存器之间的布线延迟时间与数据有效窗口时间相当,要实现系统稳定的工作,必须满足数据的建立保持时间的要求。FPGA 内部的时钟资源、时序约束以及位置约束为此实现提供了基础。

3 时序设计

FPGA 内部时序设计通过时钟管理模块 DCM、位置约束和延迟单元 IDELAY 来实现。

3.1 DCM 的时钟设计

AD9252 输出 280 MHz 时钟通过 FPGA 全局输入引脚进入 FPGA 内部的 DCM,产生两个相差 180° 的时钟,分别用来寄存上下沿数据。DCM 除了倍频和分频时钟功能外,还能补偿时钟进入 FPGA 到 DCM 布线延迟和时钟经过全局网络到达触发器的延迟,保持时钟与数据原来的时序关系。

为了保证时钟到达各个触发器的延迟相同,DCM 产生的两个时钟接入 FPGA 内部的全局时钟网络,全局时钟网络是一种全局布线资源,保证时钟信号到达各个目标逻辑单元的延迟基本相同。FPGA 内部全局时钟资源网络如图 2 所示。

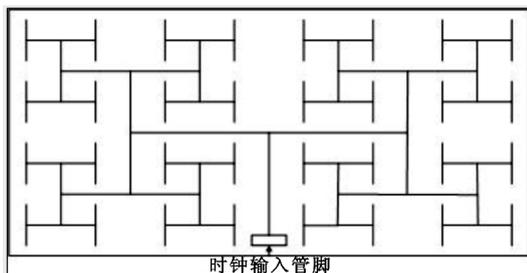


图 2 FPGA 内部全局时钟网络示意图
Fig.2 Global clock network of FPGA

图 2 显示了 FPGA 内部全局时钟资源为一树形结构,保证了全局时钟到达逻辑单元的布线长度相同。时钟接入全局时钟资源通过全局缓冲器来实现^[3],如下所示:

BUFG CLKG (. I (clk0_p), . O (clk0))

BUFG CLKG (. I (clk180_n), . O (clk180))

FPGA 内部布线前的全局时钟与触发器的关系可通过 FPGA 开发工具 PlanAhead 查看,全局时钟连接到触发器的关系如图 3 所示。

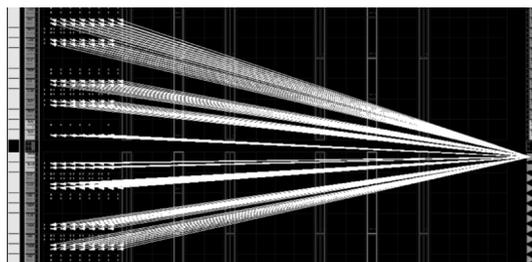


图 3 布局布线前全局时钟网络图
Fig.3 Global clock network of pre-map

FPGA 内部高速时钟必须加入周期约束来保证时钟布线满足时序要求,约束语句如下所示:

TIMESPECclk_p=PERIOD "clk0" 280 MHz HIGH 50%

TIMESPECclk_n=PERIOD "clk180" 280 MHz HIGH 50%

约束语句保证了全局时钟周期为 280 MHz, 占空比为 50%,高电平有效。

FPGA 内部布局布线后,通过 FPGA editor 工具查看全局时钟布线资源,如图 4 所示。

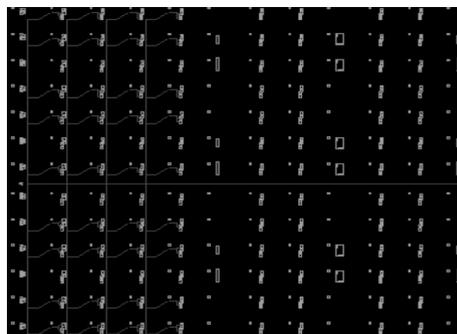


图 4 布局布线后的全局时钟网络图
Fig.4 Global clock network of post-map

3.2 位置约束

设计时加入位置约束,将串并转换的触发器放在 FPGA 内部同一物理区域,缩短输入数据与触发器之间的布线长度,减小布线延迟时间。图 4 显示通过位置约束,触发器被约束在 FPGA 内部同一位置区域,并且靠近 ADC 输入引脚。

3.3 时序调整模块 IDELAY

串并转换时,FPGA 内部寄存器必须在数据稳定时间内寄存数据,才能正确恢复并行数据。AD9252 输出的数据与时钟的时序关系经过布线的延迟后,不能满足建立保持时间的要求,需要重新调整。通过 FPGA 内部集成的 IDELAY 来实现时序微调^[3]。

IDELAY 是 FPGA 内部集成的可编程绝对延迟单元。IDELAY 具有 64 个 tap 的可调延迟单元,每个 tap 延迟时间为 78 ps,可以实现 5.0 ns 的延迟。时序设计时改变 tap 值,来调整数据和时钟的时序关系。IDELAY 模块需要一个参考时钟才能正常工作。

4 时序分析

采样时实现在数据眼图中心采样极为重要,对于 560 Mb/s 数据速率,数据周期 $T_{\text{period}} = 1.79 \text{ ns}$,实际传输过程中很多因素会减小数据有效时间宽度。数据时间宽度分析对设计具有指导作用。

ADC 输入时钟抖动值为 0.34 ps,相对于数据周期,此抖动时间可以忽略。数据的上升沿和下降沿的典型值 $T_R = 0.3 \text{ ns}$,时钟经过 FPGA 的 DCM 引入的抖动值 $T_{\text{DCMJ}} = 0.2 \text{ ns}$,IDELAY 模块的参考时钟通过 DCM 倍频后提供,参考时钟引入抖动为 $T_{\text{IdelayJ}} = 0.31 \text{ ns}$,FPGA 内部触发器的建立时间 $T_{\text{Setup}} = 0.47 \text{ ns}$ (数据要先于时钟 0.47 ns 达到稳定)。数据的有效窗口宽度为

$$\begin{aligned} T_{\text{data}} &= T_{\text{period}} - T_R - T_{\text{DCMJ}} - T_{\text{IdelayJ}} - T_{\text{Setup}} = \\ &= 1.79 - 0.3 - 0.2 - 0.31 - 0.47 = \\ &= 0.51 \text{ ns} \end{aligned}$$

5 测试

高速接口的 FPGA 程序是在 Xilinx ISE12.4 编译环境下实现的,仿真采用 ISE 自带的仿真工具 ISim12.3,功能验证和时序验证通过 Chipscope Pro12.3 捕获波形实现。

5.1 功能测试

功能测试时采用信号发生器产生一定频率的正弦波接入 ADC 的输入端,后端通过 FPGA 的在线逻辑分析仪 Chipscope 来分析采集的数据信号,如图 5 所示。

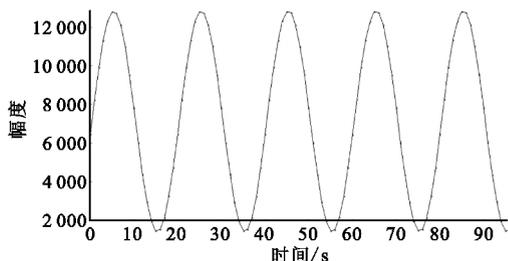


图 5 正弦信号的采样波形

Fig. 5 Sampled waveform of sine

图 5 中重建的信号波形和频率与信号产生器的相同,验证了串并转换时序设计的正确性。

5.2 时序测试

时序分析主要测试 IDELAY 模块中多少个 tap 值可以使系统稳定工作,计算出数据眼图宽度。测试结果见表 1。

表 1 一路 ADC 的 tap 值测试结果
Table 1 The result of tap

tap 值	状态
5	F
6	T
7	T
8	T
9	T
10	T
11	F

注:“F”表示错误,“T”表示成功。

从测试结果可以看出数据眼图宽度为 5 taps,时间宽度为

$$T = 5 \times 78 = 0.39 \text{ ns}$$

眼图测试宽度与分析的眼图宽度相差 0.12 ns,时序分析时并未考虑到 PCB 布线和 FPGA 内部布线的抖动时间,此外 IDELAY 模块中每个 tap 都会引入相应的抖动时间,这些都会减小数据眼图宽度。

6 结论

本文综合利用 FPGA 内部时序约束工具和 FPGA 内部的组成单元——寄存器实现了高速串行数

据的正确解串,避免了高端 FPGA 内部集成的片同步模块在低端 FPGA 中无法实现的问题;同时,克服了片同步模块要求解串通道的信号线需要布局在 FPGA 相邻区域的限制,提高了系统设计的灵活性,降低了系统设计的成本。测试结果表明,该高速接口可以稳定工作。此外,此系统还可以应用在其他高密度集成系统中,提高了系统的复用性。

参考文献:

- [1] 刘进军. 采用 CPCI 总线的通用高速数传接收机[J]. 电讯技术,2012,52(10):1644-1647.
LIU Jin-jun. A general high-rate data transmission receiver base on CPCI bus[J]. Telecommunication Engineering,2012,52(10):1644-1647. (in Chinese)
- [2] 李燕春. 高速信号处理终端设备的设计[J]. 电讯技术,20011,51(8):66-69.

LI Yan-chun. Design of a high speed signal processing terminal equipment[J]. Telecommunication Engineering, 20011,51(8):66-69. (in Chinese)

- [3] 马力科. 一种高速全数字卫星信号模拟源平台[J]. 电讯技术,20013,53(3):318-322.

MA Li-ke. A high-speed digital satellite signal simulator platform [J]. Telecommunication Engineering,20013,53(3):318-322. (in Chinese)

作者简介:



徐立升(1983—),男,江苏南京人,博士,工程师,主要从事通信技术方面的研究。

XU Li-sheng was born in Nanjing, Jiangsu Province, in 1983. He is now an engineer with the Ph. D. degree. His research concerns communication technology.

Email: xlsxgq@163. com