

doi:10.3969/j.issn.1001-893x.2013.08.016

# 航空高速总线协议 AS5643 的 FPGA 实现<sup>\*</sup>

詹 鹏<sup>\*\*</sup>

(中国西南电子技术研究所,成都 610036)

**摘 要:**介绍并分析了拥有高确定性和可靠性的 AS5643 总线协议。为了将处理器从繁杂的协议中解脱出来,提出了基于 FPGA 的 AS5643 协议实现方案,详细介绍了协议模块的系统设计及 VHDL 语言实现。实验证明该协议模块符合 AS5643 协议规范,该设计可应用于对总线性能要求较高的综合化航空电子系统中。

**关键词:**综合化航空电子系统;航空总线;高速串行总线

**中图分类号:**TP336      **文献标志码:**A      **文章编号:**1001-893X(2013)08-1052-06

## FPGA Implementation of High-Speed Avionics Bus Protocol AS5643

ZHAN Peng

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

**Abstract:** The high-deterministic and reliable AS5643 protocol is introduced and analyzed. In order to release the processors from complex protocol, the implementation of AS5643 protocol based on FPGA (Field Programmable Gate Array) is proposed, and the system design and VHDL (Very-High-Speed Integrated Circuit Hardware Description Language) implementation of the protocol module are explained in detail. Experiments show that the realized module based on FPGA is in accordance with the AS5643 protocol standard. This module can be used in integrated avionics systems which require high-performance serial bus.

**Key words:** integrated avionics system; avionics bus; high-speed serial bus

### 1 引 言

数据总线是航空电子系统的大动脉,是多个电子设备之间进行数据传输的公共通道。早期的三代战机中多采用 MIL-STD-1553B 数据总线,为航空军用领域提供了可靠的数据传输,但随着高度综合化航空电子技术的发展,该总线较低的传输速率已不能满足应用需求,迫切需要一种传输速率更高的数据总线。美国军方一直在大力研发符合军用需求的高速数据总线,然而与商用的总线技术相比,军事专用高速总线的研究进展较慢,且成本较高,为此系统设计师转而使用技术较成熟、成本较低的商用总线(商用货架产品),目前,光纤通道(FC)和 IEEE-

1394B 是军用航空领域中比较热门的两种可选高速数据总线。

IEEE-1394 又称 FireWire(火线),是 Apple 公司于 1987 年发布的一个高速串行总线标准<sup>[1-2]</sup>,能够提供上千兆的数据传输率。该总线不需要主机进行控制,可同时支持同步和异步传输,适用于数据传输量较大的设备。IEEE-1394 发展至今已有 3 个更新版本:IEEE-1394A、IEEE-1394B<sup>[3-4]</sup>和 IEEE-1394C,更新版本对 1394 协议进行了规范化和补充,并提升了总线性能。其中,IEEE-1394B 将总线最高速率从 400 Mb/s 提高到 3 200 Mb/s,增加了所能支持的传输介质种类和传输距离,且允许 1394B 总线中有闭环存在,从而可方便地进行冗余设计,为该总线在军事领域的应用奠定了基础。由于民用 IEEE-

<sup>\*</sup> 收稿日期:2013-04-28;修回日期:2013-06-24      Received date:2013-04-28;Revised date:2013-06-24

<sup>\*\*</sup> 通讯作者:zhanp324@163.com      Corresponding author: zhanp324@163.com

1394B 总线不能满足军用领域高可靠性和确定性的要求,为此汽车工程师学会(SAE)对 IEEE-1394B 总线在确定性和可靠性方面进行了许多改进,并将其成功应用于美国的 F-35 联合战斗机(JSF)项目中,改进后的军用 IEEE-1394B 标准称为 AS5643<sup>[5]</sup>。AS5643 总线与军用 1553B 总线相比有较大的优势,目前国内外的有关单位都在积极开展对该总线的应用研究。

文献[6]和[7]中深入分析了 AS5643 总线的确定性、可靠性等性能;文献[8]中建立了确定性随机 Petri 网络模型来分析并验证 AS5643 总线的优异性能;文献[9]中提出并实现了基于 Windows 系统的 AS5643 协议。然而在工程实际中,航空电子设备通常建立在嵌入式系统之上,为此,有必要开发一种基于嵌入式系统的 AS5643 协议模块。FPGA 拥有并行处理的优点,在高速数据处理方面拥有通用处理器无法比拟的优势,所以文中选择采用 FPGA 来实现 AS5643 协议,可将处理器从繁杂的协议处理中解脱出来,从而专注于其他的信息处理和控制在。下文首先对 AS5643 总线协议及其数据包格式作了分析和介绍,然后详细介绍了 AS5643 协议在 FPGA 中的实现,包括系统的总体设计与分析、协议的 VHDL 实现,最后通过实验对基于 FPGA 的 AS5643 协议模块进行了测试,实验结果完全符合 AS5643 协议规范的要求。

## 2 AS5643 总线协议

### 2.1 AS5643 总线协议的基本特性

AS5643 协议在 IEEE-1394B 协议的基础上作了一些限定和补充,在充分发挥 IEEE-1394B 总线强大功能的同时还提高了系统的确定性和可靠性,主要包括以下几个方面。

#### (1)采用异步流数据包

AS5643 协议中的大部分通信都采用异步流包实现。异步流包是按异步仲裁方式实现的等时包(仲裁方式与异步包相同,而数据包格式与等时包相同),且不需要目标节点发送确认包。异步流包是 IEEE-1394A 中新增加的一种数据包类型,可以在不分配带宽资源的情况下,在串行总线上发送对时延要求较低的广播和多点应用方面的数据。异步流包比等时包更灵活,它们的主要区别如下:第一,等时包在等时周期传输,而异步流包在异步周期里传输;

第二,等时包采用等时仲裁,而异步流包采用公平仲裁;第三,在发送等时包之前必须先取得等时资源管理器分配的总线带宽和一个可用的等时通道号,而发送异步流包前只需得到等时资源管理器分配的一个可用通道号即可;第四,在每个等时周期内,只能有一个等时包发送到同一通道,但可以有多个节点同时分别发送异步流包到同一通道或者同一个节点发送多个异步流包到同一通道。

#### (2)固定帧速率同步

由于不使用等时包,就没有必要周期性发送循环开始包,整个总线网络靠主控节点(CC)发送帧开始包(STOF)来进行同步。

#### (3)预分配通道号

在整个总线网络中,各个节点的通道号根据特定的工程应用进行预分配,而不是等时资源管理器来动态分配,所以在 AS5643 协议中不需要等时资源管理器。当网络拓扑结构发生改变或复位后,各个节点的通道号仍然保持不变,两个节点在总线复位前后同样可以进行可靠地传输,减少了不可靠因素。

#### (4)预分配带宽

由于没有等时资源管理器,所以要求系统针对特定的应用对各个节点的传输带宽进行预分配,各个节点按照预分配的带宽进行数据传输。

#### (5)垂直奇偶校验(VPC)

IEEE-1394B 总线链路层只有循环冗余校验(CRC),且 AS5643 协议中采用的异步流数据包无返回的确认包。为增强数据的完整性,AS5643 协议中增加了 VPC 校验,对每个数据包的数据部分增加了另一重校验。

#### (6)匿名签署信息(ASM)

ASM 独立于 IEEE-1394B 的底层协议,是为满足高度模块化嵌入式系统的需求而提供的一个上层协议,采用 ASM 可以在一些关键应用领域中提供确定性的、安全的、低延迟的通信。此外,ASM 采用信息 ID 的方式,可使得应用程序在不了解拓扑结构的条件下完成通信。

### 2.2 AS5643 数据包格式

图 1 是 AS5643 规定的普通异步流数据包格式。AS5643 协议将普通 1394B 异步流包中的有效数据载荷部分进行了扩展,增加了 ASM(匿名签署信息)、Health Status(健康状态字)、Heartbeat(心跳字)和 Packet Trailer(包尾),与普通 1394B 异步流包相

比,AS5643 异步流数据包的有效载荷长度减少了 40 字节。

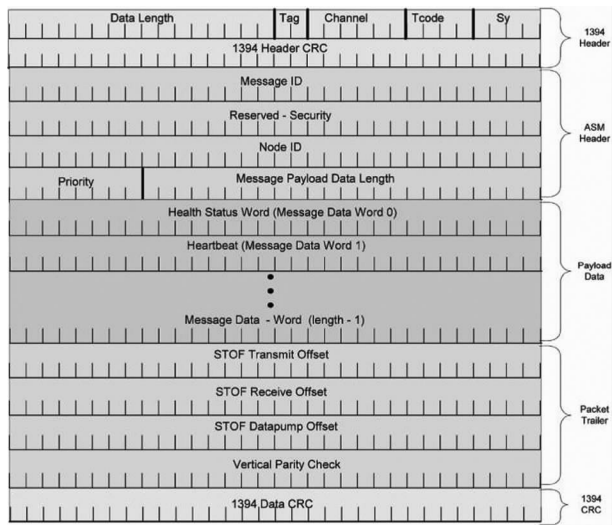


图 1 AS5643 规定的异步流数据包格式  
Fig.1 Asynchronous stream packet format of AS5643

其中 ASM 包含了节点 ID、信息 ID 等信息;健康状态字包含了节点的消息错误、节点错误、端口连接状况、STOF 偏移确认等信息;心跳字在节点每发送一个新数据包时将增加 1,可使根节点的应用程序知道该节点产生了新的数据;包尾的 3 个偏移值(相对于 STOF 包的时间偏移)分别表示节点的传输偏移、接收偏移和数据泵偏移,当数据包由 CC 发送到远程节点时,这 3 个偏移值为发给远程节点的设定偏移值,而当数据包由远程节点发到 CC 时,这 3 个偏移值表示该节点所使用的偏移值。一个远程节点可能存在一些对时延要求比较苛刻的发送或接收,这要根据具体的应用情况来进行设置和规划,而这 3 个 STOF 偏移量就可用于支持这种对时延要求比较苛刻的应用;垂直奇偶校验将普通异步流数据包的数据部分做异或运算后取反得到,提供了另一重数据校验。

AS5643 总线协议采用 CC 发送 STOF 包的方式进行网络同步,STOF 包的格式如图 2 所示。STOF 包没有 ASM 和包尾等内容,数据包长度为固定的 40 字节,其中有些内容可以根据特定的工程应用来进行扩展(图中 TBD 为未定义的部分),协议中只定义了前 4 个 4 字节数据。CC Branch Status 用来描述各个 CC 分支的状态,原协议中举例用于描述 8 个 CC 分支 16 条总线的设置和定义;Network Bus Mode 用

于设置总线的工作模式,包括初始化模式、普通模式(正常传输模式)、CC 在线测试模式、程序加载模式、测试模式等;Vehicle State 定义了一些关于飞行器状态的信息,可用于表示如电量、制动、引擎状态、座舱天篷状态等信息;Vehicle Time 可根据具体应用来设置和使用。STOF 包的主要用途是全局同步,但实质上它是一种广播包,CC 可以充分利用 STOF 包中未定义的字节来向各个远程节点广播比较重要的一些信息。

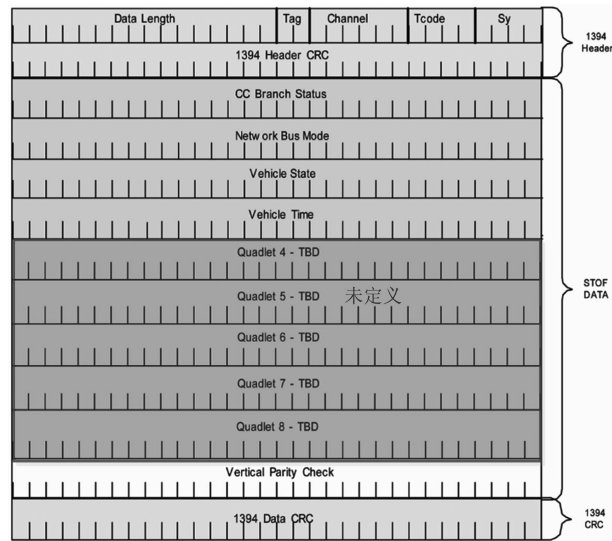


图 2 STOF 数据包格式  
Fig.2 Packet format of STOF

### 3 AS5643 协议在 FPGA 中的实现

#### 3.1 系统设计

AS5643 协议在 1394B 协议的基础上进行了一些限定和补充,其协议的实现要基于 1394B 物理层和链路层硬件。AS5643 协议可以选择在处理器中实现,但这样会加重处理器的负担,为此我们选用 FPGA 来实现 AS5643 协议。基于 FPGA 的 AS5643 协议模块结构框图如图 3 所示,其中 AS5643 协议部分在 FPGA 中实现,提供给上位机的只有配置寄存器和收发数据 FIFO,上位机通过读写地址空间中的数据即可实现 AS5643 数据包的收发。FPGA 中需要实现匿名签署信息、包尾、心跳字、健康状态字等信息的自动添加和去除,以及 VPC 数据实时添加和实时校验,而上位机则可抛开这些内容,直接关注有效数据信息的收发。

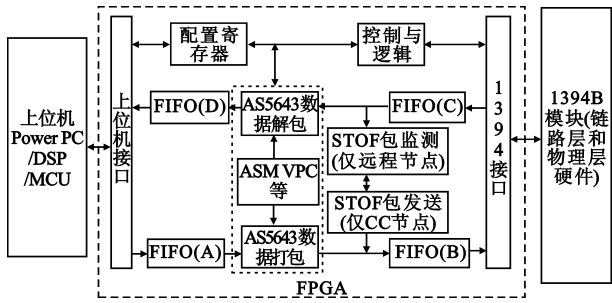


图 3 基于 FPGA 的 AS5643 协议模块结构框图  
Fig.3 Block diagram of the AS5643 protocol module based on FPGA

协议模块中的收发通道都采用了双 FIFO 设计, AS5643 数据的打包和解包单元、配置寄存器单元和逻辑与控制单元是该模块设计的重点。其中,配置寄存器中存储了对该模块和底层 1394B 模块的配置信息,以及发送和接收数据包的相关信息,上位机通过对配置寄存器的读写即可触发相应的操作;逻辑与控制单元主要负责整个模块的收发模式协调和切换;AS5643 数据打包模块按照配置寄存器的相关信息,将上位机送来的数据进行打包,而解包模块则将接收的数据包进行分解并将数据包的相关信息存入配置寄存器中。此外,对于 CC 节点模块还需要一个 STOF 包发生器,实现自动周期性发送 STOF 包,用于总线的同步及总线模式的切换;而对于远程节点模块则需要一个 STOF 包监测器,实现对 STOF 包周期性的监测和 VPC 校验等,并以 STOF 包为基准,按设定的时间偏移收发数据包。

当上位机有数据要发送时,通过上位机接口将待发送的数据写入到 FIFO(A)中,并将数据包的相关设置写入到配置寄存器中,在逻辑与控制单元的调控下,FIFO(A)中的数据将按照 AS5643 协议规范进行打包(包括匿名签署信息、包尾、健康状态字、心跳字的添加)送入 FIFO(B)中,最后通过 1394 接口将数据送入到 1394B 模块中并发送出去。当节点收到数据包时,1394B 模块通过 1394 接口将接收到的数据包送入 FIFO(C)中,接着在逻辑与控制单元的调控下,对接收的数据包进行解包处理,解包后的有效载荷数据放入 FIFO(D)中,并将数据包的相关信息存入到配置寄存器中,然后以中断形式通知上位机新数据包已收到,最后上位机通过上位机接口读取接收包信息。

3.2 协议的 VHDL 实现

AS5643 协议中定义了多种总线工作模式及其他的可扩展模式,在本设计中只实现了最主要的两种模式:总线初始模式和总线普通模式。一条

AS5643 总线上通常包含一个 CC 节点和若干远程节点,因此需要编写两类节点的 VHDL 程序。CC 和远程节点都可以各自用一个宏观的状态机来进行描述,按照状态机描述可方便地完成 AS5643 节点的 VHDL 程序设计。

CC 节点的状态机如图 4 所示。开机启动后处于 S0 状态,系统复位且总线开始初始化(包括总线复位、树标识和自标识等),CC 模块在此状态下需要设置其物理寄存器值,使该节点能够成为根节点、循环控制器、等时资源管理器和总线管理器,设置完毕后重新启动总线复位,使设置生效。初始化完成后进入总线初始模式(S1),CC 在该状态下开始定时发送 STOF 包(S3),并在 STOF 包中设置总线工作于总线初始模式,STOF 包发送完毕后返回 S1 状态。在总线初始模式下,CC 发送 STOF 包后可向远程节点发送有效数据包,对远程节点的 3 个 STOF 偏移时间进行设置,还可发送一些对远程节点的配置信息。总线初始模式中完成相应的操作后,上位机通过设置 STOF 包的总线工作模式字可使总线切换到普通模式状态(S2),在普通模式下所有的节点都开始进行正常的数据收发操作。CC 在 S2 状态下需要定时发送 STOF 包,且处于接收常开状态,当收到数据包时则进入接收状态(S5)对接收包进行处理,然后返回到 S2 状态;当 CC 节点的发送时间偏移时刻到来且 CC 有待发数据包时,则进入数据发送状态(S4),发送完毕后返回到 S2 状态。普通 AS5643 数据包的接收和发送结束后均返回到 S2 状态,如此循环往复,直至总线复位或总线模式切换。

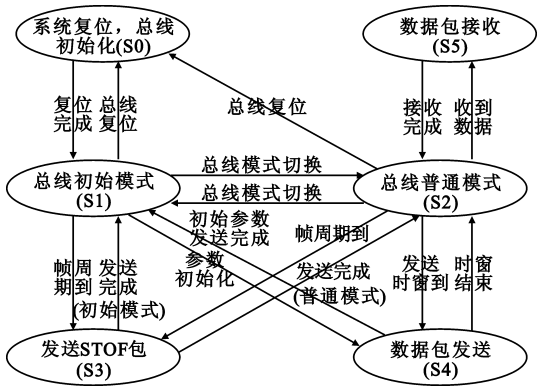


图 4 CC 节点状态机  
Fig.4 The state machine of CC

远程节点的状态机如图 5 所示。开机启动后进入 S0 状态,远程节点需要设置物理层的相关寄存器,使该节点不成为根节点、循环控制器、总线管理

器和等时资源管理器,远程节点需要监听 31 通道 (STOF 包通道)和节点预分配的另一个通道。若收到的 STOF 包设置总线为初始化模式则进入 S1 状态,在此状态若收到 CC 发来的有效数据包,则使用数据包中的 3 个 STOF 偏移值更新远程节点的 STOF 偏移设置,但仅第一个有效数据包可以修改这 3 个偏移值,下一次系统复位后才可再次进行修改。当收到的 STOF 包令总线进入普通模式则进入 S2 状态,该节点则进入正常的数据收发操作,远程节点数据的收发以 STOF 包为基准,按照收发偏移时间的设置进入相应的收发状态(S3 和 S4 状态),收发结束后又返回到 S2 状态。在 S2 状态远程节点需要检测接收到的 STOF 包的周期性是否满足要求,当收到的 STOF 包周期错误或数据错误时,远程节点若可以确定合适的发送时间则仍正常发送数据包,若无法确定则远程节点可停止发送数据。对于收到的普通数据包,远程节点需要检测数据包的正确性(包括心跳字、健康状态字、VPC 等),并通知上位接收到新的数据包。AS5643 协议要求每个远程节点在一个帧内(两个 STOF 包的时间间隔)至少要发送一个异步流包,这样 CC 节点才能维持连接状态。

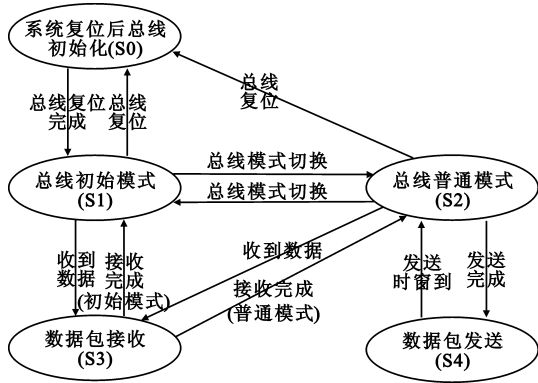


图 5 远程节点状态机  
Fig.5 The state machine of remote node

4 实验与结论

为了验证基于 FPGA 的 AS5643 协议模块的正确性,在常温下进行了测试实验。实验系统由 3 个 AS5643 节点模块(其中一个配置为 CC 节点,另两个配置为远程节点)、FireSpy410bT 协议分析仪和一台计算机组成。每个 AS5643 节点模块都带有一个 CPU(采用 PowerPC,运行 Vxworks 操作系统,作上位机使用)、一片 FPGA(实现 AS5643 总线协议)和一个有三端口的 1394B 节点(包含物理层和链路层硬

件)。通过 1394B 线缆将 3 个节点板和 FireSpy410bT 组成一个 1394B 网络,其连接示意图如图 6 所示。1394B 节点组成的网络具有环路自动检测并断开的功能,图中虚线即为总线复位并初始化后被禁用的连接。

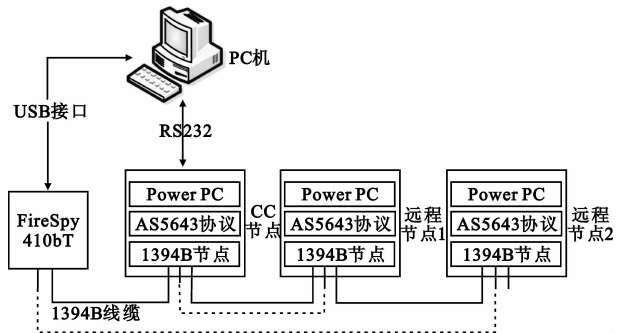


图 6 实验连接图  
Fig.6 Experimental connection diagram

实验中,两个远程节点的通道号分别设置为 1 和 2,其收发偏移值由 CC 节点在系统启动后统一进行配置(在第一个 STOF 包后传输有效数据到远程节点可设置偏移值,收发偏移可调的分辨率为 20 ns)。这里将两个远程节点的发送偏移分别配置为 1 ms 和 2 ms,接收偏移分别配置为 250  $\mu$ s 和 500  $\mu$ s。CC 节点分别在 250  $\mu$ s 和 500  $\mu$ s 的偏移时间向两个节点各发送一个数据包,两个远程节点则按照设置好的发送偏移时间各向 CC 发送一个数据包。系统启动后 PC 机通过 RS232 接口与 CC 节点进行通信,可将各个节点的收发偏移配置下载到 CC 模块中,以及进行总线复位、总线模式切换等操作。实验中采用 1394B 协议分析仪 FireSpy410bT 监测总线上的数据包,监测结果如图 7 所示。



图 7 STOF 包定时发送和节点发送偏移的截图  
Fig.7 Picture of timing transmitted STOF packets and node transmit offset

从实验中抓取的数据可以看出,节点传送的数据包格式、CC 产生 STOF 包的周期、远程节点的传输偏移都满足 AS5643 协议测试规范的要求<sup>[10]</sup>,具体指标如表 1 所示(实验中 STOF 包周期  $T$  设定为 12.5 ms)。

表 1 实验结果  
Table 1 Experimental results

| 对比项         | STOF 包周期<br>误差        | 发送偏移<br>误差           | 偏移时间<br>分辨率           |
|-------------|-----------------------|----------------------|-----------------------|
| AS5643 协议规定 | $< 12.5\ \mu\text{s}$ | $< 125\ \mu\text{s}$ | $< 1.25\ \mu\text{s}$ |
| 实验结果(常温)    | $< 100\ \text{ns}$    | $< 100\ \text{ns}$   | 20 ns                 |

基于 FPGA 的 AS5643 协议模块充分利用了 FPGA 并行处理的优势,可将上位机从复杂的总线协议中解脱出来。该协议模块具有如下特点:实现了 STOF 包的自动产生和发送,包中内容可由 CC 节点的上位机进行更新;总线上各个节点的收发偏移可由 CC 节点的上位机经过统一规划后进行配置;实现了 ASM 和 Packet Trailer 的自动插入和去除;心跳字和健康状态字可自动更新;实现了发送数据包中 VPC 的自动插入和接收数据包中 VPC 的实时校验;节点的监听通道和发送速度 100M/200M/400M 可由上位机进行控制和设置。

5 结束语

AS5643 是一种发展前景较好的高速串行数据总线标准,适用于当今高度综合化的航空电子系统,已在美国军方的 JSF 项目中得到了成功应用。文中提出了基于 FPGA 的 AS5643 协议实现方案,充分发挥了 FPGA 并行处理的优势,可让 CPU 避免繁杂的总线协议处理。文中对 AS5643 协议模块的设计和实现方案进行了详细介绍,最后经过实验证明,该协议模块符合 AS5643 协议规范。下一步将对该协议模块进行优化和完善,包括总线测试模式的添加、总线错误和故障处理等方面内容,为该总线技术在工程中的应用打下坚实的基础。

参考文献:

[1] IEEE Std 1394 – 1995, IEEE Standard for a High Performance Serial Bus[S].

[2] 李世平,戴凡,汪旭东. IEEE – 1394 (Fire wire) 系统原理与应用技术[M]. 西安:西安电子科技大学出版社,2004.  
LI Shi-ping, DAI Fan, WANG Xu-dong. The Principle and Application Technology of IEEE-1394 (Fire wire) System [M]. Xi'an: Xidian University Press, 2004. (in Chinese)

[3] IEEE Std1394B, IEEE Standard for a High-Performance Serial Bus-Amendment 2[S].

[4] Wang Ming, Zhang Chunxi, Yi Xiaosu. Performance evaluation of IEEE 1394b serial bus with Deterministic and Stochastic Petri Nets[J]. China Communications, 2013, 10(2): 121 – 133.

[5] SAE-AS5643, IEEE-1394b Interface Requirements for Military and Aerospace Vehicle Applications SAE Aerospace Standard 5643[S].

[6] Bai Haowei. Analysis of a SAE AS5643 Mil-1394b Based High-Speed Avionics Network Architecture for Space and Defense Applications [C]// Proceedings of 2007 IEEE Aerospace Conference. Honeywell Aerosp, Glendale: IEEE, 2007: 1 – 9.

[7] 解文涛,王锐. IEEE – 1394 应用于航空安全关键系统的研究[J]. 计算机工程与应用, 2011, 47(8): 76 – 81.  
XIE Wen-tao, WANG Rui. Research IEEE-1394 in safety-critical applications for aerospace[J]. Computer Engineering and Applications, 2011, 47(8): 76 – 81. (in Chinese)

[8] Wang Ming, Zhang Chunxi, Yi Xiaosu, et al. Modeling and performance evaluation of a high speed serial bus[C]//Proceedings of 2011 International Conference on Electronics and Optoelectronics. Dalian: IEEE, 2011: 91 – 95.

[9] 冯莎,卢选民,王兴亮. 一种基于 SAE AS5643 总线协议的驱动程序设计[J]. 测控技术, 2012, 31(10): 98 – 100.  
FENG Sha, LU Xuan-min, WANG Xing-liang. A New Driver Design Based on SAE AS5643 Bus Protocol[J]. Measurement & Control Technology, 2012, 31(10): 98 – 100. (in Chinese)

[10] SAE-AS5657, Test Plan/Procedure for AS5643 IEEE-1394b Interface Requirements for Military and Aerospace Vehicle Applications[S].

作者简介:



詹 鹏(1982—),男,重庆人,2012 年于电子科技大学获博士学位,现为工程师,主要研究方向为航空电子技术。  
ZHAN Peng was born in Chongqing, in 1982. He received the Ph.D. degree from University of Electronic Science and Technology of China in 2012. He is now an engineer. His research direction is avionics.  
Email: zhanp324@163.com