

doi:10.3969/j.issn.1001-893x.2013.08.014

两级相干累加伪码捕获算法的 FPGA 实现^{*}

邓 强^{**}

(中国西南电子技术研究所,成都 610036)

摘 要:针对现场可编程门阵列(FPGA)实现的伪码捕获算法中存在逻辑资源消耗大、频率估计精度差、判决门限计算复杂等问题,首先提出利用直接 II 型匹配滤波器结构实现第一级相关运算,做到逻辑资源与计算时间之间的平衡;然后提出利用线性调频 Z 变换(CZT)代替离散傅里叶变换(DFT)实现第二级相干累加,提高了频率估计精度并减小了频谱泄露;最后通过对判决量进行统计分析,给出了判决门限的自适应设置方法,并验证了其有效性。

关键词:直接序列扩频;伪码捕获;相干累加;捕获门限;自适应估计

中图分类号:TN914.42 **文献标志码:**A **文章编号:**1001-893X(2013)08-1044-05

FPGA Realization of PN Code Acquisition Algorithm Based on Two-stage Coherent Accumulation Method

DENG Qiang

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: Aiming at the problem of large logic resource usage, poor frequency estimation and complicated decision threshold computation in implementing PN code acquisition method based on FPGA, the first-stage coherent accumulation using the Direct Form II matched filter is proposed, which can achieve the balance between the logic resource usage and the computation times. And then the second-stage coherent accumulation using CZT instead of DFT is proposed, which can improve frequency estimation precision and reduce frequency leakage. Finally, according to analysis of the statistical property of the decision variable, the adaptive setting method of decision threshold is given, and its effectiveness is verified.

Key words: DSSS; PN code acquisition; coherent accumulation; acquisition threshold; adaptive estimation

1 引 言

直接序列扩频技术(DSSS)具有抗干扰能力强、抗多径衰落、隐蔽性好、可多址复用等优点,近几十年来广泛用于通信、导航与测控领域。在直接序列扩频系统中,伪码的快速捕获是其一关键技术。

对于伪码快速捕获技术,文献[1]基于最大似然估计理论给出了伪码捕获两级相干累加最优捕获算法,但是并未给出具体实现方法。对于第一级相关运算,文献[2]利用时域卷积可转换为频域相乘的原

理,通过快速傅里叶变换(Fast Fourier Transform, FFT)实现频域的并行相关,达到资源的优化。但是该方法需要通过增加运算数据的长度来实现线性卷积,从而造成运算时间加倍。文献[3]利用离散傅里叶变换(Discrete Fourier Transform, DFT)具有频谱搬移的特点,实现相关值的多普勒补偿,从而达到第二级相干累加目的。但是 DFT 步长固定,多普勒补偿精度差,相干累加损失较大。在捕获完成的判决方面,文献[4]给出了纽曼-皮尔逊检测准则下的判决门限值,但是该门限值中包含等效高斯白噪声方差 σ^2 ,而在实际系统中 σ^2 是未知的,因此文献[4]的判

^{*} 收稿日期:2013-04-28;修回日期:2013-07-25 Received date:2013-04-28;Revised date:2013-07-25
^{**} 通讯作者:dengqiang_28@163.com Corresponding author:dengqiang_28@163.com

决门限值不实用。

本文从伪码捕获算法基于 FPGA 工程实现的角度出发,首先针对时域并行相关运算资源消耗过大而频域并行相关运算时间加倍的缺点,利用 FPGA 具有大量移位寄存器的特点,给出了优化的时域并行相关运算实现方式;然后对于利用 DFT 实现第二级相干累加损失较大的问题,提出了利用线性调频 Z 变换(Chirp Z Transform, CZT)实现累加运算的改进措施;最后通过建立统计模型,提出了一种捕获门限的自适应统计方法,并验证了其有效性。对伪码捕获的工程实现具有一定的参考意义。

2 第一级相关运算

伪码捕获原理利用的是伪随机码的自相关特性,将本地伪码与接收信号做相关运算,通过搜索相关峰值实现伪码相位的捕获。相关运算是伪码捕获的关键模块,目前相关运算多采用并行方式实现,以满足捕获时间的要求。

2.1 频域并行相关法

频域并行相关法利用相关运算与卷积运算相似的特点,以及时域卷积可转换为频域相乘的原理,相关值为

$$r(m) = \sum_{n=0}^{N-1} p(n)s(n+m) = p(m) * s(-m) =$$
$$\text{IDFT}[P(k)S^*(k)]$$
$$m=0,1,\cdots,N-1$$

(1)

式中, $p(n)$ 为本地伪码, $s(n)$ 为接收信号, $P(k)$ 和 $S(k)$ 分别为其的离散傅里叶变换,IDFT 表示离散傅里叶反变换。由于 FFT 运算具有快速、高效以及资源占用少等优点,因此频域并行相关是采用较多的相关运算方法。但是,式(1)中的卷积运算为线性卷积,而为了计算 N 点的线性卷积,需要 $2N$ 点数据^[5],因此在变换到频域前需对接收信号和本地伪码进行 $2N$ 点的数据扩展,从而使得频域并行相关法具有运算时间加倍的缺点。

2.2 时域并行相关法

时域并行相关法可采用匹配滤波的方式实现。将本地伪码作为匹配滤波器的系数,接收信号按顺序滑过匹配滤波器的延迟寄存器,每滑动一拍就可得到一个相关运算结果, N 拍滑动后即得到全部 N 点相关运算值,从而完成 N 点数据的并行相关运算,不会造成计算时间的加倍。通常匹配滤波器采用直接 I 型结构实现,如图 1 所示。

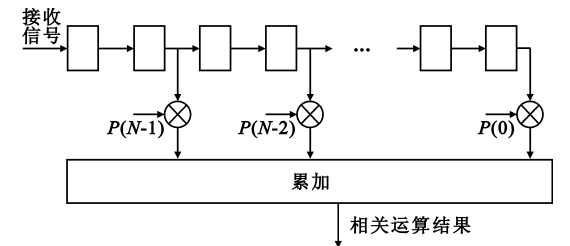


图 1 时域并行相关运算的匹配滤波直接 I 型实现结构
Fig.1 Parallel correlation using direct form I matched filter structure in time domain

图 1 中假设对接收信号每个码片采样两点,以达到码相位捕获精度半个码片的要求,当需要更高精度时,就需要更高倍数的采样,相应的移位寄存器的数量也要成倍增加。若采用图 1 所示的结构实现,会造成大量的资源消耗,甚至使得时域并行相关算法难以实现。

将图 1 的匹配滤波直接 I 型实现结构变为等效的直接 II 型实现结构,如图 2 所示。

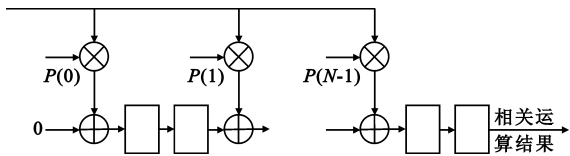


图 2 时域并行相关运算的匹配滤波直接 II 型实现结构
Fig.2 Parallel correlation using direct form II matched filter structure in time domain

接收信号同时与本地伪码相乘,延迟则是在累加过程中进行。由于本地伪码只有一位,乘运算可转换为异或运算,它与累加运算可以放在一个逻辑单元(CLB)中完成。而又由于 FPGA 的逻辑单元中通常含有移位寄存器组(SRL16)宏单元,可以实现多个时钟节拍的延迟,而不需消耗额外的寄存器资源。因此直接 II 型实现具有较高的资源利用效率,能够克服过采样造成的延迟寄存器成倍增加的缺点。表 1 给出了 256 点并行相关器的频域和时域实现时的资源使用情况。

表 1 256 点并行相关器 FPGA 资源使用情况
Table1 FPGA resources usage of implementing 256 points parallel correlator

实现方式	FPGA 资源		
	Slices	RAMB	DSP
频域 FFT	2 829	14	39
时域直接 I 型	6 862	0	0
时域直接 II 型	3 841	0	0

从表 1 可见,并行相关器采用时域直接 II 型与采用时域直接 I 型相比,逻辑资源极大优化,仅为后者的 55%。而与频域并行相关器相比,逻辑资源增加不多,又不使用额外的块 RAM 和 DSP 乘法器资源,而且计算时间缩短一半,具有较大的优势。

3 第二级相干累加

经过并行相关运算后,若收发端伪码相位对齐时,相关值 $R(n)$ 为

$$R(n) = A \cdot a(n) \cdot \exp(j\Delta\omega n + j\varphi) + w(n) \quad (2)$$

式中, A 为相关运算后的幅值, $a(n)$ 为调制信息, $\Delta\omega$ 为收发两端多普勒频差, $w(n)$ 为复高斯白噪声。在假定 $a(n)$ 慢变化的情况下, $R(n)$ 可看作是复正弦信号与噪声之和。而 $\Delta\omega$ 的最大似然估计 $\hat{\Delta\omega}$ 是使 $R(n)$ 的周期图最大时的值,其中 $R(n)$ 的周期图为

$$I(\omega) = \frac{1}{N} \left| \sum_{n=0}^{N-1} R(n) \cdot e^{-j\omega n} \right|^2 \quad (3)$$

可见对于伪码相位的捕获转化为对相关值 $R(n)$ 周期图最大值的搜索。且式(3)说明,周期图是对相关值 $R(n)$ 进一步累加,并保留了相位信息,因此称式(3)为伪码捕获的第二级相干累加。

若将 ω 在单位圆上等间隔取值, $\omega = j2\pi kn/N$, 得

$$I(k) = \frac{1}{N} \left| \sum_{n=0}^{N-1} R(n) \cdot e^{-j2\pi kn/N} \right|^2 \quad (4)$$

即可通过文献[3]给出的 DFT 运算完成第二级相干累加,并估算出收发两端的多普勒频差 $\Delta\omega$ 。

但是,通过 DFT 进行第二级相干累加存在以下不足:第一,DFT 分辨率固定为 $2\pi/N$,当实际多普勒频差 $\Delta\omega$ 位于 $2\pi k/N \sim 2\pi(k+1)/N$ 之间时($k=0, 1, \dots, N-1$),通过 DFT 计算的 $2\pi k/N$ 和 $2\pi(k+1)/N$ 频点处的周期图是实际频点 $\Delta\omega$ 处泄露,存在较大的周期图损失,当 $\Delta\omega = \pi(2k+1)/N$ 时,损失最大,达到 1.961 2 dB;第二,由文献[1]可知,为减小累加损耗多普勒频差 $\Delta\omega$ 被限制在频点 $-\pi/4 \sim \pi/4$ 之间,但 DFT 是 $-\pi \sim \pi$ 全频段运算,存在较多的无效冗余运算。

针对 DFT 的不足,提出利用线性调频 Z 变换(CZT)来完成相关值 $R(n)$ 所需频段的相干累加计算。CZT 计算公式为

$$X(z_k) = \sum_{n=0}^{N-1} x(n) z_k^{-n}, k = 0, 1, \dots, N-1 \quad (5)$$

式中, $z_k = A e^{jk\phi_0}$, A 为起始频点, ϕ_0 为频率步进值。

CZT 可通过选择合适的频率起始点和频率步进对所需频段内频谱作细化分析。若将起始点 A 设为 $e^{-j\pi/4}$, 频率步进 ϕ_0 设为 $\pi/2N$, 则通过 CZT 可完成对频率范围 $-\pi/4 \sim \pi/4$ 之间的周期图的细化分析。相比于 DFT 频率精度提高了 4 倍,能够进一步减小功率损失,提高捕获概率。图 3 给出了多普勒频差 $\Delta\omega$ 位于 $2\pi k/N \sim 2\pi(k+1)/N$ 之间时,分别利用 DFT 和 CZT 进行周期图运算时的捕获概率曲线,可见 CZT 较 FFT 有 1.7 dB 的捕获性能改善。

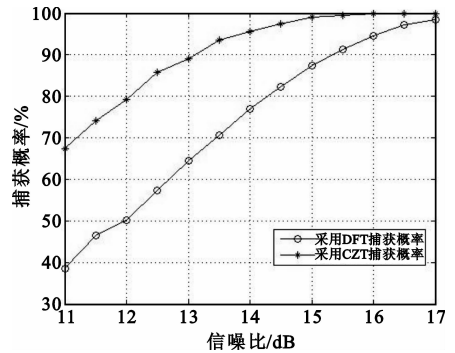


图 3 利用 DFT 和 CZT 进行第二级相干累加时的捕获概率
Fig.3 Acquisition probability of the second-stage coherent accumulation using DFT and CZT

文献[6]给出了利用快速傅里叶变换实现 CZT 的高效结构,如图 4 所示,适合基于 FPGA 的工程实现。

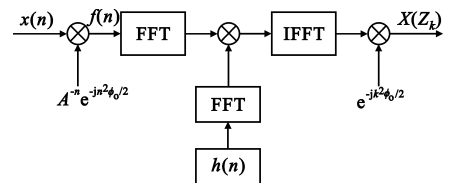


图 4 利用 FFT 的 CZT 快速实现框图
Fig.4 Fast implementation of CZT using FFT

本节针对利用 DFT 进行周期图估计的不足,给出了基于 CZT 的周期图估计改进方法和其高效实现方式,在资源消耗增加不多的情况下,改善了捕获性能。

4 捕获门限

由第 2 和第 3 节分析可得简化后的伪码捕获模型^[7]如图 5 所示。图中 N 代表第一级相关运算和第二级相干累加的总积分点数, L 表示采用分段平均法时的非相干累加点数, Z_1 和 Z_0 是独立同分布的高斯随机变量, Z 为判决量。

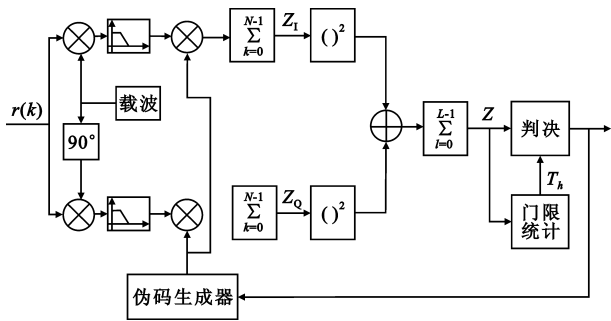


图 5 伪码捕获假设检验模型
Fig.5 Hypothesis test module for PN code acquisition

4.1 判决门限的计算

可以定义两种假设：
 H_1 :接收信号与本地伪码对齐；
 H_0 :接收信号与本地伪码未对齐。
由概率理论可知,判决量 Z 在 H_0 条件下服从自由度为 $2L$ 的中心 χ^2 分布,在 H_1 条件下服从自由度为 $2L$ 的非中心 χ^2 分布。根据纽曼 – 皮尔逊检测准则,确定虚警概率 $P_f = \alpha$ 后可求得检测门限 T_h 。皮尔逊^[8]对方差为 1 时的中心 χ^2 分布的虚警概率制成表格,如表 2 所示,可通过查表得到所需虚警概率下的检测门限值 T_{h1} ,对于方差 σ^2 为任意值时,检测门限为

$$T_h = \sigma^2 T_{h1} \tag{6}$$

表 2 方差为 1 时中心 χ^2 分布检测门限 T_{h1}
Table 2 Detection threshold T_{h1} of chi-square distribution when $\sigma^2 = 1$

自由 度 L	虚警概率 P_f				
	10^{-3}	10^{-4}	10^{-5}	10^{-6}	10^{-7}
2	13.816	18.421	23.026	27.631	32.236
4	18.467	23.513	28.473	33.377	38.237
8	26.125	31.828	37.332	42.701	47.973
16	39.252	45.925	52.245	58.324	64.227
32	62.487	70.571	78.094	85.232	92.085

可见在确定捕获的虚警概率后,通过查表并由公式(6)可得到捕获的门限值。

4.2 等效高斯白噪声方差 σ^2 的计算

式(6)中检测门限包含的等效高斯白噪声方差 σ^2 为未知参数,需要对其进行参数估计,否则该门限值不具有实用性。

观察 H_0 假设条件下的判决量 Z ,其概率密度只有 σ^2 是未知的。根据参数估计理论,可以由 Z 的样本对 σ^2 进行估计。假设得到 K 个独立同分布的

观测量 $Z_i (i = 0, 1, \cdots, K - 1)$,由最大似然估计 (Maximum Likelihood, ML)准则对等效高斯白噪声方差 σ^2 进行估计。 σ^2 的最大似然估计为

$$\hat{\sigma}^2 = \frac{1}{KL} \sum_{i=0}^{K-1} Z_i \tag{7}$$

可见高斯白噪声方差 σ^2 的估计值是 H_0 条件下判决量 Z 的平均。可得门限统计模块如图 6 所示。

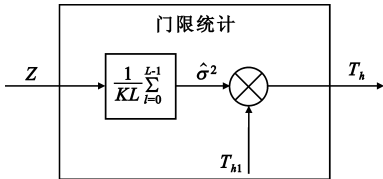


图 6 门限统计实现框图
Fig.6 Implementation of detection threshold

为了检验估计方法的有效性,对估计结果进行了计算机仿真,如图 7 所示。可见 σ^2 真实值与 ML 估计值非常接近,说明 ML 估计方法是有效的。

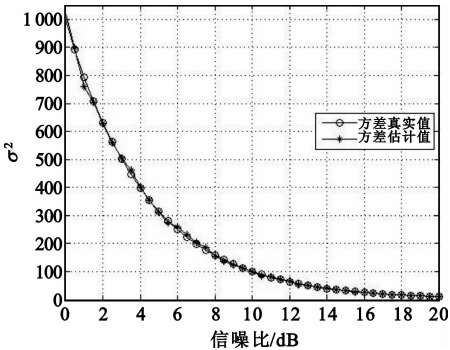


图 7 σ^2 真实值与 ML 估计值比较
Fig.7 Comparison between the real σ^2 and estimated σ^2

本节首先分析了伪码捕获判决量的统计模型,然后给出了虚警概率条件下计算检测门限的方法,最后针对检测门限中含有未知参数等效高斯白噪声方差 σ^2 的问题,给出了 σ^2 的 ML 估计,从而给出了一种自适应的伪码捕获检测门限工程实现方法,该方法简单实用,很适合工程应用。

5 结 论

本文从工程实现的角度给出了伪码捕获两级相干累加机制的具体实现方式,并针对传统实现方式的不足,给出了改进措施。在第一级相关运算中,提出了基于直接 II 型的时域并行相关器,在资源使用效率得到优化的情况下,使得计算时间缩短 1 倍。第二级相关运算大多采用 DFT 完成,但 DFT 存在频

谱泄露大、频谱冗余的缺点,为此,本文提出了利用 CZT 实现的改进措施,在资源允许的条件下可进一步提高捕获性能。对于捕获门限的确定,本文提出了一种简单实用的自适应统计方法。

参考文献:

- [1] 陈颖. 最优长周期扩频码快速捕获理论[C]//2006 年信号与信息处理技术学术会议论文集. 成都: 电讯技术编辑部, 2006: 148 – 153.
CHEN Ying. Optimum fast acquisition algorithm of long period PN code[C]//Proceeding of 2006 Conference on Signals and Information Processing. Chengdu: Telecommunication Engineering Agency, 2006: 148 – 153. (in Chinese)
- [2] Van Nee D, Coenen A. New Fast GPS Code Acquisition Technique Using FFT[J]. Electronic Letters, 1991, 27(2): 158 – 160.
- [3] Lin D, Tsui J, Howell D. Direct P(Y)-Code Acquisition Algorithm for Software GPS Receivers[C]//Proceedings of 1999 ION GPS. Nashville, TN: IEEE, 1999: 1 – 6.
- [4] Viterbi A J. CDMA Principles of Spread Spectrum Communication[M]. New York: Addison-Wesley Publishing House, 1995.

- [5] 胡广书. 数字信号处理[M]. 北京: 清华大学出版社, 1997.
HU Guang-shu. Digital Signal Processing[M]. Beijing: Tsinghua University Press, 1997. (in Chinese)
- [6] Wang T T. The Segmented Chirp Z-Transform and Its Application in Spectrum Analysis[J]. IEEE Transactions on Instrumentation and Measurement, 1990, 39(2): 318 – 323.
- [7] 邓强. 一种改进的两级相干累加码捕获方法[J]. 电讯技术, 2012, 52(5): 704 – 708.
DENG Qiang. An Improved Two-stage Coherent Accumulation PN code Acquisition Method[J]. Telecommunication Engineering, 2012, 52(5): 704 – 708. (in Chinese)
- [8] Proakis J G. Digital Communications [M]. 4th ed. New York: McGraw-Hill Publishing House, 1995.

作者简介:



邓 强(1978—),男,四川绵竹人,硕士,工程师,主要研究方向为直扩信号快速捕获。

DENG Qiang was born in Mianzhu, Sichuan Province, in 1978. He is now an engineer with the M. S. degree. His research concerns acquisition algorithm for DSSS signal.

Email: dengqiang_28@163.com