

doi:10.3969/j.issn.1001-893x.2013.06.017

基于早-晚门的相干 BPSK 调制设计^{*}

谢 勇^{**}, 潘高峰, 瞿元新, 薛 军

(中国卫星海上测控部, 江苏 江阴 214431)

摘 要: 基于对早-晚门同步技术的研究分析, 在单片现场可编程门阵列(FPGA)上实现了外部输入码元的本地时钟同步, 产生了本地同步载波信号, 并在此基础上完成对外部输入码元的相干二进制相移键控调制。仿真结果表明, 设计的模块能输出较好的 BPSK 信号, 满足实际工程需要。

关键词: 数字通信; 早-晚门同步; 二进制相移键控; 可编程门阵列

中图分类号: TN919.6 **文献标志码:** A **文章编号:** 1001-893X(2013)06-0759-04

Coherent BPSK Modulation Design Based on Early-Late Gate

XIE Yong, PAN Gao-feng, QU Yuan-xin, XUE Jun

(China Satellite Maritime Tracking & Control Department, Jiangyin 214431, China)

Abstract: The principle of early-late gate synchronization technique is analyzed. Synchronization for external symbols is achieved in a single chip of FPGA, and the local coherent carrier is generated. On this base, coherent BPSK modulation of external symbols is realized. Simulation result shows that the designed module can output BPSK signal and meets the requirement of engineering application.

Key words: digital communication; early-late gate synchronization; BPSK; FPGA

1 引 言

在数字通信系统中,经常需要对数字信号进行相干(Binary Phase Shift Keying, BPSK)调制。一般对于电路内部产生的数字信号,需要提供同步时钟,并产生与码元频率成倍数关系的载波信号,实现相位连续的相干 BPSK 调制信号。在实际工作中,数字码元信号一般是外部送来的,对于这种情况,通常信源端需要再送一路同步时钟信号,这样可以较为方便地由本地同步时钟产生载波信号,但显然需要多提供一路时钟信号的接口。当外部不提供同步时钟信号时,情况就较为复杂,需要从码元中提取时钟同步信号。提取时钟同步信号的方法主要有开环码元同步与闭环码元同步。开环码元同步通过对接收到的序列滤波和非线性处理,按码元速率产生时钟频率分量,通过滤波提取时钟频率信号,再进行波形整

形,得到方波时钟信号,其缺点是不可避免地产生非零值跟踪误差^[1]。闭环码元同步通过比对本地图钟与接收码元信号,驱使本地图钟与接收码元进行同步,使用广泛且有效的方法是早-晚门同步方法。本文通过采用早-晚门同步方法,实现相干 BPSK 调制。这里需要解决的几个问题是:

- (1)本地时钟对码元的同步采样;
- (2)与码元速率成倍数关系的本地载波产生;
- (3)为实现相干 BPSK 调制,本地载波相位过零点应与码元跳变点对齐。

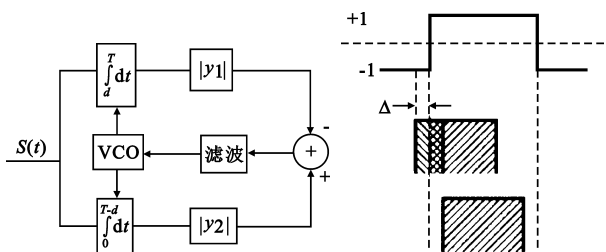
2 早-晚门同步原理

早-晚门同步工作原理如图 1 所示,同步电路由一个早门、晚门、环路滤波器、压控振荡器组成。早门在 $0 \sim T - d$ 时间内积分,晚门在 $d \sim T$ 时间内积分, T 为一个码元周期, d 为晚门延迟积分时间。两

^{*} 收稿日期:2013-01-04;修回日期:2013-04-17 Received date:2013-01-04;Revised date:2013-04-17

^{**} 通讯作者:emi91@sina.com Corresponding author:emi91@sina.com

个积分器的输出 y_1 和 y_2 的差值,经滤波后作为压控振荡器的同步误差控制电压。如图 1(b)所示,当时钟信号较码元上升沿超前 Δ 时,晚门的积分值将大于早门的积分值,误差电压将使 VCO 频率降低;反之将使 VCO 频率升高,以达到 VCO 输出信号与码元信号同步^[2]。



(a)早-晚门工作原理框图 (b)时钟超前的早-晚门示意图

图 1 早-晚门码元同步原理图

Fig.1 Principle diagram about early-late gate symbols synchronization

3 外部码元信号的同步与 BPSK 调制设计

3.1 系统设计

为解决第一小节提出的 3 个问题,本文采用早-晚门实现本地时钟信号与码元的同步,早-晚门产生的同步误差经滤波等处理后作为 DDS 的频率控制字,在 FPGA 中设计直接数字频率合成器(DDS)实现数控振荡器。由于在 FPGA 中无法实现正弦信号的分频,故设计了两个 DDS。其中一个 DDS 分频产生本地时钟,分频次数由累加器的输出精度决定,累加器每个时钟周期输出一个累加结果;另一个 DDS 产生本地载波信号。系统工作原理如图 2 所示。

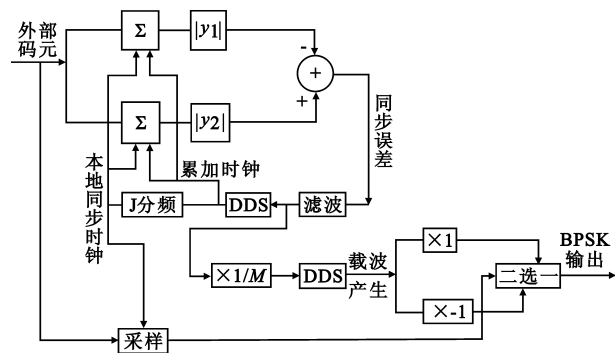


图 2 系统原理框图

Fig.2 System principle diagram

(1)早-晚门设计

假设 FPGA 主时钟频率为 f_{clk} , 若需对外部输入速率为 R_B 的二进制基带数据实现 BPSK 调制, 本地

的时钟频率应为 f_B , 其值应等于 R_B 。早-晚门的积分器由累加器实现, 累加器的运算频率直接影响到积分器的运算精度, 为此数字频率合成器的输出频率设计为 $J \times f_B$, 分频 J 次产生本地时钟, DDS 的输出时钟作为累加器的运算时钟。在每个码元时钟周期内, 累加器可累加 J 次, 累加器的累加时间长度选取为 $3/4$ 的码元周期。考虑到外部输入码元信号准确的时钟周期未知, 本文采用 $3/4$ 的本地时钟周期, 当本地时钟与码元同步后, $3/4$ 的本地时钟周期等于 $3/4$ 的码元时钟周期。累加器的累加开始与结束由本地同步时钟与累加时钟计数控制, 在一个时钟周期内两个累加器的累加计算可用下式表示:

$$y1 = \sum_{J/4}^J D(n) \quad (1)$$

$$y_2 = \sum_0^{3 \times J/4} D(n)$$

其中, y_1 、 y_2 分别表示一个时钟周期内的晚门和早门的累加输出; $D(n)$ 表示 n 时刻码元信号的值, 取值为 $+1$ 或 -1 ; J 即前文提到的分频次数。

(2) 系统的频率关系

根据 DDS 工作原理,本地时钟产生 DDS 的初始频率控制字为

$$K_0 = \frac{2^N \times J \times f_B}{f_{\text{clk}}} \quad (2)$$

式中, N 为频率控制字的位数。

为保证时钟的精度,计算频率控制字时 N 取 32 位,频率控制字控制 DDS 时截取频率控制字的前 10 位。如此设计 FPGA 代码有两个好处:一是可大量节省 FPGA 存储资源,二是可保证输出时钟的频率控制精度。实际 N 值的选取和频率控制字的选取可根据实际需要确定。

载波信号的产生采用另一个 DDS 来实现,其初始频率控制字:

$$K'_0 = \frac{2^N \times M \times f_B}{f_{\text{clk}}} \quad (3)$$

其中, M 为累加时钟频率和载波频率的比值, 输出频率根据载波频率要求计算。

累加时钟频率控制字

$$K = K_0 + \Delta K \quad (4)$$

载波频率控制字

$$K' = K'_0 + \Delta K/M \quad (5)$$

一个时钟周期包含的载波周期数为 J/M 。

ΔK 为经处理的早-晚门输出同步误差。

两个 DDS 由 FPGA 系统时钟控制同时工作,可

保证本地时钟跳变沿与载波相位过零点严格对齐。

(3)相干 BPSK 调制

采用上述电路设计方案实现相干 BPSK 调制就非常简单。因为本地时钟跳变沿与载波过零点严格对齐,由本地时钟下降沿对外部码元进行采样,当采样结果为“1”时输出载波,当采样为“0”时输出反相载波,即实现了相干 BPSK 调制。

(4)参数调整

设计中 R_B 、 J 、 M 可由 FPGA 程序模块的输入输出进行控制,达到系统的码速率、载波频率、积分器时钟等参数可设,从而实现功能较为完善的相干

BPSK 调制器。

3.2 仿真与实验

在系统的仿真中,使用 Altera 公司 EP2C70 芯片,主时钟频率为 $f_{\text{clk}} = 39\text{ MHz}$, f_B 、 J 、 M 的缺省值分别是: $f_B = 32\text{ kb/s}$, $J = 128$, $M = 4$, 对应的载波频率为 256 kHz , 积分器时钟频率为 $4\,096\text{ kHz}$ 。

实验中采用 M 序列伪码发生器和方波信号仿真外部码元,由系统对码元进行同步和调制。保持 FPGA 参数设置不变,改变外部仿真信号码速率,通过 SignalTap 逻辑分析仪观察时钟同步情况,结果如图 3 所示。

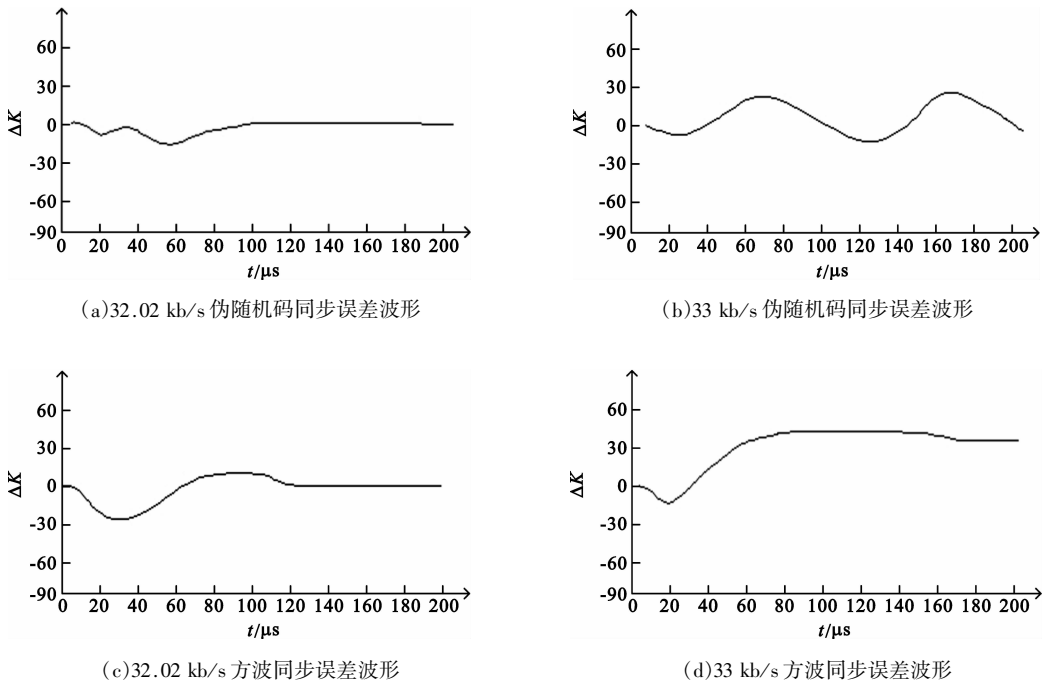


图 3 早-晚门同步误差波形

Fig.3 Error waveforms of early-late gate synchronization

从仿真结果可见:当码元以方波信号代替时,信号码速率与本地时钟频率的差不大于时钟频率的 5% 时即可稳定同步。对于伪随机码的同步,当码元信号与本地时钟频率较为接近,不大于时钟频率的 2% 时(与码元的连续“1”、“0”密切相关),环路较好地锁定了外部码元信号,达到了本地时钟与码元信号的同步,实现了外部输入码元的较为完美的 BPSK 调制。根据现在晶振技术的水平,一般准确度均可做到 $10^{-4} \sim 10^{-6}$ 量级,因此上述早-晚门的同步设计可满足实际应用需要。

从方波信号与 M 序列的同步对比结果可见:若码元出现很长的连续“0”或连续“1”,则系统无法提

取真实的环路误差信号,其输出总是为 0,这样将产生跟踪误差。要准确地进行数学分析比较困难,采用二阶以上环路可以较直观地解决此问题,但若 0 或 1 连续时间太长,也不可避免地导致环路失锁。要彻底解决该问题必须避免连续 0 或 1 的出现,因此可以对码元信号采用双相码的编码方式,这样每个码元周期都将产生一次高低电平跳变,保证了同步误差的准确提取,即可稳定同步码元信号。

4 结束语

本文设计的码元时钟同步与 BPSK 调制方案,各项参数均可设置,具有较好的通用性。仿真验证

了在本地时钟信号速率与码元速率相差不超过 2% 时,能够满足一般的码元同步需要。设计方案在 FPGA 芯片内实现了相应功能模块,输出了较好的 BPSK 信号,解决了引言部分提出的 3 个问题,能够在工程上进行应用,希望能给类似工程项目的建设带来借鉴和帮助。

参考文献:

- [1] Bernard S. 数字通信基础与应用[M]. 沈连丰,徐平平,宋铁成,等,译.北京:电子工业出版社,2002.
Bernard S. Digital Communication: Fundamentals and Applications[M]. Translated by SHEN Lian-feng, XU Ping-ping, SONG Tie-cheng, et al. Beijing: Publishing House of Electronics Industry, 2002. (in Chinese)
- [2] 王永庆,乔媛,吴嗣亮.基于早迟门位同步环的 FPGA 实现[J].微计算机信息,2009,25(8):178-179.
WANG Yong-qing, QIAO Yuan, WU Si-liang. Bit Synchronization Loop Based on Early-late Gate by FPGA[J]. Control & Automation, 2009, 25(8): 178-179. (in Chinese)
- [3] Lindsey W C. Synchronization Systems in Communication and Control[M]. Englewood Cliffs, NJ: Prentice-Hall, 1972.
- [4] Franks L E. Synchronization Subsystems: Analysis and Design [M]. Englewood Cliffs, NJ: Prentice-Hall, 1981.

作者简介:



谢 勇(1972—),男,江西余江人,2004 年获硕士学位,现为高级工程师,主要研究方向为软件无线电技术;

XIE Yong was born in Yujiang, Jiangxi Province, in 1972. He received the M.S. degree in 2004. He is now a senior engineer. His research direction is software radio technology.

Email: emi91@sina.com

潘高峰(1972—),男,辽宁锦州人,1995 年获学士学位,现为高级工程师,主要研究方向测控标校技术;

PAN Gao-feng was born in Jinzhou, Liaoning Province, in 1972. He received the B.S. degree in 1995. He is now a senior engineer. His research direction is TT&C equipment calibration.

Email: pgfzhy@163.com

瞿元新(1969—),男,江苏南通人,1995 年获硕士学位,现为高级工程师,主要研究方向测控总体技术研究;

QU Yuan-xin was born in Nantong, Jiangsu Province, in 1969. He received the M.S. degree in 1995. He is now a senior engineer. His research direction is TT&C technology and system design.

薛 军(1970—),男,内蒙古包头人,2003 年获硕士学位,主要研究方向软件无线电技术。

XUE Jun was born in Baotou, Inner Mongolia Autonomous Region, in 1970. He received the M.S. degree in 2003. His research direction is software radio technology.