

doi:10.3969/j.issn.1001-893x.2013.06.014

# 应用于宽频率范围的小卫星通信侦察信号处理方案<sup>\*</sup>

张寒松<sup>\*\*</sup>

(中国西南电子技术研究所,成都 610036)

**摘 要:**针对日益增强的小卫星平台搭载电子侦察载荷的需求,提出一种应用于宽频率范围的通信侦察信号处理方案,在一片集成度较低的 FPGA 中完成信号数字下变频、频谱分析、数据存储和传输等复杂功能。通过在 FPGA 中进行滤波器、存储器复用等办法,充分利用现有 FPGA 的资源,减少器件数量,实现了平台对载荷小型化、低功耗、功能全、效率高的要求。试验结果验证了该设计的实用性。

**关键词:**小卫星通信侦察;信号处理;滤波器组;数字下变频

**中图分类号:**TN971      **文献标志码:**A      **文章编号:**1001-893X(2013)06-0745-05

## Signal Processing Design of Wide Frequency Range Moonlet-based Communications Reconnaissance

ZHANG Han-song

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

**Abstract:** According to the growing demand of moonlet-based electronic reconnaissance equipment, a signal processing design scheme for wide frequency range communication reconnaissance is proposed in which the complex functions such as signals digital down conversion, spectrum analysis, data storage and transfer are realized in a low density FPGA(Field-Programmable Gate Array). Filters and memories are used repeatedly in the FPGA to take full advantage of resources and reduce the number of components, so that miniaturization, low power consumption, full functions, high efficiency for moonlet-based equipment are achieved. The feasibility of the scheme is verified by test.

**Key words:** moonlet-based communiation reconnaissance; signal processing; filter bank; digital down conversion

### 1 引 言

小卫星侦察具有覆盖面广、部署灵活、反应迅速等众多优点,光电侦察载荷应用已非常成熟,而电子侦察载荷正处于起步阶段,需求非常迫切。

目前,地面通信侦察设备发展已经很成熟,利用先进的大规模集成电路,如 XILINX 公司的 Virtex6 系列 FPGA 等器件可以实现复杂的侦察算法和功能。但是大多数 FPGA 器件并没有生产对应的具有抗辐射性能的型号,少数具有抗辐射性能且较先进的 FPGA 器件也由于国外出口限制的原因难以采

购,所以无法在小卫星平台中照搬成熟的地面通侦设备方案。此外,小卫星对载荷小型化、低功耗的要求也不允许通过堆叠大量硬件的办法来满足算法和功能上的需求。

所以,在小卫星通侦载荷的设计中,如何很好地平衡设备的功能、性能与功耗、体积、重量的关系是个关键问题。本文提出了一种适用于小卫星平台的通信侦察信号处理方案并给出了其中的 FPGA 设计办法,可实现对超短波甚至更高频段的通信信号侦察。该方案基于 DSP + FPGA 为核心的硬件架构,仅使用了集成度较低的一片 DSP 和一片 FPGA 完成信号处理功能,具有设备量小、低功耗的特点,较好地解决了

<sup>\*</sup> 收稿日期:2012-11-08;修回日期:2013-04-10      Received date:2012-11-08;Revised date:2013-04-10  
<sup>\*\*</sup> 通讯作者:zhs4321@sina.com      Corresponding author: zhs4321@sina.com

上述问题。DSP 采用具有辐射性能的 TMS320VC33 器件, FPGA 型号为 QPro 系列中的 XQR2V3000(质量等级为 Q 级), 具有很高的抗辐射性能, 广泛应用于航天和军事装备中, 也是目前能采购到的航天级 FPGA 器件中集成度较高的型号之一。其对应的工业级型号为 Virtex2 系列的 XC2V3000, 集成度为 300 万门, 与当前最先进的 FPGA 相比则集成度很低。本设计通过巧妙的资源复用方法, 在一片 XQR2V3000 中实现了复杂的信号处理功能。

## 2 数字信号处理方案简介

数字信号处理方案的原理如图 1 所示。A/D 转换器把射频接收机输出的中频信号进行数字量化, 经过抽取、下变频、滤波处理后的信号为 I、Q 两路零中频复信号, 对其进行参数粗测量, 通过信号幅度的门限检测结果确定出目标信号并计算出其频率、带宽等参数。根据参数粗测量的结果设置射频接收机输出中频的带宽、抽取器的抽取倍数、用于数字下变频的本振频率、滤波器的选择等工作参数, 获得更高信噪比、更低数据率的零中频信号, 再进行参数精测量获得的高精度的信号参数, 最后进行模式识别、解调等处理并通过数据传输系统把结果上报主控计算机及存储。对于无法识别的信号, 可以把原始采样数据或预处理后的数据通过数据传输系统回传至地面处理系统进行离线分析。此方案中 FPGA 用于信号的实时数字下变频、时频转换、逻辑控制等功能, 模式识别、解调、工作流程控制等由 DSP 完成。

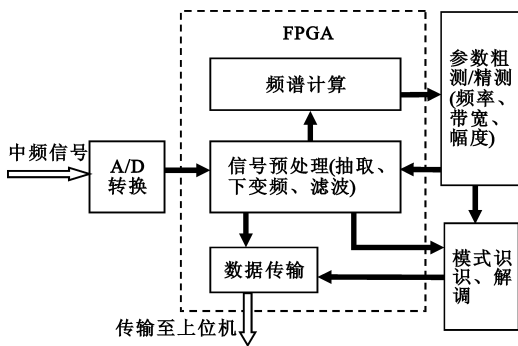


图 1 数字信号处理方案原理框图

Fig.1 The frame of digital signal processing design

## 3 FPGA 设计方法

### 3.1 FPGA 的信号处理算法

#### 3.1.1 带通信号的正交抽取

宽中频采样信号处理中, 目标信号通常为接收

机中频带宽中一个窄带信号。采用带通信号的正交抽取方法, 先通过数字下变频把信号变为零中频信号, 再用几乎等同于信号带宽的低通滤波器滤波, 最后进行抽取, 获得最佳的滤波效果并且速率较低的零中频复信号。现代信号处理算法往往是基于零中频复信号, 而降低采样率可减少运算量和 FPGA 资源消耗。带通信号抽取结构原理如图 2 所示<sup>[1]</sup>。

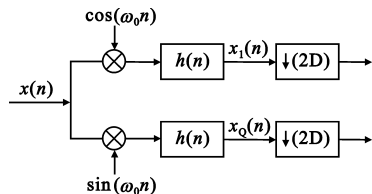


图 2 带通信号抽取原理框图

Fig.2 Frame of bandpass signal decimation

A/D 采样信号分别与相位正交的本振混频, 经低通滤波器滤掉高频分量后得到 I、Q 两路信号。设输入的窄带中心频率为  $f_0$ 、初相为  $\alpha_0$ ,  $T_s$  是采样间隔, 信号为  $x(n) = A \cos(2\pi f_0 n T_s + \alpha_0)$ 。

与频率为  $f_i$  的正交本振混频输出为

$$\begin{aligned} y_1(n) &= A \cdot \cos(2\pi f_0 n T_s + \alpha_0) \cdot \cos(2\pi f_i n T_s) = \\ &= 0.5 A \cdot \cos[2\pi(f_0 + f_i - f_s) n T_s + \alpha_0] + \\ &= 0.5 A \cdot \cos[2\pi(f_0 - f_i - f_s) n T_s + \alpha_0] \end{aligned} \quad (1)$$

$$\begin{aligned} y_Q(n) &= A \cdot \cos(2\pi f_0 n T_s + \alpha_0) \cdot \sin(2\pi f_i n T_s) = \\ &= 0.5 A \cdot \sin[2\pi(f_0 + f_i - f_s) n T_s + \alpha_0] - \\ &= 0.5 A \cdot \sin[2\pi(f_0 - f_i - f_s) n T_s + \alpha_0] \end{aligned} \quad (2)$$

设置合适的中频  $f_i$  的值, 再经低通滤波器滤除高频分量, 即可得到正交的两路零中频复信号。若信号频率  $f_0$  的范围为  $21.4 \pm 2$  MHz, 在 12.4 MHz 采样率下为一个欠采样 ( $f_0 > f_s/2$ ) 信号。设  $f_i = 9$  MHz, 相对而言, 频率  $f_0 - f_i - f_s$  为低频分量。因此, 经过截止频率在 2 MHz 以下的低通滤波器后, 输出 I、Q 两路频率变为  $f_0 + f_i - f_s$ 。

$$X_I = 0.5 A \cdot \cos[2\pi(f_0 + f_i - f_s) n T_s + \alpha_0] \quad (3)$$

$$X_Q = 0.5 A \cdot \sin[2\pi(f_0 + f_i - f_s) n T_s + \alpha_0] \quad (4)$$

由于信号的中心频率为零, 故可把输出混频器后面的低通滤波器带宽设计为  $B/2$ , 相应的可在 I、Q 两路信号后直接进行 2 倍抽取而不会发生混叠。

#### 3.1.2 频谱分析

有限长序列离散傅里叶变换(DFT)是一种数字信号频谱分析的基本算法。对于  $N$  点序列  $x(n)$ , DFT 频谱分析算法的数学公式为

$$X(k) = \sum_{n=0}^{N-1} x(n) e^{-j \frac{2\pi}{N} nk}, k = 0, 1, \dots, N-1 \quad (5)$$

式中,  $x(n)$  为时域信号,  $X(k)$  为频域信号。变换后得到以  $f_s/N$  为步进, 从 0 到  $f_s \cdot (N-1)/N$  的  $N$  个频点的离散功率谱, 通过改变  $N$  的值可以得到不同的频谱分辨率。快速傅里叶变换 (FFT) 是 DFT 的一种快速算法, 在现代信号处理中应用广泛。

3.2 FPGA 的实现

3.2.1 总体设计

FPGA 顶层模块设计如图 3 所示。按功能划分为 5 大模块, 包括信号预处理模块、数传模块、复用存储器模块、FFT 运算模块、接口逻辑模块。

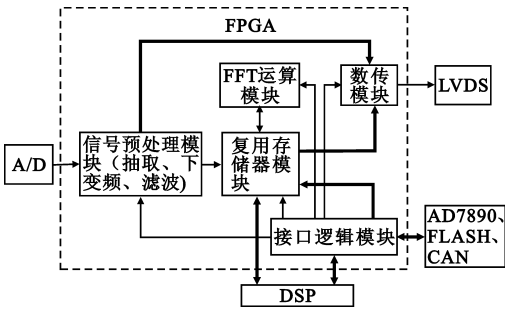


图 3 顶层模块设计原理框图  
Fig.3 Frame of top-level module design

3.2.2 信号预处理模块

信号预处理模块包含对 A/D 输出数据的抽取、下变频、滤波处理三部分, 模块设计如图 4 所示。

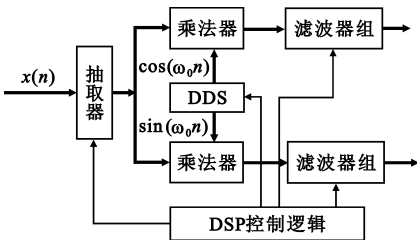


图 4 信号预处理模块原理框图  
Fig.4 Frame of signal preprocessing module

设接收机中频输出带宽分 50 kHz、200 kHz、3 MHz 3 档, 中心频率为 21.4 MHz。A/D 采样率为 12.4 MHz。对采样数据抽取倍数分为 1 倍、12 倍、52 倍 3 档。理论上, 抽取器是由一个抗混叠滤波后接一个抽取操作构成。这里接收机输出带宽和 FPGA 中抽取模块的档位的选择是一一对应的关系, 可保证抽取后的采样率仍然满足带通采样定理, 不需设计抗混叠滤波器。抽取器的设计可用间隔一定的采样点取值的方法实现, 抽取后的采样率与带宽关系如表 1 所示。

| 表 1 采样率与带宽关系表                                                |      |             |           |
|--------------------------------------------------------------|------|-------------|-----------|
| Table 1 The relationship between sampling rate and bandwidth |      |             |           |
| A/D 采样率 /MHz                                                 | 抽取率  | 抽取后采样率 /MHz | 中频带宽 /MHz |
| 12.4                                                         | 1/52 | 0.238 5     | 0.05      |
| 12.4                                                         | 1/12 | 1.030 0     | 0.20      |
| 12.4                                                         | 1    | 12.400 0    | 3.00      |

下变频在 FPGA 中是乘法运算。将抽取后的数据和 DDS(Direct Digital Synthesizers)输出的数据做乘法运算。DDS 和混频器(乘法器)都由 IP 核生成。DDS 输出正交两路本振信号, 频率值由 DSP 设置, 参考频率为 49.6 MHz, 若控制码设为 26 位宽的无符号数, 输出频率误差可达到 0.74 Hz。

对下变频后的滤波处理, 采用了多个偶对称的线性相位 FIR 低通抽取滤波器级联的设计。单个滤波器的具体设计方法是: 首先在 Matlab 的 Fdatool 工具中设置滤波器的通带、阻带、过渡带、阻带衰减、阶数等参数, 生成滤波器系数; 然后在 ISE 的 Core Generator 中打开 FIR Compiler 模块设计界面, 导入滤波器系数, 并设置抽取率、模块接口参数, 生成滤波器模块。本方案中设计了 2 倍(滤波器系数 0.52)、4 倍(滤波器系数 0.194)、3 倍(滤波器系数 0.174)、8 倍(滤波器系数 0.25)抽取的滤波器, 形成三级级联, 针对不同带宽的信号采用不同的组合滤波方式, 实现最优的滤波效果。滤波器的级联设计有效地节省了资源。滤波器组输出数据率和带宽关系如表 2 所示。

| 表 2 数据率和带宽关系表                                            |          |                  |
|----------------------------------------------------------|----------|------------------|
| Table 2 The relationship between data rate and bandwidth |          |                  |
| 抽取倍数                                                     | 采样率 /kHz | 通带带宽(滤波器系数) /kHz |
| 12.4 MHz /12/2                                           | 517.00   | 268.80(0.52)     |
| 12.4 MHz /12/4                                           | 258.00   | 50.00(0.194)     |
| 12.4 MHz /12/2/3                                         | 172.00   | 30.00(0.174)     |
| 12.4 MHz /12/4/3                                         | 86.00    | 15.00(0.174)     |
| 12.4 MHz /52/4                                           | 60.00    | 11.60(0.194)     |
| 12.4 MHz /12/4/8                                         | 32.00    | 8.00(0.25)       |
| 12.4 MHz /52/2/8                                         | 15.00    | 3.75(0.25)       |
| 12.4 MHz /52/4/8                                         | 7.50     | 1.19(0.25)       |
| 12.4 MHz /12/4/8/8                                       | 4.00     | 1.00(0.25)       |
| 12.4 MHz /52/2/8/8                                       | 1.90     | 0.50(0.25)       |
| 12.4 MHz /52/4/8/8                                       | 0.93     | 0.23(0.25)       |

3.2.3 FFT 运算模块和复用存储器模块

FFT 运算模块由两个子模块组成, 一个是由 IP 核生成的 FFT 运算子模块。FFT 运算点数为 2 的  $N$

次方,  $N$  的值为 6 ~ 12。每次运算都是由 DSP 根据参数粗测量或者参数精测量的流程先设置  $N$  的值, 再发送启动 FFT 运算指令。另一个是 VHDL 语言写的 FFT 运算管理子模块, 是控制 FFT 运算数据输入与输出的接口电路, FFT 运算的输入与输出数据都在复用存储器模块中。

本设计选择的 FPGA 器件 XQR2V3000-4CG717, 其内部有 96 块 18 kb 的 Block RAMs 资源, 总共 1 728 kb。通过对 Block RAMs 资源的复用设计, 最大限度地利用了有限的 Block RAMs 资源, 简化系统的硬件量, 提高工作速度。复用存储器模块设计为一个 32 k × 32 b 的双口 RAMs, 其作用包括: 作为信号预处理后的数据存储空间; 作为 DSP 外挂 SRAM; 作为 DSP 程序加载的源存储器(双口 RMA 初始化为 DSP 程序); 作为高速采样数据数传(12 MHz 采样率数据)的缓存空间; 作为 FFT 运算的数据输入和输出存储空间。

3.2.4 接口逻辑模块和数传模块

接口逻辑模块包含两部分内容。一部分是 DSP 对 FPGA 内部各模块发送控制命令、设置工作参数的接口逻辑子模块。控制命令的实现方式是 DSP 对一个协议规定的外部地址空间写操作, 与写外部存储器单个地址的操作相同, 写的数据在接口协议中定义。FPGA 工作主时钟(49.6 MHz)上升延对地址线、数据线、片选信号线、写信号线进行采样译码, 符合协议规定则产生一个控制窄脉冲来控制模块启动或停止工作。设置工作参数的实现方式与控制命令相似, 不同的是 FPGA 需要对 DSP 写的数据用寄存器存储, 并作为受控模块工作的判断依据。常用的工作参数包括抽取倍数、DDS 频率、FFT 点数、双口 RAM 存储数据点数设置等。

另一部分是 DSP 和信号处理板上其他器件的转接逻辑子模块。DSP 与其他器件的接口多数都不是无缝接口, 并且 DSP 也没有足够的接口与所有器件直接连接, 所以该子模块是 DSP 对外接口的有效扩展, 并起到简化操作的功能。转接逻辑子模块有 3 个: 一是 DSP 与 AD7890 转接逻辑, AD7890 为 12 位的 8 路串行 A/D 器件, 用于数字化温度、电压等模拟量的遥测参数; 二是 DSP 与 CAN 控制器转接逻辑, CAN 总线用于信号处理板与上位机、接收机通信; 三是 DSP 与 FLASH 转接逻辑, FLASH 内容可作为 DSP 程序的另一个加载来源(DSP 软件重构)。

数传模块的功能包括低速采样数据数传、高速采样数据数传、突发信号采样数据数传、参数测量结果数传四部分。数传模块的设计方法在文献[6]中

已有详细论述, 这里不再重复。

4 试验与结论

FPGA 设计使用 Xilinx 公司的集成开发工具 ISE10.1 进行输入、仿真、综合、实现。利用 ISE 内嵌的工具对 FPGA 设计进行资源使用情况统计、时序分析、功耗分析。器件资源使用量如表 3 所示, 资源使用率最大的 Block RAMs 为 91%, 其余的都在 80% 以下。

表 3 资源使用量统计  
Table 3 The summary of resource usage

| FPGA 资源           | 使用量    | 总量     | 使用率 |
|-------------------|--------|--------|-----|
| 可配置逻辑块(CLB)       | 2 775  | 3 584  | 77% |
| 4 输入查找表(LUT)      | 13 696 | 28 672 | 47% |
| 可编程输入输出单元(IOB)    | 216    | 516    | 41% |
| 嵌入式块 RAM(BRAM)    | 88     | 96     | 91% |
| 18 × 18 乘法器(MULT) | 72     | 96     | 75% |
| 全局时钟(BUFGMUX)     | 8      | 16     | 50% |
| 数字时钟管理模块(DCM)     | 1      | 12     | 8%  |

静态时序分析结果如图 5 所示, FPGA 可正常工作的最小主时钟周期为 17.785 ns, 即最大主时钟频率为 56.22 MHz。

| Constraint                                   | Check         | Best Case Achievable |
|----------------------------------------------|---------------|----------------------|
| OFFSET = OUT 16 ns AFTER COMP "CLK 496M PAD" | MAXDELAY      | 17.785ns             |
| TS CLK 496M PAD = PERIOD TIMEGRP "clk" 16 ns | SETUP<br>HOLD | 15.979ns             |
| OFFSET = IN 16 ns BEFORE COMP "CLK 496M PAD" | SETUP         | 15.908ns             |
| OFFSET = OUT 20 ns AFTER COMP "CLK 20M PAD"  | MAXDELAY      | 17.976ns             |
| TS CLK 20M PAD = PERIOD TIMEGRP "clk 20M" 20 | SETUP<br>HOLD | 11.657ns             |
| OFFSET = IN 20 ns BEFORE COMP "CLK 20M PAD"  | N/A           | N/A                  |

图 5 静态时序报告  
Fig.5 The static timing report

功耗分析结果如图 6 所示, 总功耗为 1.793 W。

| Name                  | Power (W) | Used  | Total Available | Utilization (%) |
|-----------------------|-----------|-------|-----------------|-----------------|
| Clocks                | 0.813     | 2     | ---             | ---             |
| Logic                 | 0.259     | 13529 | 28672           | 47.2            |
| Signals               | 0.259     | 30315 | ---             | ---             |
| IOs                   | 0.065     | 136   | 516             | 26.4            |
| BRAMs                 | 0.000     | 88    | 96              | 91.7            |
| DCMs                  | 0.006     | 1     | 12              | 8.3             |
| MULTs                 | 0.013     | 42    | 96              | 43.8            |
| Total Quiescent Power | 0.377     |       |                 |                 |
| Total Dynamic Power   | 1.416     |       |                 |                 |
| Total Power           | 1.793     |       |                 |                 |

图 6 功耗分析  
Fig.6 The analysis of power consumption

利用某原理样机的硬件平台对 FPGA 设计进行了实际信号参数测量试验,测量精度达到预期的要求。FPGA 设计通过 ISE 的软件分析和下载到硬件中的实际信号测试,测试内容覆盖了 FPGA 设计中的所有模块,有效地检验了 FPGA 设计的功能和性能,测试结果满足实际要求。

## 5 结束语

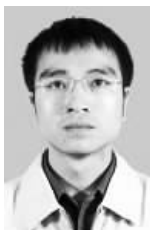
本文介绍了一种适用于宽频率范围的小卫星平台的通信信号侦察信号处理方案,基于数字下变频和 FFT 谱分析算法完成方案中的 FPGA 设计、编程、实现。经过 FPGA 开发软件 ISE 的分析,该 FPGA 设计占用资源少、功耗低,为同类某地面产品的四分之一左右。下载到硬件后,用实际信号测试也达到较高精度,已能满足小卫星通信侦察载荷的实战要求,具有很强的实用性和通用性。另外,文中一些设计思路对卫星平台上通信、测控等设备的 FPGA 设计也有一定的借鉴价值。下一步的工作可根据工程实际需要,调整采样率、抽取倍数、滤波器系数等工作参数,增加抗单粒子翻转的冗余设计,并通过优化设计提高 FPGA 工作时钟等指标。

## 参考文献:

- [1] 杨小牛,楼才义,徐建良.软件无线电技术与应用[M].北京:北京理工大学,2010(4):50-51.  
YANG Xiao-niu, LOU Cai-yi, XU Jian-liang. Software radio technology and application[M]. Beijing: Beijing Institute of Technology Press, 2010(4): 50-51. (in Chinese)
- [2] 曹政才,赵应涛,王光国.基于 DSP、FPGA 的高速通用实时信号处理平台设计[J].电气电子教学学报,2010(12):1-5.

- CAO Zheng-cai, ZHAO Ying-tao, WANG Guang-guo. Design of High Speed Universal Real-Time Signal Processing Platform Based on DSP + FPGA[J]. Journal of Electrical & Electronic Education, 2010(12): 1-5. (in Chinese)
- [3] 刘嘉新,付金霞,苏健民.用 FPGA 实现快速傅立叶变换[J].信息技术,2006(2):1-4.  
LIU Jia-xin, FU Jin-xia, SU Jian-min. Implementation of FFT algorithm based on FPGA[J]. Information Technology, 2006(2): 1-4. (in Chinese)
- [4] 宗孔德.多抽样率信号处理[M].北京:清华大学出版社,1996:150-164.  
ZONG Kong-de. Multirate signal processing[M]. Beijing: Tsinghua University Press, 1996: 150-164. (in Chinese)
- [5] 王景泉.卫星技术发展趋势与创新思路[J].国际太空,2001(5):24-29.  
WANG Jing-quan. Satellite Technology Development Trends and Innovation Ideas[J]. International Space, 2001(5): 24-29. (in Chinese)
- [6] 张寒松,赵万春,周良臣,等.一种通用的数据采集系统设计及其 FPGA 实现[J].电讯技术,2008,48(5):89-92.  
ZHANG Han-song, ZHAO Wan-chun, ZHOU Liang-chen, et al. Design and FPGA Realization of a General Data Acquisition Systems[J]. Telecommunication Engineering, 2012, 48(5): 89-92. (in Chinese)

## 作者简介:



张寒松(1978—),男,广西柳州人,2001年毕业于哈尔滨工程大学获工学学士学位,现为工程师,主要从事系统总体技术、通信信号处理等方面的研究。

ZHANG Han-song was born in Liuzhou, Guangxi Zhuang Autonomous Region, in 1978. He received the B.S. degree from Harbin Engineering University in 2001. He is now an engineer. His research interests include system design technology, communication signal processing, etc.

Email: zhs4321@sina.com