

文章编号: 1001-893X(2012)07-1087-05

小型化低功耗数字平台设计关键技术^{*}

张景远¹, 杨仕平²

(1. 广州市越秀区市政和水利管理所, 广州 510100; 2. 广州海格通信集团股份有限公司, 广州 510663)

摘要: 对于使用电池供电的背负式或手持电台, 电台的平均功率消耗决定了电台在战场的可运作时间。因此, 数字平台的硬件设计和软件设计都必须把电台的大小、重量和电源(SWAP)的设计作为首要的考虑事项。从动态时钟调整、电源供应调整、操作模式、工作周期影响、静态和动态电源对比、硬件电源的小型化考虑以及可编程逻辑和 ASIC 的设计对比等多方面进行了研究, 为构建灵活的软件无线电平台体系结构提供了参考。

关键词: 软件无线电; 超短波; 小型化低功耗; 关键技术

中图分类号: TN802 **文献标志码:** A doi: 10.3969/j.issn.1001-893x.2012.07.007

Key Techniques for Size, Weight and Power Constrained Digital Platform Design

ZHANG Jing-yuan¹, YANG Shi-ping²

(1. Civicism and Irrigation Administrant Department of Yuexiu District, Guangzhou 510100, China;

2. Guangzhou Haige Communication Group Incorporated Company, Guangzhou 510663, China)

Abstract: For battery powered manpack and handheld radios, average power consumption of the radio dictates the operational life of the radio in battlefield operation. Many of these radio applications are also severely size and weight limited. Therefore, the digital platform design of both hardware and software must take into account size, weight and power(SWAP) as primary design considerations. This paper discusses best practices for hardware and software design in SWAP constrained radios. Topics covered are dynamic clock scaling, power supply scaling, modes of operation, duty cycle impact, static versus dynamic power, hardware power reduction considerations, and programmable logic versus ASIC designs. The work in this paper provides reference for building flexible software defined radio(SDR) architecture.

Key words: software defined radio; VHF; size, weight and power constrained; key technique

1 引言

现代通信解决方案需要满足软件无线电(Software Defined Radio, SDR)提出的性能和灵活性, 以及相关的处理能力要求^[1]。对于体积大小和功耗都有限制的背负式、手持式电台, 进行小型化、低功耗数字平台设计是现代化战术通信遇到的最大挑战之一。本文将从数字硬件设计、软件控制两方面研究

SDR 通用数字平台小型化、低功耗设计方法, 以期利用它们能够提供一个灵活的 SDR 平台体系结构, 并最小化电台整机的体积大小和功耗。

2 SDR 通用数字平台简介

SDR 通用数字平台负责承载各种通信协议与信号处理软件, 该平台的工作效率与功能决定了系统的效率与功能。面对需要实现栅格网络协议、高效

^{*} 收稿日期: 2011-11-28; 修回日期: 2012-04-24

的调制解调、高速纠错编解码等复杂算法,需要设计一种可适应多种频段通信要求、高速率、自适应的多资源硬件平台,并且可以通过加载不同的软件实现不同的硬件功能,因此,通用数字平台的设计是 SDR 电台小型化、低功耗设计的关键。SDR 通用数字平台原理框图如图 1 所示。

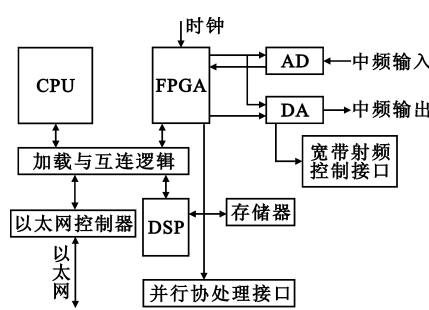


图 1 SDR 通用数字平台
Fig.1 SDR universal digital platform

由图 1 可知,在 SDR 通用数字平台上主要包括 CPU、DSP、FPGA 三大主要芯片,下面将从数字硬件设计与软件控制电源设计两方面研究 SDR 通用数字平台的小型化、低功耗设计方法。

3 数字硬件设计中的空间和电源

软件无线电中最大的技术挑战就像正在开发中的美国联合战术电台系统项目,在要求功能的同时,对大小、重量和功耗也有特别要求。根据美军的报告,“为了达到宽带网络波形的所有性能,包括传输范围,Cluster 1(更名为 GMR)电台要求非常多的内存和处理电源,这又增加了大小、重量和功耗”。鉴于 GMR 电台是针对陆地交通工具,这些交通工具都有自己的电源,报告更多的是与可拆卸的、电池供电的应用,比如手持机和单兵电台有关。电台的硬件和软件设计团队都有责任来使用集成的设计技术,以便使数字平台尽可能少地消耗电源。

随着客户需求的增加,功能和灵活性只能由 SDR 提供,是可以通过数字软件来实现的,不会增加射频电路导致功耗显著增加。不断增加的带宽和网络性能是驱使数字基带需要更强的内存和处理能力的主要因素。如宽带网络波形(WNW)和士兵电台波形(SRW),以及 JTRS 项目的软件通信体系结构(SCA)的需要,使得网络波形和处理能力都达到了更高的要求。平衡这些高吞吐率的网络波形处理需求,要求军用电台必须以节能的方式来设计,以便电

池能够提供更长的工作时间。

目前,已有很多技术能够用来改善现代电子电路的功耗和尺寸。更低的核心电压、更高效率的互连,以及更高效的设计,都可以促使在提供更多处理性能的同时,使用更少的功率。这些方法能够被应用到任何设计,并且不需要对系统软件有任何特殊的要求。本文剩下的部分,将会讨论硬件设计概念,以及软件辅助的硬件设计,以满足低功耗基带电台的设计要求。

4 稳压器和功率树

传统的电源分配模式要求输入电源提供的电压,比电台电路要求的电压更高。传统的电路中,用来提供这种电源分配的器件主要有开关稳压器和通过晶体管稳压器,这两种基本的稳压器都有各自的优点和弱点^[2]。在 SWAP 限制的设计中,两者在大小和功耗上都有减少的空间。这两种稳压器类型有很多设计上的变种,但是总体上来说,通过晶体管稳压器更节省空间,开关稳压器更节能。

一个通过稳压器的效率依赖于该稳压器向下转换的步长,以及和当前通过稳压器的电流。稳压器的效率可以表示如以下的关系:

$$Efficiency = (P_{in} - P_{out}) / P_{in} = (V_{in} - V_{out}) \times I^2$$

由上述公式可知,向下转换的步长越大,更多的能量消耗成为稳压器内的热量,这样稳压器的效率就越低。除此之外,由于稳压器的效率与电源电流成指数关系,当电源电流增加时,效率会减小。

如上所述,输入电压越接近稳压器的输出电压,在稳压器中所浪费的电量就越少。因此,低损失的稳压器(LDO)在通过晶体管稳压器这一类型中占了主导地位。LDO 稳压器将 V_{in}/V_{out} 的比率限制在一个很小的范围以最小化电源损失。因此,当电压向下转换和电流相对较小时,可使用节省空间的通过晶体管稳压器。开关稳压器一般比通过晶体管稳压器更有效率,特别是当 V_{in}/V_{out} 比 1 大得多并且有高电流的时候。开关稳压器工作在某些形式的脉冲宽度调制,效率可达 60% ~ 90%。开关稳压器要求相对较大的感应器和电容器来过滤脉冲宽度调制。正是这种额外的支持电路,导致了开关稳压器比通过稳压器占用更多的空间。

理想的系统设计方法是混合使用的两种稳压器。使用通过稳压器提供空间利用率,使用开关稳

压器提高电源效率。便携式电台的一种经典的方法是使用开关稳压器降低电源电压,使低电压分布在电台的数字部分,当需要更低的电压时,通过使用通过晶体管稳压器来进一步降低电压。在进行电源调整和分配时,在大小和功率受限的情况下,通常的做法是在 V_{in}/V_{out} 比率和电流很小时使用通过晶体管稳压器来最佳化空间。在 V_{in}/V_{out} 和电流很高的时候,使用通过晶体管稳压器来最佳化效率。

5 FPGA 静态和动态电源

现代网络波形促进了对性能的更高要求,要求使用处理能力更强的数字信号处理器。FPGA 提供了一个吸引人的办法,因为 FPGA 提高了可重复编程的能力和简单的高水平并行优势,这些是 DSP(即使是使用了流水线操作和并行执行单元)所不可能达到的。采用 FPGA 是一种针对非电池供电通信系统的优秀解决方案,但是,对于电池供电的系统,FPGA 设备消耗了大量的电源,这种现象在 FPGA 设备的静态电源消耗中最为显著。静态电源消耗归因于晶体管泄漏电流。泄漏电流的主要是处于交叉点的相应二极管。这种静态电流在设备通电的时候,简单地消耗功率为热量,而没有进行任何逻辑处理。这对于电池供电的电台来说,是非常不合要求的。

随着 FPGA 设备在向着几何更小的晶体管发展,以获得更高的芯片密度和更快的动态速度,在每一个晶体管中泄漏的电流更加多了起来。

尽管 FPGA 设备允许完全的电路重复编程,这个优势也带来相应的损失。可重复编程的 FPGA 设备需要额外的信号路由设备,以及更快的开关逻辑来补偿,这驱使 FPGA 工业迈向实现最小的晶体管成为可能。现代的 FPGA 设备是 90 nm 级别的,并且正快速向下一代 65 nm 级别发展。

这种几何上的改进,加上额外的逻辑支持,更多地增加了 FPGA 设备的静态电流。当纳米级别降到 70 nm 以下时,泄漏的电流会占据支配地位,并且会消耗 50% 的电源。时钟(动态)电源是对基本静态电流的改进,它的逻辑是计时的。静态和动态电流都会因为设备连接处的温度升高而增加。大多数的电池是为手持电台、单兵电台和小型化电台供电的,因此对于小型化军用电台,静态和动态电源对热量条件非常敏感,比如周围的温度、热量下沉和气流等。

作为可编程 FPGA 的另外一个选择,经典的 130 ~ 250 μm 的 CMOS ASIC 设备拥有更多的逻辑(门和内存),而静电功率在毫瓦与微瓦之间^[3]。CMOS ASIC 中的动态功率同样比 FPGA 设备少得多。FPGA 设备要求额外的路由设备和其他支持电路来达到重复编程(这些都大大增加了动态和静态的功率消耗),而 ASIC 设备不需要,相较于 ASIC 而言,这造成了在 FPGA 中的逻辑实现中大幅增加了功耗^[4]。最近有一些关于在 FPGA 中降低功耗的研究,但是降低的幅度不及将逻辑从 FPGA 移到 ASIC。

对所有的波形信号处理作一个完整的评估,任何设计都会因此而受益。一个平台必须拥有这些功能,并且把这些功能分解为两种类型:波形的通用功能与波形的特殊功能。只有那些要求各种波形的基础具有真正的可重复编程特性的功能,才应该寄宿在 FPGA 内部。另外,应该对处理功能的固定流程进行评估,看这些固定流程是否能够寄宿在 ASIC 内部,并在波形需要的时候可以被选定。这些设计技术确保只有那些必须寄宿在 FPGA 内部的处理功能,才被分配给比较耗电的设备,减小了 FPGA 设备所要求的尺寸和电流的大小。ASIC 设备和可配置的功能,以及较小的 FPGA 设备,提供了在实现高效率电源、复杂波形所需要的灵活性。为了达到电池供电的便携式电台的 SWAP 目标,这种方法最终会被使用。

6 动态功率节能方法

6.1 频率调整

控制数字电路的频率对功耗的影响是呈直线的,当时钟频率升高时,功耗以直线增加。大多数波形只要求在部分活动中使用高的处理速度。一个更明智的设计技术利用了这种变化,就是根据处理的需要,动态调整时钟频率。

某些微处理器由于内部时钟分布复杂和相位关系经常被锁定,不能提供动态的时钟频率调整,如 PowerPC 还没有哪个版本支持动态时钟频率调整,但是很多 RISC 处理器没有这个问题,比如 ARM 体系的 RISC 处理器支持某种形式的时钟调整有很多年了。

图 2 展示了一款典型的 ARM 微处理器核心电源时钟和频率的关系。这个设备有一个内部时钟分配器,可以通过软件控制,设置时钟的频率为图形中

所示的离散值,同时也有一个配套的芯片用来控制核心电压。

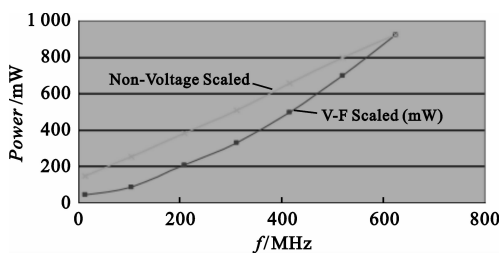


图2 电压-频率之间调整的功耗关系
Fig.2 Voltage-frequency scaling power consumption

6.2 休眠模式

休眠模式是最简单的时钟调整方法。休眠模式具有极低的时钟频率(零到几千赫),可达到非常低的功耗。休眠通常是硬件支持的状态,在这种状态下,处理器的指令执行被有效地暂停,直到某个事件发生。休眠模式的功耗通常只有毫瓦级别到微瓦级别,休眠模式会被某种形式的中断激活,比如计时器或者外部通信端口。

使用休眠模式对降低功耗有显著的影响。比如,一个 RISC 处理器以400 MHz的频率运行,在活动时可消耗1 W,但是在休眠状态只有500 μ W的功耗。平均省电与休眠的时间成正比,如果有一半时间处于休眠状态,那么平均功耗大约是1/2 W。

6.3 电压调整

通过减小核心板和总线的信号电压来调整电压,在现代数字系统中,这并不罕见。两种方式都可以显著降低功耗。从公式 $P = V^2/R$ 中可看出,功耗与 V^2 成正比。当电压降低,电流也相应降低,因此功耗成指数降低。特别是对于 CMOS 电路,这个关系是 $P = A \times C_L \times V^2 \times F$,其中 A 是活跃常量, C_L 是负载容量, V 是供电电压, F 是转换频率。从等式中可以看出,功耗与频率成正比关系,与电压成指数关系。

如果要调整电压,必须说明的是,当时钟频率降低时,可能降低了核心供电电压。因此,在微处理器和其他数字 CMOS 电路中,可能混合了某些形式的电压-频率调整。在图2中上面的一条线展示了只调整频率,而电压是一个固定值的功耗;下面的一条线展示了在微处理器中,调整频率和电压两者后的功耗改善情况。有专家指出,尽管这个关系确实是正确的,但可能达不到想要的效果。在较低的 $V-F$ 下,瞬时的功耗很低,但是不大可能在执行任何代

码段的时候,功耗都会更低。因此,在较低的时钟频率下,代码要执行的时间更长。如果一段代码花500 ms在频率 A 下面运行,它会以一半的功率在频率 $A/2$ 下运行1 s。

微处理器功率调整的另外一个重要问题是,SDR 电台的软件环境是实时的。换句话说,很可能有临界代码,必须以高时钟频率执行。这意味着,不管是频率还是 $V-F$ 调整算法,都必须对临界代码区有极其快速的响应时间,这对动态电源的控制进行监控和响应的代价是昂贵的。

7 软件管理电源技术

7.1 静态软件方法

软件无线电台的特点是,能够通过软件控制电路的电压和频率调整。但是,为了能够充分利用这种控制,波形代码应该有电源管理的概念,并对电源管理进行支持^[5]。简单的波形,如果知道它的处理负荷和性能要求,将会使电台以可行、最节能的方式运行。

7.2 简单的状态监控

正如前面所讨论的那样,动态、连续的 $V-F$ 调整可能会非常昂贵,一种更简单、有效的方法是简单地预测 $V-F$ 的状态转换。前面讨论了休眠模式时钟降频,基于此可对 $V-F$ 调整做进一步的扩展,即不只在空闲状态的出口和入口进行 $V-F$ 调整,而是在所有其他外部程序都以最大的 $V-F$ 来执行。

休眠状态在很多微处理器中都有硬件支持,这种方法在软件中能够扩展的状态是空闲进程或者是挂起状态。

这些可以被合并到操作系统中,以便默认的情况就是维持低的 $V-F$ 状态。当然,这会使得在退出低速状态的时候有些潜在的问题,也就是最终会带来更大的中断延迟。但是,相对于动态的 $V-F$ 调整算法,这可以简单地进行分析和解决。

7.3 电台状态转换

军用电台一般有多种不同的工作模式,如至少有发送、接收和休眠状态。电台在每一种状态下都会有运行时间,在实现波形的时候,应该使用这些状态来做 $V-F$ 调整,可以使电台在每一种状态下最小化功率,这样和其他的空闲、休眠状态结合起来,可以进一步更多地降低功耗。这种状态控制方法可以从处理

器控制扩展到其他系统硬件中,一个软件系统和电台波形如果很清楚这些状态和转换,就可以利用这些来减少功耗并大幅延长电池使用时间。

8 结束语

现代网络波形的使用需求对软件无线电的设计提出了更高要求,对于小型化、低功耗设计人员来说是个挑战。尽管摩尔定律帮助减少了空间和功耗问题,但对 SWAP 敏感的手持、背负电台,必须通过数字平台硬件的合理设计以及软件的联合控制,才能满足小型化、低功耗的设计需求^[6]。

参考文献:

[1] 杨小牛. 从软件无线电到认知无线电,走向终极无线电——无线通信发展展望[J]. 中国电子科学研究院学报, 2008,3(1):1-7.
YANG Xiao-niu. Software Radio, Cognitive Radio and Ultimate Radio—A Prospect of Wireless Communication [J]. Journal of China Academy of Electronics and Information Technology, 2008,3(1):1-7. (in Chinese)

[2] Magklis G, Semeraro G, Albonesi D H, et al. Dynamic Frequency and Voltage Scaling For A Multiple Clock Domain Microprocessor[J]. IEEE Microwave, 2003,23(6):62-68.

[3] Gonzalez R, Gordon B M, Horowitz M A. Supply and Thresh-

old Voltage Scaling for Low Power CMOS[J]. IEEE Journal of Solid - State Circuits, 1997,32(8):1210-1216.

[4] Andrei A, Schmitz M T, Eles P, et al. Quasi - Static Voltage Scaling for Energy Minimization with Time Constraints [C]// Proceedings of the Conference on Design, Automation and Test in Europe. Munich, Germany: IEEE, 2005:514-519.

[5] Garcia A D, Perez L F, Acuna R F. Power Consumption Management On FPGAs [C]// Proceedings of the 15th International Conference on Electronics, Communications, and Computers. [S.l.]: IEEE, 2005:240-245.

[6] 房志江. 小型化及多频段天线技术研究[D]. 上海:上海交通大学, 2009.
FANG Zhi-jiang. Research on a New Compact and Multi-band Antenna Technology [D]. Shanghai: Shanghai Jiaotong University, 2009. (in Chinese)

作者简介:

张景远 (1976—), 女, 河南镇平人, 工程师, 主要研究方向为机械设计及自动化;
ZHANG Jing-yuan was born in Zhenping, Henan Province, in 1976. She is now an engineer. Her research concerns mechanical design and automation.

杨仕平 (1974—), 男, 四川阆中人, 博士, 高级工程师。
YANG Shi-ping was born in Langzhong, Sichuan Province, in 1974. He is now a senior engineer with the Ph.D. degree.
Email: yspsir@163.com