

文章编号: 1001 - 893X(2012)06 - 1022 - 05

基于 FPGA 的 BLVDS 总线设计*

张洪亮

(中国西南电子技术研究所, 成都 610036)

摘要:针对现有的航空总线系统结构复杂、传输速率低、电磁兼容性差等问题,提出了一种基于 FPGA 的总线型低压差分信号(BLVDS)总线解决方案。介绍了 BLVDS 的总线结构,对 BLVDS 的通信方式和基于 FPGA 使用硬件描述语言实现 BLVDS 总线通信的方法进行了深入研究。同时,分析了信号传输质量,在工程中验证了其高速率和高可靠的总线传输特性,为新一代航空高速总线系统提供了参考。

关键词:航空总线;数据传输;总线型低压差分信号;硬件描述语言

中图分类号:V243;TP336 **文献标志码:**A **doi:**10.3969/j.issn.1001-893x.2012.06.039

Design of BLVDS Bus Based on FPGA

ZHANG Hong-liang

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract:To solve problems of avionics system based on electrical bus, such as complex structure, low transmission rate, bad electromagnetic compatibility, a kind of Bus - Low Voltage Differential Signaling (BLVDS) based on FPGA is proposed. The structure of BLVDS bus is introduced and related key technologies are investigated including BLVDS communications and the method for BLVDS communications based on FPGA by hardware description language. At the same time, the signal transmission quality is analysed, the high speed and high reliable bus transmission characteristics are verified in application of project, which provides important reference for new - style avionics high speed bus system.

Key words: avionics bus; data transmission; BLVDS; HDL

机载数据总线技术是现代先进飞机电传操作系统和航空综合化最重要的关键技术之一。航空电子系统的发展对机载数据总线不断提出新的要求^[1]。采用新一代的高速率、低功耗、电磁兼容性的总线技术成为新的发展方向。

总线型低压差分信号(BLVDS)是一种新型总线接口电路,适合于多点电缆或背板应用。BLVDS 可以为系统提供理论最高 800 Mbit/s 的传输速率,并具有功耗低、电磁兼容性好等特点。受 1553B 总线的传输方式启发,笔者基于 FPGA,采用硬件描述语言(HDL)

实现了 250 Mbit/s 的 BLVDS 的 FPGA 逻辑设计。

1 总线结构及工作过程

1.1 总线系统结构

BLVDS 总线通信系统由背板和通信子板组成。背板有 8 个插槽,可以插入 8 个子卡,并布有 BLVDS 总线、备份总线和匹配电阻。通信子板包含 3 种类型:主控节点、总线监视器、通信终端。其中,主控节点向通信终端发送指令字、数据字;总线监视器接收

* 收稿日期:2011 - 11 - 01;修回日期:2012 - 04 - 10

总线上传输的所有数据作为分析使用;通信终端接收主控节点发送过来的指令和数据,并可以回复相应的状态和数据。

通信系统结构如图 1 示。

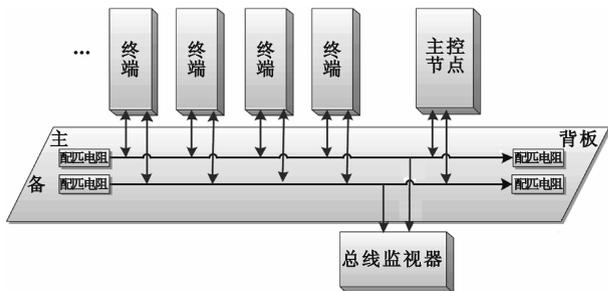


图 1 BLVDS 总线结构
Fig.1 The system diagram of BLVDS

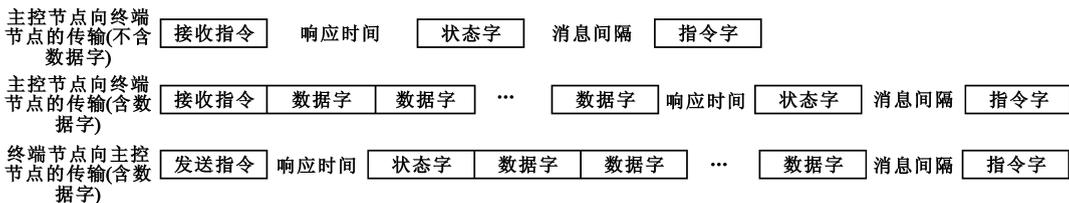


图 2 系统通信方式
Fig.2 The communication of system

BLVDS 总线上每一次消息的发送或查询只能由主控节点发起,任何终端节点都无权主动向总线上发送数据。当主控节点向某个终端节点发送询问消息后,终端节点应在 1 ms 之内作出响应,向总线发送状态信息。主控节点若在 1 ms 内没有在总线上探测到该终端节点发出应答消息,则认为该终端节点响应超时。主控节点判定终端节点响应超时后,则重复向该终端节点发送询问消息,若重复 3 次发送仍未收到该终端节点的应答消息,则认为该节点为故障节点,并向应用层报告。

2 设计实现

该设计使用了硬件设计语言在 FPGA 内部实现,包含终端节点、主控节点和总线监视器各项功能,CPU 可以根据需要对 FPGA 内部的寄存器(双口内部特定地址)进行配置从而获得不同的功能。在 CPU 需要发送总线数据时,只需要将准备好的数据写入相应地址的双口 RAM 内部,然后再向 FPGA 发送一个发送标志位,FPGA 将自行将所有数据向 BLVDS 总线发送数据;在 CPU 需要接收数据时,FPGA 先将接收

1.2 工作过程

BLVDS 为一主多从的多点总线。总线的主节点称为主控节点,从节点称为终端节点。

总线上所有节点都有一个唯一的总线地址,用于各个节点的识别。当主控节点需要向某一终端节点发送数据时,主控节点应先向终端节点发送接收指令,终端节点在接收到数据 1 ms 内向主控节点回复状态字,并将接收到的信息上报应用层。

当终端节点需要发送数据给主控节点时,终端节点的应用层将要发送的数据写入缓存等待发送,主控节点每 10 ms 都会向总线上各个终端节点发起查询指令,当查询到要发送数据的终端节点时,终端节点向主控节点在 1 ms 内回复状态信息和需要发送的数据。系统通信流程^[2]如图 2 示。

好的数据进行解析,然后存入相应的双口 RAM 内,并向 CPU 发出中断,通知其来读取数据^[3]。

2.1 BLVDS 帧定义

BLVDS 总线通信系统的发送/接收方式已经在 1.2 节中介绍,这里不再重复。图 3 为指令字(包含查询指令)、数据字、状态字的格式定义。图中,同步头表示该帧数据的类型;数据个数表示该帧数据所包含的数据字个数;源地址表示发送该消息的节点地址;目的地址表示接收该消息的节点地址;P 为奇偶校验位。

位时																			
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
指令字																			
3(101)			5					1	5					5	1				
同步头			源地址					T/R	目的地址					数据个数	P				
数据字																			
3(110)			16																1
同步头			数据																P
状态字																			
3(001)			5					1	1	5					4	1			
同步头			源地址					T/R 忙	数据个数					保留	P				

图 3 消息格式定义
Fig.3 The frame of message

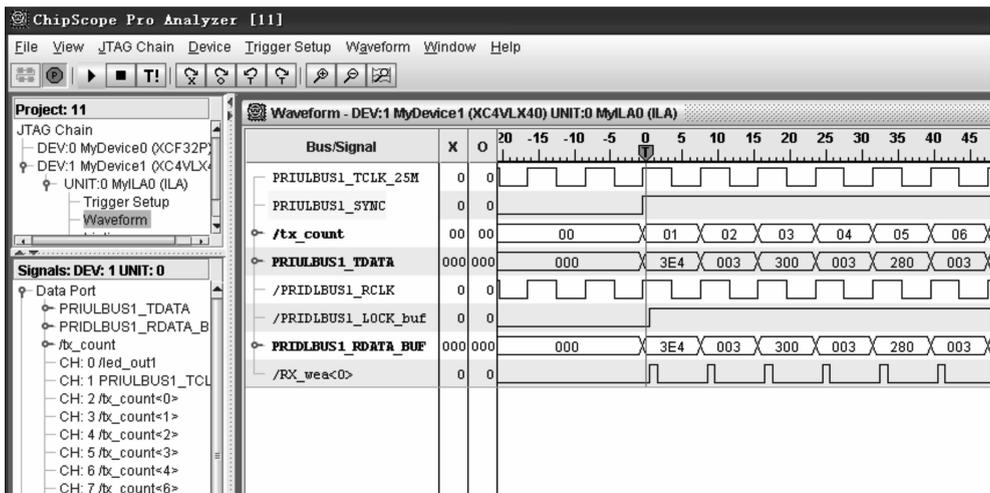


图 6 主控节点发送接收数据时序图

Fig.6 The diagram of transmitting and receiving data from master node

3.2 传输测试

为了衡量传输系统的性能优劣,在实验室中,通常用眼图分析法来分析信号的传输质量。对总线上串化后的数据进行眼图测量,图 7 为测试时的眼图。

从图 7 中可以看出每个码元将重叠在一起,波形无失真,最终在示波器上看到的是迹线又细又清晰的“眼睛”,“眼”开启得较大,表明信号传输质量较好。验证结论:信号传输质量较好,信号传输可靠。

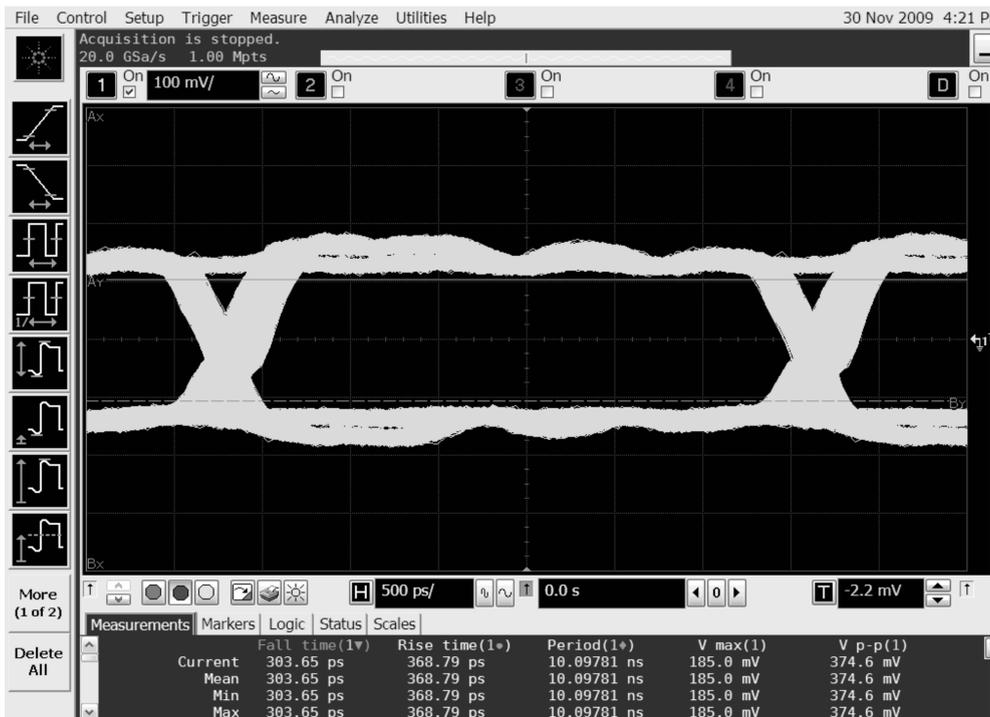


图 7 数据和时钟经过串化后的眼图

Fig.7 The eye diagram for serialized data and clock

3.3 工程验证

根据设计需求,使用测试系统进行了工程验证,

在速率为 250 Mbit/s 时, CPU 每 1 ms 周期内需完成 20 byte 数据的收发和两节点无时间间隙连续收发,

分别对主控节点进行自发自收测试,主控节点与通信终端互相收发测试,经过50 000帧数据收发测试,均无误码、丢包现象。由此可得出结论:设计可靠,满足现阶段需求。

4 结语

数据总线是航空电子系统的神经枢纽。本文设计完成了一种基于FPGA的高速率、低功耗的BLVDS总线通信方式,在严格的时序内完成了模块内部和模块级间的数据传输,并通过功能验证、传输测试和工程验证的方法使设计得到验证,达到了预期的目标和性能,检验了设计的正确性和可行性,为航空领域新一代总线发展提供了重要参考。

参考文献:

- [1] 支超有. 机载数据总线技术及其应用[M]. 北京:国防工业出版社,2009.
ZHI Chao-you. Avionics Data Bus Technology and Its Application [M]. Beijing: National Defense Industry Press, 2009. (in Chinese)
- [2] 聂俊伟,向超,彭启琮. 基于NIOS2的MIL-STD-1553B

总线协议的分析[J]. 通信技术,2007(12):18-20.

NIE Jun-wei, XIANG Chao, PENG Qi-cong. Analysis of MIL-STD-1553B Protocol Based on NIOS2[J]. Communications Technology, 2007(12):18-20. (in Chinese)

- [3] 黄润龙. 基于FPGA的高速同步串行总线设计[J]. 电讯技术,2008,48(11):92-96.

HUANG Run-long. Design of High Speed Synchronous Serial Bus Based on FPGA[J]. Telecommunication Engineering, 2008,48(11):92-96. (in Chinese)

- [4] 杨翠虹,文丰,姚宗. 基于LVDS的高速数据传输系统的设计[J]. 通信技术,2010(9):59-61.

YANG Cui-hong, WEN Feng, YAO Zong. Design of Long-distance High-Speed Serial Data Transmission System based on LVDS[J]. Communications Technology, 2010(9):59-61. (in Chinese)

作者简介:

张洪亮(1984—),男,山东蓬莱人,2008年于哈尔滨工程大学获学士学位,现为助理工程师,主要研究方向为电子通信。

ZHANG Hong-liang was born in Penglai, Shandong Province, in 1984. He received the B.S. degree from Harbin Engineering University in 2008. He is now an assistant engineer. His research direction is electronic communication.

Email: anywn310@163.com