

文章编号:1001-893X(2012)06-0898-04

基于 VPX 架构和第四代 Sharc DSP 的 SAR 信号处理系统^{*}

宋玉霞,甘 峰,陈 娟

(中国西南电子技术研究所,成都 610036)

摘 要:给出了一种基于 VPX 架构和 ADSP-21469 的合成孔径雷达(SAR)实时信号处理机的设计与实现。处理机分别采用基于 FPGA 的交换机和各 Lane 接收缓冲再同步技术解决板内外数据交换和多 Lane Serial RapidI/O 同步难点,实现了实时宽带雷达回波中频采样变换和 SAR 成像处理。测试表明,该信号处理机比相同处理能力的传统处理机至少减少 40 W 功耗,并具有高达 1 Gbyte/s 的 I/O 吞吐量。

关键词:合成孔径雷达;信号处理;中频采样;数字正交变换;功耗

中图分类号:TN957;TN911.7 **文献标志码:**A **doi:**10.3969/j.issn.1001-893x.2012.06.013

SAR Signal Processing System Based on VPX and Generation-IV Sharc DSP

SONG Yu-xia, GAN Feng, CHEN Juan

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: The design and realization of a real-time SAR (Synthetic Aperture Radar) signal processing system based on VPX and ADSP-21469 is given. Data transfer inside the system is resolved by switch built in FPGA and the synchronization of multi-lane Serial RapidI/O is resolved by synchronization after each lane receives and caches data. The real time orthogonal transformation and SAR processing for wide-band IF signal returned to radar is realized. Tests show that the power consumption of the system is decreased by 40W compared with traditional signal processing system, further more, the system attains 1Gbyte/s I/O throughput rate.

Key words: SAR; signal processing; IF sampling; digital orthogonal transformation; power consumption

1 引 言

合成孔径雷达(Synthetic Aperture Radar, SAR)是一种通过载体平台的运动来模拟大孔径天线获得方位高分辨力的雷达。由于需采用孔径时间内多个脉冲的回波进行二维压缩获得距离和方位向高分辨力, SAR 雷达对信号处理的处理能力和 I/O 吞吐量提出了很高的要求。

传统雷达信号处理系统常采用并行总线进行构建,这些总线包括 PCI、CPCI、VME。由于并行线间的相位偏差难以控制在很小范围,传统共享并行总线

逐渐成为高分辨 SAR 信号处理系统性能提高的瓶颈。而高速串行总线技术由于采用了时钟打包、时钟恢复以及信号的预加重和均衡处理技术,成功解决了数据线和时钟线间的 Skew 和 Jitter 问题^[1],将单对串行线的传输率提高到 10 Gbit/s。

过去近 10 年,高性能雷达信号处理系统的处理器常采用 Analog 公司(ADI)的 TigerSharc 或 Freescale (飞思卡尔)的 PowerPC。但 TigerSharc 和 PowerPC 在拥有高处理能力的同时也具有很高的工作功耗,采用 TigerSharc 或 PowerPC 的处理系统往往面临能源和散热问题的困扰。

针对基于传统并行总线和 TigerSharc 或 PowerPC

^{*} 收稿日期:2011-11-14;修回日期:2012-04-06

的信号处理系统的不足,本文设计了一种全新的 SAR 信号处理系统。该系统基于 VPX 架构,模块间数据传输采用全双工 4 Lane Serial RapidI/O 实现;主处理器采用 ADI 新一代 Sharc DSP ADSP-2146X,系统处理性能高、功耗低。

2 VPX 与 ADSP-2146X

VPX(即 VITA 46)是包括 VPX 基本标准和 PCI Express on VPX、Serial RapidIO on VPX 等多种标准的集合,其主要优势为:IO 数量巨增,可提供 192 个速度达 5 Gbit/s 的高速差分对;增强的供电能力,支持 768 W/48 V;含 3U 和 6U 结构等。由于其同时具有更加坚固的机械结构和更强的冷却能力^[2],在一些苛刻的高传输需求领域有着诱人的前景。

ADI 公司第四代 Sharc 处理器 ADSP-21469 的主要特点如下:支持高性能 32 bit/40 bit 浮点运算,内核工作频率高达 450 MHz,处理能力达 2.7 GFLOPS;片内 FIR、IIR、FFT 硬件加速器潜在提升了计算能力。

3 SAR 信号处理系统设计

SAR 信号处理系统结构如图 1 所示。该系统采用 VPX 架构,由 3 套完全相同的硬件电路板组成,每套板由 1 块中频采样变换 XMC 背板和 1 块 3U 成像处理载板组成。每块 XMC 背板和载板间物理接口遵循 VITA42.0 规范并按 VITA42.2 设置高速 Serial RapidI/O 数据通信接口,3 套板间物理电气结构遵循 VITA46.0 并按 VITA46.3 Serial RapidI/O 设置高速 Serial RapidI/O 数据通信接口。

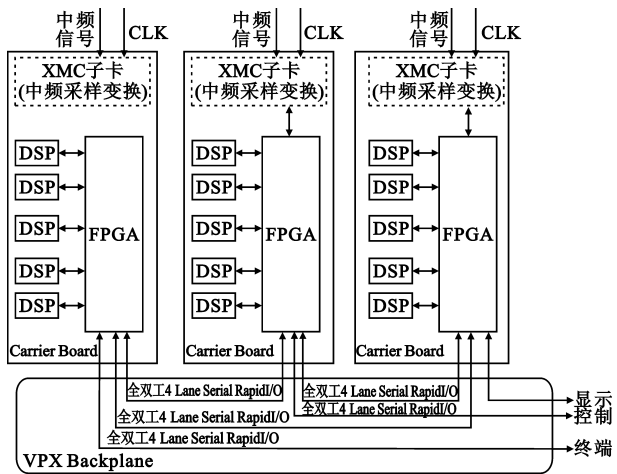


图 1 SAR 信号处理系统结构图
Fig.1 Structure of SAR signal processor

中频采样变换板主要由 2 片 ADS5474、1 片 XC5VSX95 和 2 片 SDRAM(每片容量 256 Mbyte)组成。ADC 转换后的数字回波信号由 XC5VSX95 完成数字正交解调后送入 SDRAM 进行缓存。XC5VSX95 提供 8 对高速串行差分数据链路 Rocket I/O 实现与载板通信,每对差分链路数据传输速率为 2.5 Gbit/s。

成像处理板结构图见图 2,板内共 5 个 DSP 节点,每节点包含 1 片 ADSP-21469 和 128 Mbyte DDR2 SDRAM,单板峰值运算能力 13.5 GFLOPS,ADSP-21469 与 DDR2 间数据传输率 900 Mbyte/s;每片 DSP 的 2 个 Linkport 口均接到板内 FPGA(XC5VSX95)中,共提供 1.66 Gbyte/s 带宽。节点间通过连接到 FPGA 的 Linkport 口实现分布式互连。每片 XC5VSX95 采用其 32 对高速串行差分数据链路实现 4 组 4 Lane 高速串行链路,其中 1 组与本板 XMC 进行通信,另 3 组用于板间通信。

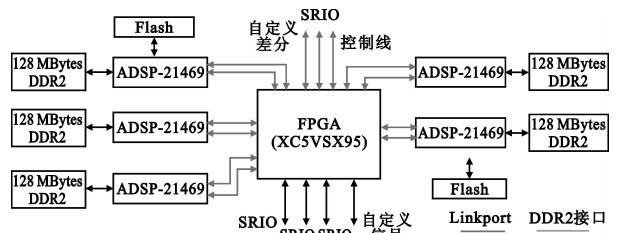


图 2 成像处理板结构图
Fig.2 Structure of carrier board

系统采用无交换槽 Full-Mesh 互连方式,如图 1 所示。图 1 中各连接对均为 4 Lane Serial Rapid I/O,各 Lane 峰值带宽可达 3.125 Gbit/s;各连接对间 RD 接 TD,TD 接 RD,LaneX 接 LaneX。Full-Mesh 拓扑结构使系统中模块间能同时进行点对点信息交换,提高了数据传输效率;槽位间距 20.32 mm。

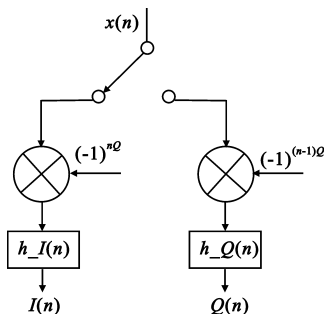
4 算法和软件流程

系统在研制中完成了扫描 SAR 成像处理和单脉冲 SAR 处理。本文以扫描 SAR 成像处理为例进行说明。

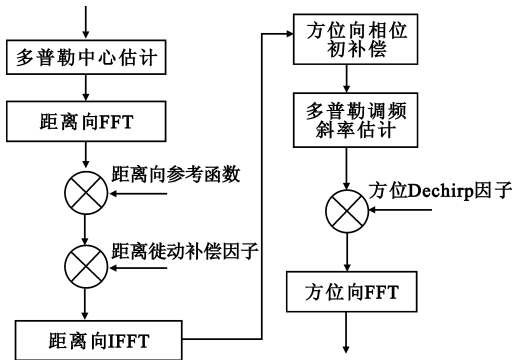
(1)中频采样变换

本系统输入信号带宽为 150 MHz,中心频率为 560 MHz,根据带通采样定理,A/D 采样频率选为 320 MHz。直接由采样序列交替得到的是在时间上相差 1 个采样周期的信号正交分量和同相分量,需进行时域上插值或频域滤波并进行符号修正。本系

统选择多相滤波进行正交变换,其处理流程如图 3 (a)所示。



(a)符号修正和多相滤波



(b)SPECAN 算法流程图

图 3 数字正交变换和 SPECAN 算法流程图
Fig.3 Flowchar of digital quadrature transformation and SPECAN algorithm

(2)SPECAN 成像算法

SAR 成像处理选用 SPECAN 算法,其流程如图 3 (b)所示,其中多普勒中心估计采用时域相关法,即:

$$\hat{f}_{dc} = \text{floor}(\frac{2v\cos\theta}{\lambda \cdot f_r}) + \frac{f_r}{2\pi} \cdot \text{angle}(\sum_{n=1}^{N-1} x(r,n+1)x^*(r,n)) \quad (1)$$

式中, v 为平台速度, θ 为目标视线和平台速度的夹角, f_r 为脉冲重复频率, λ 为雷达信号波长, r 表示方位脉冲采样序号。

距离徙动校正 在频域进行,徙动因子为

$$RMC(n,m) = \exp[-j4\pi \frac{\lambda \cdot \hat{f}_{dc} \cdot (m \times T_r - T_r/2) + a \times (m \times T_r - T_r/2)}{2 \cdot c} \cdot (\frac{n}{N}f_s - \frac{f_s}{2})] \quad (2)$$

式中, $m \in [0, M - 1]$ 为方位向采样点序号, $n \in [0, N - 1]$ 为距离向采样点序号, a 为平台加速度, f_s 为距离向采样率。

方位向相位初补偿采用惯导送来的径向加速度

直接运算,采用最大对比度法估计出调频斜率 $\hat{f}_{dr}$ 后,得到方位向 dechirp 信号:

$$\varphi_3(t_a) = \exp\{j2\pi[\hat{f}_{dc}t_a + 0.5\hat{f}_{dr}t_a^2]\} \quad (3)$$

5 关键技术

(1)任务分配和数据交换

系统平台采用多板多节点实现 SAR 成像处理,合理的任务分配和数据交换成为处理系统的关键环节。

系统采用多板多 DSP 并行处理方式实现实时处理。3 块板分别完成第 $3 \times (k - 1) + n$ ($n = 1, 2, 3; k = 1, 2, 3, \dots$) 个孔径的成像处理,由和支路处理板完成板间数据分配。每板接收到各自子孔径数据时,将第 $5 \times (k - 1) + n$ ($n = 1, 2, 3, 4, 5; k = 1, 2, \dots, 204$) 帧数据(每帧对应 1 个相参处理间隔的 8 192 点复数)送到第 n 个 DSP 节点进行距离向处理;距离向处理完成后 DSP 间需进行 5 次数据交换完成数据矩阵转秩。

所有数据交换采用 FPGA 中设计的交换机实现。交换机设计如下:首先给每个需进行数据交换的节点分配 ID 号和两个用于接收和发送数据缓冲的双口 RAM,每节点有若干离散线用于控制交换机。当节点间需发送数据时,发送端首先发出目的节点 ID 号,然后发出发数申请,交换机检测到发数申请后,根据 ID 号检测目的节点状态,如接收口空闲,即可通过目的节点离散线向目的节点发起接收申请,目的节点响应申请,即可进行本次数据交换。

(2)多 Lane Serial RapidI/O 同步

中频采样变换后的数字基带信号通过 XMC 槽位上的 Rocket I/O 接口实现。由于峰值数据率约 800 Mbyte/s,需采用 4 Lane Rocket I/O 同时传输才能满足要求。串行差分对间的同步问题成为必须解决的关键问题。

系统采用发送端数据对齐打包、并串转换后通过串行链路发送;接收端分别采用从各 Lane 数据中恢复出来的时钟接收数据并存入 FIFO,然后再同时送入下级处理,从而成功解决了单元间数据传输同步问题,获得 10 Gbit/s 比特率,有效数据率达 1 Gbyte/s 的单元间数据传输带宽。

6 系统性能

经测试:本信号处理系统 A/D 有效位数均不低

于10 bit(输入信号频率580 MHz,采样率320 MHz);每路 DDC 变换后 I、Q 两路基带信号相位不平衡度小于 0.01°、幅度不平衡度小于 0.01 dB。

本信号处理系统采用 SAR 目标模拟器产生的 SAR 模拟回波数据进行了 SAR 成像处理,单板对 1 个子孔径成像结果如图 4(a)所示,相同的模拟回波数据采用 Matlab 成像结果如图 4(b)所示。单板完成 1 个子孔径扫描 SAR 成像处理耗时仅226.3 ms。

系统总工作功耗 56 W,而同等处理能力的 TS201 信号处理系统功耗至少大于100 W。



(a)信号处理机处理出的斜距图



(b)Matlab 处理出的斜距图

图 4 从信号处理机获得的 SAR 图像和采用 Matlab 处理获得的 SAR 图像

Fig.4 SAR imaging from processor and Matlab processing

7 结束语

本文设计的信号处理系统实现了宽带雷达中频信号采样变换和 SPECAN 算法成像处理,已应用到某雷达系统中。本系统功耗低且采用高速串行总线实现模块间数据传输,解决了传统基于 CPCI 和 TS201(或 PowerPC)的信号处理系统 I/O 吞吐量瓶颈和高功耗问题。其中频采样板和信号处理板不仅性能强大,且分别采用 XMC 和 VPX 标准设计,硬件具有兼容性,整机具有扩展性。

参考文献:

[1] 郑东卫,陈矛,罗丁力.VPX 总线技术规范及应用[J].火控雷达技术,2009,38(4):73-77.
ZHENG Dong - wei, CHEN Mao, LUO Ding - li. Technical Specifications of the VPX Bus and Its Application[J].Fire Control Radar Technology, 2009,38(4):73-77. (in Chinese)
[2] 张天林,张思敏.CPCI - E 与 VPX 总线标准的比较分析[J].工业控制计算机,2009,22(7):1-5.
ZHANG Tian - lin, ZHANG Si - min. Analysis of CPCI - E Comparing with VPX Bus Technology[J]. Industrial Control Computer, 2009,22(7):1-5. (in Chinese)

作者简介:

宋玉霞(1973—),女,四川夹江人,2004 年获硕士学位,现为高级工程师,主要研究方向为雷达信号处理;

SONG Yu - xia was born in Jiajiang, Sichuan Province, in 1973.She received the M.S. degree in 2004. She is now a senior engineer. Her research direction is radar signal processing.

Email:syxhappy@yahoo.com.cn

甘 峰(1984—),男,江西奉新人,2009 年获硕士学位,现为工程师,主要研究方向为雷达信号处理;

GAN Feng was born in Fengxin, Jiangxi Province, in 1984. He received the M.S. degree in 2009. He is now an engineer. His research direction is radar signal processing.

陈 娟(1984—),女,湖北石首人,2008 年获硕士学位,现为工程师,主要研究方向为雷达信号处理。

CHEN Juan was born in Shishou, Hubei Province, in 1984. She received the M.S. degree in 2008. She is now an engineer. Her research direction is radar signal processing.