文章编号:1001 - 893X(2012)05 - 0822 - 05

LTE/GSM 多模基站收发信台数字中频模块故障诊断的新方法*

徐婷婷,王小港,郭 亮

(上海贝尔股份有限公司,上海 201206)

摘 要:针对 LTE/GSM 多模基站收发信台(BTS)开发中 FPGA 数字中频模块故障诊断的需求,开发了一种基于以太网数据通信接口,利用 Matlab 软件直接存取 FPGA 内部寄存器值,并且可以连续采集数字中频模块内部关键节点大块数据的软硬件协处理方法,从而快速定位数字中频信号链路的调测问题并帮助排除故障。这种诊断方法无缝集成在 FPGA 设计中,可以在 BTS 测试开发的各个阶段采用,不需要额外设备及接口。在 LTE/GSM MSR(Multi - Standard Radio)项目中利用该诊断技术完成了数字中频模块上下行信号处理链路频谱异常等故障的诊断与定位。

关键词:多模基站;基站收发信台;数字中频模块;故障诊断;协处理

中图分类号:TN911.72 **文献标志码**:A doi:10.3969/j.issn.1001 - 893x.2012.05.044

A New Fault Diagnosis Method for Digital IF Module in LTE/GSM Multi-standard Radio Base Transceiver Station

XU Ting-ting, *WANG Xiao-gang*, *GUO Liang*

(Alcatel-Lucent Shanghai Bell Co., Ltd., Shanghai 201206, China)

Abstract: A new fault diagnosis method is developed based on ethernet co - simulation protocol by using Matlab tool, according to the requirement in the LTE/GSM Multi - Standard Radio Base Transceiver Station (BTS) development. When this co - simulation method between hardware and software is utilized, the Matlab can access the registers in the FPGA directly and can trace a large block of data of key points refer to the problems. The diagnosis module is integrated into FPGA seamlessly, and it can be used in all the development phases of the BTS test and qualification procedure with no other devices and interfaces needed. By using this diagnosis method, several practical problems have been solved during the FPGA and BTS development.

Key words: multi - standard radio base; base transceiver station; digital IF module; fault diagnosis; co - simulation

1 引 言

3GPP 长期演进(LTE)项目是近两年来 3GPP 启动的最大的新技术研发项目,这种以 OFDM/FDMA 为核心的技术可以被看作“准 4G”技术。LTE 技术可以提供高于 3G 速率几十倍、接续时延更短的无线业务体验,实现上/下行分别超过50 Mbit/s和100 Mbit/s的传输速率和更好的端到端质量保障[1-2]。今天,有超过 49 个 LTE 网络已经开始商业运营在全球各个国家,有超过 269 款 LTE 终端由各个厂商发布面市。可以看到,LTE 的全球化发展已是大势所趋。业界各通信设备厂商都纷纷抓住网络技术更新换代这一大好机

* **收稿日期**:2012 - 01 - 04;**修回日期**:2012 - 03 - 21
基金项目:核高基国家科技重大专项(2009ZX01031 - 002 - 002 - 002)
Foundation Item: The National Science and Technology Major Project of the Ministry of Science and Technology of China (2009ZX01031 - 002 - 002 - 002)

遇,加快技术创新步伐,提高市场开拓能力,力求在 LTE 时代占有自己的一席之地。

另一个无线技术发展的热点就是软件无线电(Software Defined Radio,SDR)。软件无线电就是宽带模数及数模变换器(A/D 及 D/A)、大量专用/通用处理器、数字信号处理器(Digital Signal Processor,DSP)构成尽可能靠近射频天线的一个硬件平台。在硬件平台上尽量利用软件技术来实现无线电的各种功能模块并将功能模块按需要组合成无线电系统。该平台架构被广泛应用于 BTS 的开发中,便于 BTS 的升级和更新换代,特别适用于多种标准共存的情况下。LTE/GSM 多模 BTS 正是在这样的背景及基础上,通过对原来 GSM BTS 的升级应运而生的。其中,数字中频模块是在 FPGA 芯片实现的。FPGA 以高速复杂逻辑处理能力见长,同时凭借其超大规模的单芯片容量和硬件电路的高速并行运算能力,在信号处理方面也显示出优势。数字中频模块的升级,主要是由原来支持 6 路 GSM 载波升级到支持 1 路 LTE 载波加 2 路 GSM 载波。

FPGA 的故障诊断在整个 FPGA 的开发过程中是重点和难点。目前,FPGA 开发过程中的诊断手段主要是前期的 RTL 代码仿真,而上板测试阶段主要有 3 种方法:利用主控 CPU 读取 FPGA 寄存器的状态值或修改寄存器的配置值;利用 FPGA 厂商提供的嵌入式逻辑分析仪添加需要观测的信号;利用外接引脚连接逻辑分析仪观测相应引脚的信号。这 3 种方法要依赖于 CPU 软件或外部接口,在系统测试阶段都不够灵活,并且不能实现大块数据的采集。而本文提出的基于以太网接口采用 Matlab 软件实现的软硬件协处理诊断技术,由于利用了板上的 DDR2 存储器,因此只需要编写简单的 Matlab 脚本语言,利用一个以太网接口,就可以实现 FPGA 内部寄存器的存取及信号链路各节点大块数据的采集。相比其他的诊断方法,该方法只需要一个以太网接口,实现方式简单灵活。

2　FPGA 数字中频模块

2.1　模块功能

在 LTE/GSM BTS 中,FPGA 实现的数字中频模块支持 GSM 和 FDD LTE 两种协议,其实现结构如图 1 所示,其中既包含两种协议数字中频的独立处理链路,也包含公共的组合处理链路[3-4]。

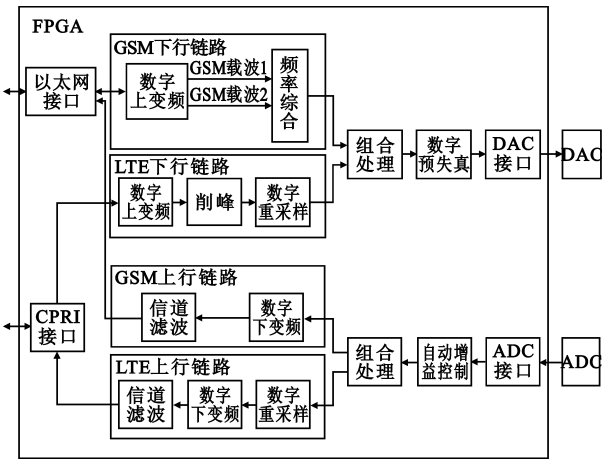

图 1　LTE/GSM BTS 数字中频功能结构图

Fig.1 Function structure of digital IF module in LTE/GSM BTS

从图 1 中可以看到,GSM 下行链路主要包括数字上变频和 2 路载波的频率综合,而 LTE 主要包括数字上变频、削峰及数字重采样,两者在相同的采样频率下合并进入组合处理模块,再进行数字预失真处理,最后经 DAC 接口模块输出到 DAC。其中 GSM 的基带数据来自以太网接口,LTE 的基带数据来自 CPRI(Common Public Radio Interface)接口。

上行链路的处理则是从模拟端 ADC 进入 ADC 接口,经自动增益控制模块,再到组合处理模块,组合处理根据不同的频点偏移,分别提取出 2 路 GSM 载波和 1 路 LTE 载波。GSM 的上行处理主要是数字下变频、信道滤波及以太网接口部分,LTE 的上行处理主要是数字重采样、数字下变频、信道滤波及 CPRI 接口。

数字中频模块包含了大量的数字信号处理,本文提出的诊断方法是利用 Matlab 工具软件来存取寄存器及采集大块数据,而 Matlab 的一大优势就是数字信号处理,因此,利用该方法采集到的数据可以直接在 Matlab 工具环境里利用 Matlab 丰富的信号处理函数进行分析处理。

2.2　FPGA 接口环境

在 LTE/GSM BTS 系统中,FPGA 实际充当了 DSP 的协处理器的角色(即 DSP 为主控 CPU),FPGA 几乎与板上不同接口标准的其他芯片都有接口,除了实现数字中频这个主要功能,DSP 还通过 FPGA 控制其他芯片。FPGA 与 DSP 的接口是通过以太网交换芯片。DSP 要实现各种不同的功能,如控制指令或基带数据的发送和接收,其与 FPGA 之间的通信交互都是通过以太网包的形式进行的。不同的应

用,需要定义不同类型的以太网包。在这样的设计基础上,本文提出了一种软硬件协处理诊断方法,该方法基于协处理协议自定义了一种特殊的以太网包类型,对于这一类型的以太网包,Matlab 可以接替 DSP 的角色,直接实现与 FPGA 的通信交互。

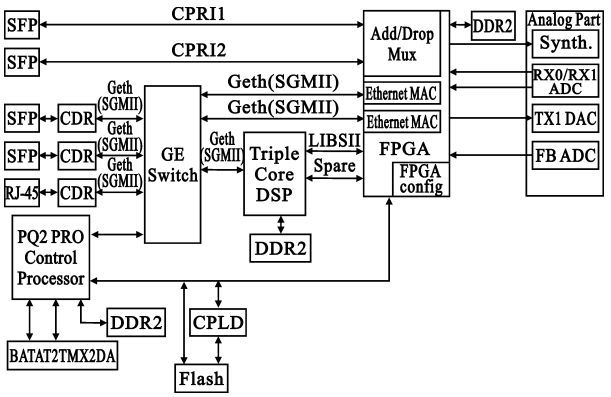

图 2 FPGA 与板上其他器件的接口

Fig.2 Interfaces between FPGA and other devices

3 协处理的原理与实现

3.1 协处理协议介绍

基于 Ethernet 的软硬件协处理协议,简称为 Co – simulation 协议,为点对点通信,Xilinx 的 System generator 工具可支持并可集成到 Matlab 软件。表 1 所示为一典型的以太网帧结构,对于 Co – simulation 协议,会针对不同的命令和响应对以太网类型字段和载荷字段进行进一步的自定义[5]。为了将 Co – simulation 协议的数据与其他业务的以太网包相区分,根据协议,本文定义了 0x3100 的以太网包类型。

表 1 以太网帧结构

Table 1 Ethernet II frame

目的地址	源地址	以太网包类型	载荷	帧校验
6 byte	6 byte	2 byte 0x3100	$(2+4m)$byte 见表 2	4 byte

载荷字段的定义包含了 Co – simulation 协议标志符和协议数据两部分,如表 2 所示。由于 FPGA 硬件协处理接口的数据位宽为32 bit,因此协议数据的长度总是4 byte的整数倍。Co – simulation 协议标志符指示了协议数据的类型,本设计中用 0xABCD 指示该 0x3100 包为 Co – simulation 命令或 Co – simulation 响应。主处理器通过硬件协处理接口发送命令包给 FPGA,让 FPGA 执行一系列相应的命令。同时 FPGA 也可以通过硬件协处理接口回送响应包给主处理器。

表 2 以太网载荷的定义

Table 2 Ethernet payload

Co – simulation 协议标志符	Co – simulation 协议数据
2 byte	$4m$ byte

0xABCD:Co – simulation 命令/响应

主处理器根据协议配置好相应的数据,就可以对 FPGA 内相应的地址映射空间发起读写命令进行存取操作。一个 0x3100 命令包可以包含多条读写指令。FPGA 内的硬件协处理接口会按次序顺序执行接收到的指令。

3.2 Co – simulation 协议的 FPGA 实现

对于协处理的诊断方法,Co – simulation 协议的 FPGA 实现是重点。在本文的 FPGA 设计中,需要在以太网接口模块完成该功能。以太网接口模块负责处理 CPU 通过以太网包对 FPGA 的读写操作,以及业务数据的发送和接收。该模块的更新设计中,Co – simulation 协议部分采用了 Xilinx 提供的 IP 核,所有的存取操作都是通过地址映射进行的。对于业务数据的处理,在模块内部还需经过 FIFO 来实现时钟域的转换。其中,FPGA 发送业务数据到 CPU 的过程是由 FPGA 自主发起的,无需 CPU 发起读请求。

以太网接口模块通过 SGMII – 1 接口与板上的以太网交换芯片相连,通过 local link 接口与 FPGA 内部的其他模块相连。从图 3 中,我们看到有一路数据经 local link 到 Co – simulation Processor,再到地址映射模块。类型为 0x3100 的包走的就是该数据路径。在本文所述的协处理诊断方法中,Matlab 代替 CPU 与地址映射模块交互。在该诊断方法中,FPGA 将为相应的主处理器开放整块的地址映射空间,供主处理器进行读写操作,此时,Matlab 对该映射空间的操作将没有任何限制。

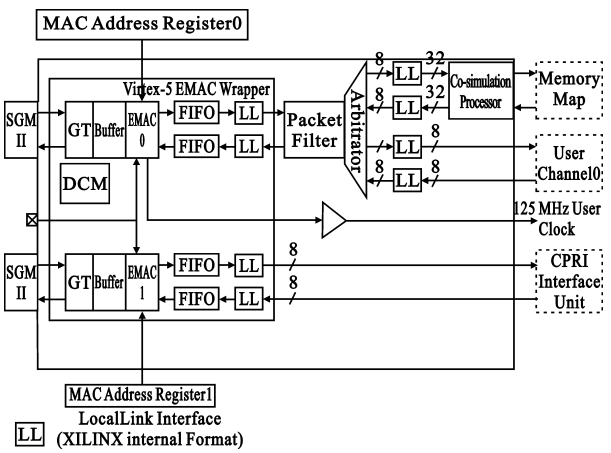

图 3 以太网接口模块框图

Fig.3 Ethernet co – simulation module diagram

4　诊断方法所需的其他模块

4.1　Ethernet 地址映射模块

从图 3 中,我们看到所有从 Co – simulation 处理器上传和下发的数据都是通过地址映射模块再到 FPGA 内部的各个模块的。在 BTS 系统中,DSP 与 FPGA 的数据交互都是通过以太网包,因此,在 FPGA 设计之初,为 FPGA 内部的各个功能模块都定义了相应的地址映射空间,为所有需要直接存取访问的寄存器都分配了相应的地址空间。通过协处理的诊断方法,我们可以对一个模块的整块地址空间进行存取操作。

4.2　数据采集模块

协处理诊断方法的另一特点就是大块数据的采集,这就需要数据采集模块的开发。该模块完成了对 FPGA 实现的中频处理模块内部某些关键节点的数据进行采集。

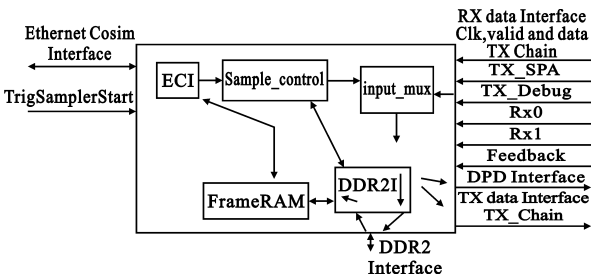

图 4　数据采集模块框图

Fig.4 Sampler module diagram

从图 4 可以看出,数据采集模块包含发送和接收数据两部分功能。首先,接收功能包括采集 TX – path、RX ADC 及 FB ADC 3 个节点的信号。模块工作时,节点的选择是通过配置 source_select 寄存器,采集数据的长度再通过配置长度寄存器。采集到的数据会首先存储到 DDR2 – RAM,存储的起始地址会存放在接收地址寄存器。DDR2 – RAM 的存储容量为512 Mbyte,因此可以根据具体的诊断需要来配置长度寄存器的值。所有需要采集的信号都会有一个高电平有效的同步信号。由于需要采集的信号可能处于不同的时钟域,因此,数据采集模块内部会利用 FIFO 来进行时钟域的同步。DDR2 – RAM 中的数据是通过 Frame – RAM 来分块读取的。系统为 Frame – RAM 定义了2 048 byte的数据空间,其中地址空间为 512,数据位宽为32 bit,该 512 的地址空间就是接收数据的地址映射空间,DSP/Matlab 就可以通过 Co – simulation 接口多次存取该空间的整块数据,完成大块数据的存取。图 4 中的 ECI(Ethernet Co – simulation Interface)即为上一小节的地址映射模块,每一个 FPGA 功能模块都会包含一个这样的模块。其次,数据采集模块的另一个功能是通过 DDR2 – RAM 发送数据到 TX – chain,该功能的处理流程是主处理器通过以 ECI 接口写数据到 Frame – RAM。

5　诊断方法的应用

5.1　项目中应用

该软硬件协处理的 FPGA 诊断方法被应用于 LTE/GSM MSR 项目的各个阶段。图 5 所示为 MSR (Multi – Standard Radio)项目的层一系统集成测试验证平台。可以看到,在该平台上,很难采用常用的 FPGA 诊断方法。在项目初期,DSP 的程序还未开发完成时,我们利用该方法,通过 Matlab 来配置 FPGA 的控制寄存器,并通过读取状态寄存器来检查 FPGA 的工作状态。通过一个 Matlab 脚本,我们可以方便地完成寄存器的配置和读取。在测试验证阶段,我们主要利用该方法来诊断 FPGA 中频处理模块出现的问题,进行定位和分析。在下行信号链路的测试中,当发现频谱仪上的信号异常时,我们会通过该方法来采集 DAC 之前的数字信号,并在 Matlab 里分析,从而快速地对问题是由 FPGA 的下行数字信号处理链路引入的还是模拟部分引入的作出判断。如果问题是由数字部分引入的,就进一步展开更深入的分析,如算法模型的进一步仿真分析,或是 RTL 仿真分析。在上行信号链路的测试中,当我们发现接收到的数据异常时,我们会利用该协处理的方法采集 ADC 之后的数字信号,并在 Matlab 分析,查看该节点的信号有无问题,若无问题,该信号则会作为测试矢量,用于提供给上行信号链路的算法模型或 RTL 代码作仿真用;若该节点有问题,则可以判断是模拟部分的处理出现问题。这种分段定位诊断问题的方法在项目开发过程中提高了诊断定位问题的效率,实践证明非常有效。

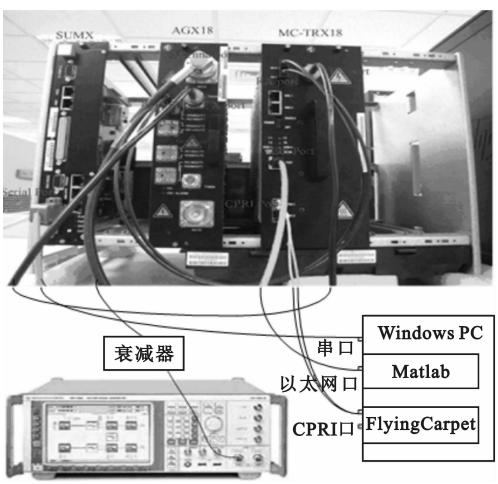

图 5　LTE/GSM MSR 测试平台

Fig.5 Test platform of LTE/GSM MSR

5.2 应用实例

以下用一个 FPGA 数字中频诊断的实例做进一步具体说明。图 6 所示为利用该诊断方法诊断具体故障的 Matlab 工作环境。图中右侧所示的例子为,在测试10 MHz带宽的 LTE 上行链路时,实际信号发生仪发出的有用信号的带宽为5 MHz,而在 CPRI 接收侧,分析接收到的数据时,发现有用信号的右侧有一个镜像频谱,如图 6 右上方的波形所示。利用协处理的诊断方法,在 ADC 之后利用数据采集模块采集数据,发现模拟部分输出的数据频谱如图 6 右下方所示,有用信号为5 MHz,没有镜像频谱,说明该问题为数字中频模块引入。因此,我们利用采集到的数据作为数字中频模块的仿真激励,对数字中频模块进行 RTL 仿真,发现该问题是由 LTE 上行信号链路的数字重采样模块引入的。该子模块主要功能是实现数字重采样及时钟域的转换。模块输出接口负责时钟域转换的 FIFO,其中 I 支路和 Q 支路的 FIFO 处理机制不一致,Q 支路的 FIFO 会发生溢出,导致 I 支路和 Q 支路的数据不对称,从而引起问题。

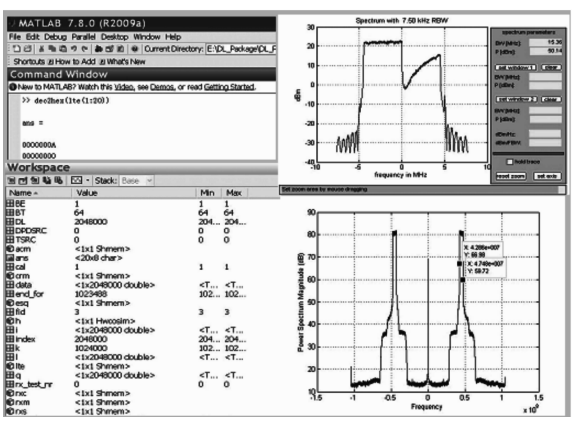

图 6 Matlab 工作环境及故障诊断举例
Fig.6 An example and results in Matlab

6 结 论

本文所论述的基于以太网接口采用 Matlab 软件对数字中频 FPGA 设计进行故障诊断的方法在 LTE/GSM MSR 项目开发的各个阶段均被采用。在项目之初,DSP 软件没有开发完成时,利用该方法使用 Matlab 软件和以太网接口完成数字中频模块的寄存器配置及状态寄存器的查询。在集成测试的系统验证阶段,通过采集和分析关键节点的信号数据,使中频处理模块上下行链路输出异常的问题能快速定位,并为仿真提供了真实的激励。受 FPGA 内部资源的限制,该方法用到的数据采集模块中的采集节点数量相对有限,因此,数字中频设计内部具体子模块的故障定位还需要结合 RTL 仿真分析才能最终定位。由于该方法易用且不需要额外硬件接口,被应用于本公司多个 MC(Multi - Carrier)项目中。对于该协处理的诊断方法,只要在 FPGA 设计中包含有支持 Co - simulation 协议的处理模块,就可以普遍应用于 FPGA 数字系统的故障诊断。

参考文献:

[1] 3GPP TS 36.104 v9.5.0, Base Station (BS) radio transmission and reception (Release 9)[S].
[2] 3GPP TS 36.141 v9.5.0, Base Station (BS) conformance testing (Release 9)[S].
[3] 3GPP TS 37.104 v9.3.0, Multi - Standard Radio (MSR) Base Station (BS) radio transmission and reception (Release 9)[S].
[4] 3GPP TS 25.104 v9.4.0, Base Station (BS) radio transmission and reception (FDD) (Release 7)[S].
[5] Chan C B, Ballagh J B, Shirazi N, et al. Point - to - Point Ethernet hardware co - simulation interface: US, 7, 636, 653[P/OL]. 2009 - 12 - 22. http://www.google.com/patents/US7636653.

作者简介:

徐婷婷(1982—),女,江苏人,硕士,工程师,主要研究方向为无线通信系统中频数字化技术;

XU Ting - ting was born in Jiangsu Province, in 1982. She is now an engineer with the M.S. degree. Her research concerns the digital IF technology in wireless communication systems.

Email: tingting.xu@alcatel - sbell.com.cn

王小港(1973—),男,河北人,博士,现为上海贝尔股份有限公司 ASIC/FPGA 设计工程师,主要从事有线/无线通信系统的 ASIC/FPGA 研发;

WANG Xiao - gang was born in Hebei Province, in 1973. He is now an engineer with the Ph.D. degree. His research concerns R&D of ASIC/FPGA and system design experience in wire/wireless communication system.

郭 亮(1972—),男,浙江人,硕士,高级工程师,主要研究方向为数字集成电路/FPGA 设计。

GUO Liang was born in Zhejiang Province, in 1972. He is now a senior engineer with the M.S. degree. His research concerns digital ASIC/FPGA design.