

文章编号:1001-893X(2012)05-0818-04

采用低端 FPGA 实现直接数字频率合成的优化设计^{*}

李可为,张玉平

(成都工业学院 通信工程系,成都 611730)

摘 要:当前大多数 DDS 实现方案要满足工程要求,成本和复杂度都很高。为此,提出一种基于相位合成利用低端 FPGA 实现 DDS 的优化设计方案,介绍了其硬件和软件实现。实测结果表明,所设计的 DDS 功耗低,输出信号频率稳定度高,频率转换速度快,输出频点灵活,任意设置信号波形效果好,能普遍应用于通信调制、仪表检测、信号发生中。

关键词:直接数字频率合成;频率转换;任意波形发生;低端 FPGA

中图分类号:TN74 **文献标志码:**A doi:10.3969/j.issn.1001-893x.2012.05.043

Optimized Design of a Direct Digital Frequency Synthesizer Based on Low-end FPGA

LI Ke-wei, ZHANG Yu-ping

(Department of Communication Engineering, Chengdu Technological University, Chengdu 611730, China)

Abstract: Most existing DDS design schemes are costly and complex to satisfy engineering requirements. In this paper, an optimization design based on phase synthesis and low-end FPGA is proposed. The hardware and software design are provided. Test results show that the designed DDS consumes low power and can output stable signal, convert frequency fastly, output flexible frequency signals and has good effect in setting arbitrary waveforms. It can be widely applied in communication signal modulation, instrument detection and signal generation.

Key words: DDS; frequency conversion; arbitrary waveform generation; low-end FPGA

1 引 言

频率合成器广泛地用于通信和电子仪器中,常见的频率合成技术包括初期的 RC、LC 振荡电路和被人们熟知的锁相环(PLL)技术,以及直接数字频率合成(DDS)技术^[1]。DDS 技术以其相位噪声低、频率稳定度高、频率转换速度快、低功耗、输出频点灵活、集成度高、成本低等优势被广泛采用,而且为了满足高速数据处理的需求,对 DDS 技术合成的频率要求也越来越高。之前基于单片机和 DDS 芯片的快速频率合成方案^[1]已不能满足实际工程的需要,所以 DDS 频率合成技术正在向基于 FPGA 实现快速频率合成方案趋近^[2]。用 FPGA 实现 DDS 技术比较

灵活,可以产生任意信号波形,可以实现多种 DDS 专用芯片的功能,并且可以任意组合这些功能。但是大多数通过 FPGA 实现 DDS 技术要满足实际工程要求,对软、硬件和成本要求都很高,所以本文给出了一种利用低端 FPGA 实现 DDS 的优化设计。该方案系统原理简单,易于实现,软、硬件成本低。

2 DDS 组成及工作原理

DDS 主要由频率控制器、相位累加器、各种波形的 ROM 表、D/A 及低通滤波器、放大电路构成,系统原理框图如图 1 所示。其中, K 为频率控制字(控制生成波形信号的频率), N 为地址(寻址 ROM 的地址), P 为相位控制字(控制生成波形信号的初始相

^{*} 收稿日期:2011-12-21;修回日期:2012-04-26

位), F_c 为参考时钟频率。累加器在 F_c 的驱动下以频率控制字 K 为步长做累加, 输出变化的地址量 N ; 加法器通过 P 改变波形的相位(即波形 ROM 的初始地址); 变化的 N 对波形 ROM 进行寻址, 波形 ROM 输出事先将存储的波形经抽样量化以后所得到的值, 再经 D/A 转换为阶梯波形, 再经过低通滤波器平滑后就可以得到合成的信号波形。

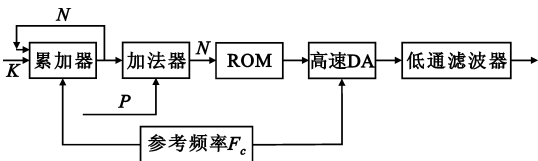


图 1 DDS 原理框图
Fig.1 Schematic diagram of DDS

- 目前通常使用的频率合成技术有两种^[3]。
- (1)从频率的角度合成,即通过改变读取波形量化表的频率来改变生成波形的频率。该方法优点是实现简单,但信号频率受限于读取波形量化表的频率。因此该法通常用于所需频率不高、特定固定频率的场合。
- (2)从相位的角度合成,本文主要讲述相位合成的实现。
- 下面介绍基于相位合成实现 DDS 的原理。设系统的时钟频率为 F_s , RAM 存储波形表的深度为

N , 频率控制字为 K , 累加相位为 $Step$, 输出波形频率为 F_o 。在相同时间内且 F_s 、 N 、 K 均不变的前提下, 要得到 DDS 输出频率为 F_o , 输出波形输出的相位为 $2\pi \times F_o$, 系统提供的总相位为 $2\pi \times F_s$, 则有:

$$Step = (2\pi \times F_s / N) / (2\pi \times F_o) \tag{1}$$

经化简得:

$$F_o = F_s \times Step / N \tag{2}$$

例如:假设 F_s 为 100 MHz, N 为 1 024, $Step$ 为 2, 则 F_o 输出约为 20 kHz; 若将 $Step$ 改为 4, 则 F_o 输出约为 40 kHz。

由式(2)可以得出结论:在 F_s 、 N 一定的前提下, 可以改变 $Step$ 的值得到不同的输出频率 F_o , 或者灵活配置 F_s 、 N 、 $Step$ 的值得到需要的输出频率。

对于 FPGA 而言, 可以通过内部 PLL 得到一个频率较高且稳定的 F_s , 可以使用 FPGA 自带片内灵活、丰富的 ROM 资源实现波形存储, 可见基于低端 FPGA 的 DDS 实现是可行的。

3 系统主要硬件电路设计

(1)主控系统

频率合成部分以 FPGA 为核心, 本设计采用 Altera 公司的 Cyclone_1 EP1C3T144C8 作为系统的核心。该款 FPGA 芯片具有逻辑资源丰富、价格适宜、配置简单的优点, 其主控系统电路原理如图 2 所示。

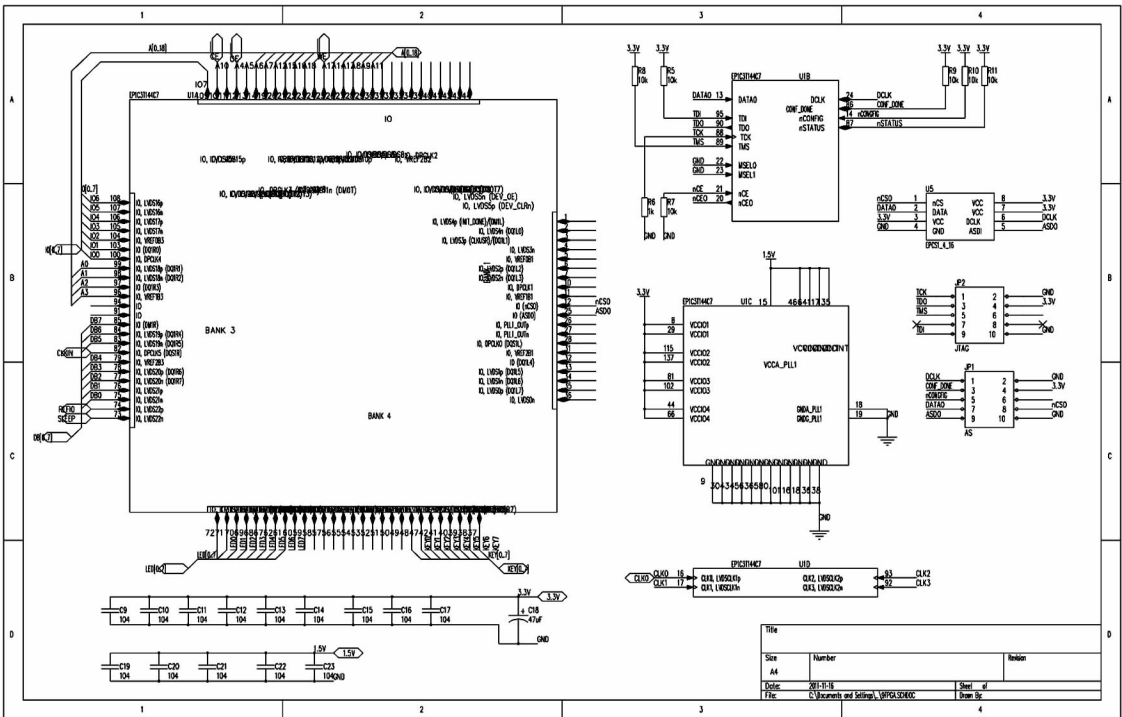


图 2 主控系统电路原理图
Fig.2 The control system circuit

(2)高速 DA 系统

高速 DA 的电路原理如图 3 所示。因为从 FPGA 的 ROM 表中读出是波形的量化值,该值为数字量,因此我们需要使用 DA 将波形输出,而此处考虑到本设计

输出最大频率为50 MHz,因此需采用高速的 DA。本设计采用的是 AD 公司的 AD9708,该芯片更新速率及低廉的价格能很好地符合我们的应用,并且可通过控制 DA 参考电压的方法来实现波形幅度的调节。

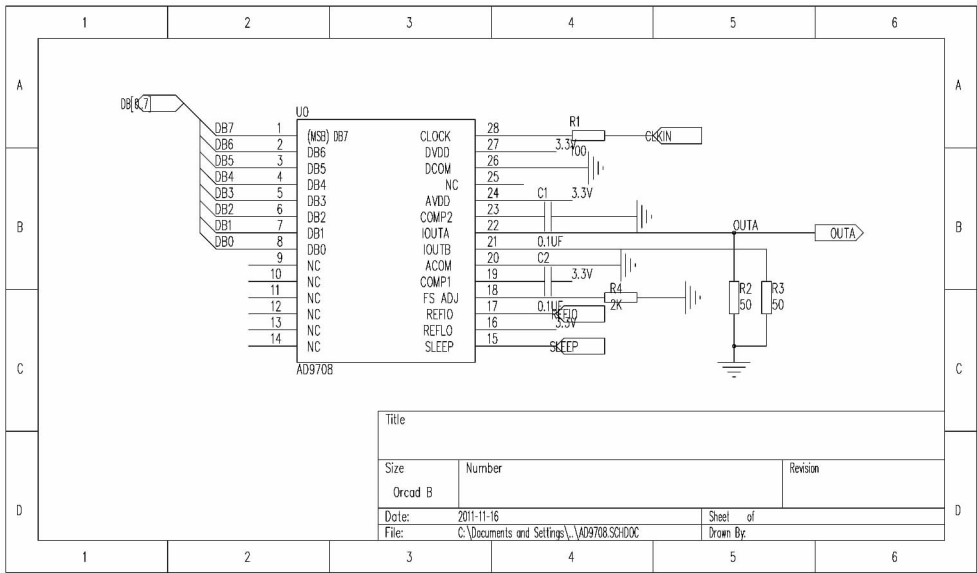


图 3 高速 DA 原理图
Fig.3 Circuit of high speed DA

(3)滤波系统^[4]

滤波电路采用 Chebyshev 10 阶无源滤波电路,其结构如图 4 所示。

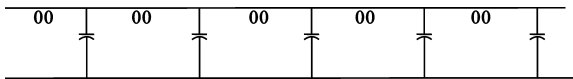


图 4 滤波电路结构图
Fig.4 Structure of filter circuit

从 DA 转换出来的波形会带有多次谐波,因此需要使用滤波电路来滤掉这些无用的干扰,从而保证波形平稳,而采用多阶滤波可以使波形的变化更陡峭,陡降系数更好。

4 系统软件设计

系统软件模块根据系统整体划分为四大部分:相位步进值设置及系统交互模块 sys_control,锁相环模块 PLL,读取地址生成 create_addr 及波形量化数据存储 ROM。

系统顶层代码如下:

```
module DDS(  
    sys_clk,rest_n,key_in,key_en,locked,  
    data_out,step_cs,step_dis  
);
```

```
inputsys_clk,rest_n,key_in,key_en;  
outputlocked;  
output[3:0] step_cs;  
output[7:0] data_out,step_dis;  
wireSYNTHESIZED_WIRE_0,SYNTHESIZED_WIRE_1,  
SYNTHESIZED_WIRE_4;  
wire[7:0] SYNTHESIZED_WIRE_2;  
wire[9:0] SYNTHESIZED_WIRE_3;  
creat_addrb2v_inst(  
    .sys_clk(SYNTHESIZED_WIRE_0),  
    .rest_n(rest_n),  
    .step_en(SYNTHESIZED_WIRE_1),  
    .step(SYNTHESIZED_WIRE_2),  
    .addr_out(SYNTHESIZED_WIRE_3));  
RAM_sinh2v_inst1(  
    .in_addr(SYNTHESIZED_WIRE_3),  
    .data_out(data_out));  
sys_pll2v_inst2(  
    .inclk0(sys_clk),  
    .areset(SYNTHESIZED_WIRE_4),  
    .c0(SYNTHESIZED_WIRE_0),  
    .locked(locked));  
assignSYNTHESIZED_WIRE_4 = ~rest_n;  
sys_controllb2v_inst4(  
    .sys_clk(sys_clk),  
    .rest_n(rest_n),
```

```
.key_in(key_in),
.key_en(key_en),
.step_en(SYNTHESIZED_WIRE_1),
.step_cs(step_cs),
.step_dis(step_dis),
.step_out(SYNTHESIZED_WIRE_2));
Endmodule
```

5 测试及结果分析

将整个通过编译的工程用 Quartus9.0 软件打开,进行全编译,通过 Quartus 软件自带的仿真器仿真。由于工程代码仿真波形较复杂,下面的图片只提取了最重要的信号波形进行说明。在仿真中,为了能够简单、明了地观察仿真结果,从仿真开始,整个系统处于复位状态,延时一段时间后,撤销复位状态,整个系统开始工作。在系统时钟设置为 100 MHz 的前提下,进行仿真。

为了方便观测仿真结果,分别给出当 Step 为 7 和 20 时的仿真波形,如图 5 和图 6 所示。

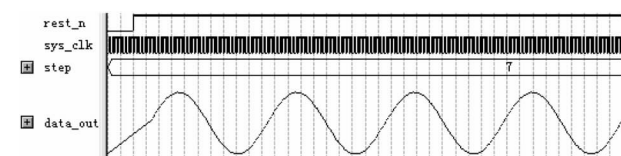


图 5 Step 为 7 时, data_out 输出仿真波形

Fig.5 The output waveform of data_out when Step = 7

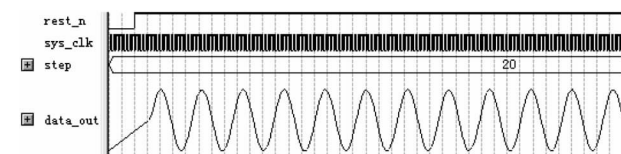


图 6 Step 为 20 时, data_out 输出仿真波形

Fig.6 The output waveform of data_out when Step = 20

从仿真波形可见:通过改变 Step 的值(即从相位合成实现 DDS),可以得到不同的输出频率;相应地,将波形 ROM 中抽样量化波形值替换为其他波形的抽样量化波形值,不但可以实现任意波形 DDS,且输出波形频率可以灵活改变。

结果表明:采用低端 FPGA 实现直接数字频率合成的优化设计,从相位的角度入手的优化设计是可行的,简化了复杂的实现步骤与处理方法,得到了同样的效果。该优化设计频率分辨率高,输出频点多(可达 2^N 个, N 为波形 ROM 的地址位宽);频率切换速度快,可达微秒量级;可以实现任意波形发生;输出相位噪声低,对参考频率源的相位噪声有改善作用;可以产生正交信号;全数字化实现,便于集成,体积小,重

量轻,适于模块化应用在实际工程项目中。

6 结 语

本方案利用低端 FPGA 实现 DDS 的优化设计的实际电路样品经测试,输出波形稳定、精度高,系统原理简单,软、硬件复杂度不高,达到了预期的设计要求。通过在程序中增加相应的功能算法,可实现波形任意发生、频率灵活可调、输出波形频带宽、容易移植及扩展,因此,具有很好的应用价值。

参考文献:

- [1] 史彦斌.软件无线电技术基带信号处理的研究[D].西安:西北工业大学,2006.
SHI Yan-bin. Research on SDR baseband signal processing [D]. Xi'an: Northwestern Polytechnical University, 2006. (in Chinese)
- [2] 任晓东. CPLD/FPGA 高级应用开发指南[M].北京:电子工业出版社,2003.
REN Xiao-dong. CPLD/FPGA senior application development guide[M]. Beijing: Publishing House of Electronic Industry, 2003. (in Chinese)
- [3] 宋晶晶.基于 FPGA 的信号源设计与实现[J].无线电工程,2003,33(4):27-29,32.
SONG Jing-jing. Design and Implementation of Signal Source Based on FPGA [J]. Radio Engineering of China, 2003, 33 (4): 27-29, 32. (in Chinese)
- [4] 张永顺,童宁宁,赵国庆.雷达电子战原理[M].北京:国防工业出版社,2006.
ZHANG Yong-shun, TONG Ning-ning, ZHAO Guo-qing. Principles of Radar Electronic Warfare [M]. Beijing: National Defense Industry Press, 2006. (in Chinese)

作者简介:

李可为(1961—),男,吉林省吉林市人,2002 年于日本金泽大学获工学硕士学位,现为副教授、成都工业学院通信工程系主任,主要研究方向为芯片设计和信号处理方向的研究;

LI Ke-wei was born in Jilin, Jilin Province, in 1961. He received the M.S. degree from Kanazawa University, Japan, in 2002. He is now an associate professor. His research concerns chip design and signal processing.

张玉平(1976—),男,四川彭州人,2009 年于西南交通大学获工学硕士学位,现为副教授,主要研究方向为通信信号处理与智能控制。

ZHANG Yu-ping was born in Pengzhou, Sichuan Province, in 1976. He received the M.S. degree from Southwest Jiaotong University in 2009. He is now an associate professor. His research concerns communication signal processing and intelligent control.

Email: zhangyupingce@163.com