

文章编号:1001-893X(2012)05-0796-04

一种基于 openVPX 的通用信号处理平台设计^{*}

许烈华

(中国西南电子技术研究所,成都 610036)

摘要:针对大总线带宽及高运算能力的应用需求,给出了一种新的信号处理平台的硬件设计方案。处理平台总体架构满足 openVPX 标准,采用 Level II 的 RapidIO 总线和双星型的 RapidIO 交换网络,利用高性能的 DSP 和 FPGA 处理芯片,处理平台的总线带宽可达到 37.8 Gbit/s。处理平台具有很强的灵活性和一定的通用性,且已在工程中成功应用。

关键词:信号处理平台;交换网络;openVPX;RapidIO;总线带宽;信号完整性

中图分类号:TN911 **文献标志码:**A doi:10.3969/j.issn.1001-893x.2012.05.038

Design of a General Processing Platform Based on openVPX

XU Lie-hua

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: For application requirement of large bus bandwidth and high computation power, a new signal processing platform hardware design is given. The overall processing platform architecture meets openVPX standard. By using the Level II RapidIO bus and dual-star RapidIO switching network, as well as high-performance DSP and FPGA processing chip, the bus bandwidth of the processing platform is up to 37.8 Gbit/s. The processing platform has great flexibility and versatility, and has been successfully applied in engineering.

Key words: signal processing platform; switch network; openVPX; RapidIO; bus bandwidth; signal integrity

1 引言

基于传统分级共享式并行总线的处理平台(如 CPCI、VME 等平台),总线时钟频率和总线接口宽度决定了处理平台的基本性能,为尽可能提高性能,器件厂家推出了一系列的改进,如提高总线时钟频率、拓宽总线接口宽度等。比如 PCI 总线速度从 33 MHz 提高到 66 MHz,总线宽度从 32 bit 变成 64 bit。虽然这些改进对性能有一定的改善,但是能力有限,且任意节点间不能自由通信,导致系统设计不够灵活。正因为此,基于共享式并行总线的处理平台的发展已受到瓶颈限制,达到了其极限性能。但是随着通信带宽的越来越宽、雷达和图像处理分辨率的越来越高以及对实时处理性能的需求,对处理平台的性

能提出了更高的要求,需要更高的总线传输带宽、更强的运算能力和更灵活的数据交互能力^[1]。

针对这种应用需求,本文提出了一种新的处理平台解决方案,重点对该处理平台的总体构架、背板、拓扑网络和处理模块进行了详细的分析设计,给出了处理平台的总线传输带宽指标。

2 openVPX 发展历程

1987 年出现的 VME32 总线带宽达到 40 Mbit/s,为不断提高带宽,VME 进行了一系列的改进,比如后来的 VME64、VME2eSST 和 VXS,带宽分别提到了 80 Mbit/s、320 Mbit/s 和 3 Gbit/s。在 2007 年加入到 ANSI 的 VPX,采用串行 RapidIO 总线,进一步增加了带宽,同时集成了更多的 IO 和扩展了格式布局。

^{*} 收稿日期:2012-01-20;修回日期:2012-03-22

VPXREDI 主要对 VPX 的结构和制冷等方面进行规定,解决性能大幅提高的同时带来的功耗增加和可靠性降低等问题。

但是在 VPX 的推广使用过程中,发现各个厂商的模块与背板的通用性较差,同时 VPX 在初期还留有 VME 的某些痕迹,比如 VITA46.1 专门对 VME 进行了定义,再者 VPX 自身也缺乏足够的背板互连规范来支持最大化应用自身的优势。为解决这些问题,2010 年 VITA(VME 国际贸易协会组织)成员在 VPX 的基础上制定了 openVPX 标准。openVPX 仍然采用 VPX 的机械尺寸、制冷方式、供电方式和通信协议,但它对当前 VPX 市场进行了通用化的统一规定,它定义了节点、背板和模块等三大类的标准架构,每一类里面详细描述了各种应用模型。另外,在 openVPX 中,完全摒弃了 VME 的痕迹,在带宽方面进一步提高,单通道速率达 6.25 Gbit/s,同时改变了 VPX 中单一交换的网络结构,采用了多交换的网络结构^[2]。图 1 展示了 openVPX 的发展历程。

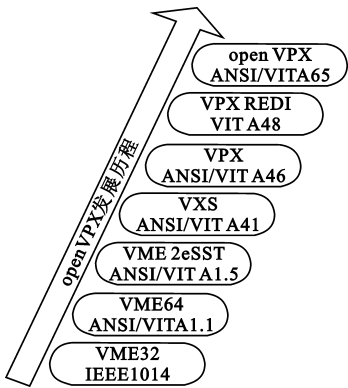


图 1 openVPX 发展历程
Fig.1 History of openVPX

3 处理平台硬件设计

3.1 总体设计

笔者在某工程应用中遇到的如下需求：

- (1)16 通道采样,实时数据总传输率 42 Gbit/s;
- (2)同时形成 8 个数字波束的运算能力;
- (3)具备数据记录、回放及 DA 转换的功能。

根据这一需求,经过大量论证和反复方案比较,最终选取了基于 openVPX 标准的处理平台方案。该处理平台主要完成 16 通道的中频信号采样、数字波束预合成、合成、校正及数据记录等功能,处理平台

的组成框图如图 2 所示。其中,主控模块完成处理平台的初始化、交换网络动态管理、状态监测和对外接口;AD 模块共 2 个,每个完成 8 通道的模拟信号的采样以及数据的预处理;处理模块共 3 个,各种算法在其上实现,一个完成左边 8 路信号的预合成,另一个完成右边 8 路信号的预合成,在第三个处理模块上完成和、差数字波束合成及校正的运算;存储模块完成数据的固态存储,以便于事后分析;DA 模块实现数字信号到模拟信号的转换,产生校正信号;交换模块为在同一数据网络上的各种模块提供数据交换,根据路由表信息完成不同模块间的数据通信。

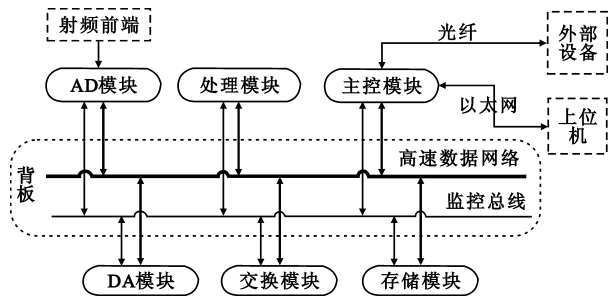


图 2 处理平台组成框图
Fig.2 Composition diagram of processing platform

模块间数据通信采用串行 RapidIO 总线^[3]。本方案中使用 RapidIO Level II 协议,单通道速率 6.25 Gbit/s。本来 RapidIO 只支持点对点的通信方式,但是处理平台中有交换模块,且交换模块为全交换结构,则可实现任意节点间多点对多点的通信。比如,处理平台中,可实现 AD 模块与处理模块间的通信,在同一时刻,也能实现存储模块与 DA 模块间的通信,前后两组间的通信完全独立同时进行。通过重新配置交换模块的路由表信息,不需要改变任何硬件,很容易实现把从 AD 模块与处理模块间的通信切换到 AD 模块与存储模块间的通信。图 3 为处理平台的 RapidIO 网络示意图。

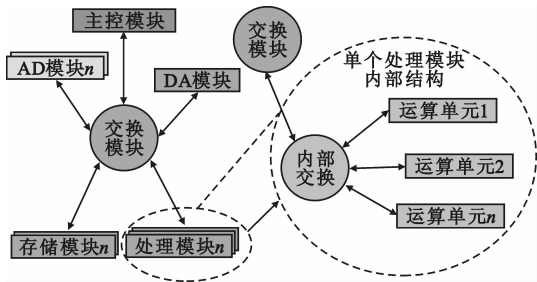


图 3 RapidIO 网络示意图
Fig.3 Diagram of RapidIO network

同样,处理模块内部也采用串行 RapidIO 交换结构,模块内不同的运算单元(比如 DSP 或 FPGA)挂在同一 RapidIO 网络上,任意运算单元可实现多点对多点的通信。采用这种架构明显的优点在于:系统对各运算单元的忙闲情况动态监测,根据监测情况,动态分配路由表,从而改变数据流的方向,最终实现动态分配运算单元的功能,使各运算单元的忙闲相对平衡。通过动态监测与分配,很容易实现并行处理,达到提高系统处理能力和效率的目的。

3.2 背板及拓扑网络

处理平台采用 openVPX 中定义的标准背板形式,背板拓扑标准为 BKP6-CEN10-11.2.4-3。背板中共定义了 5 个层,分别是扩展层、数据层、控制层、管理层和电源层^[2]。扩展层为相邻槽位间数据传输,数据层分为两种,一种是与交换槽位的连接,另一种是相邻槽位间的连接。控制层只与交换槽位有连接。管理层定义了两对差分线,每个槽位的差分线物理上连在一起。电源层用于给各模块供电。

在该处理平台中,扩展层设计为相邻槽位间 FPGA 的高速收发器(GTX)的数据传输,GTX 通道数为 8 个,每通道速率 5 Gbit/s。数据层设计为 3 个 4 × 的串行 RapidIO 接口,每通道速率 6.25 Gbit/s,与交换槽位 2 个接口,相邻槽位间 1 个接口。控制层设计为 2 个 1 × 的串行 RapidIO 接口,每通道速率为 1.25 Gbit/s。管理层设计为低速控制和监视总线用的 CAN 总线。图 4 为处理平台中高速数据通道的拓扑网络图,图中 4 个交换芯片位于交换模块上,交换模块标准为 SLT6-SWH-20U19F-10.4.1。VPX1 为主控模块,VPX2、9 为存储模块,VPX3、8 为 AD 模块,VPX4、5、7 为处理模块,VPX10 为 DA 模块。

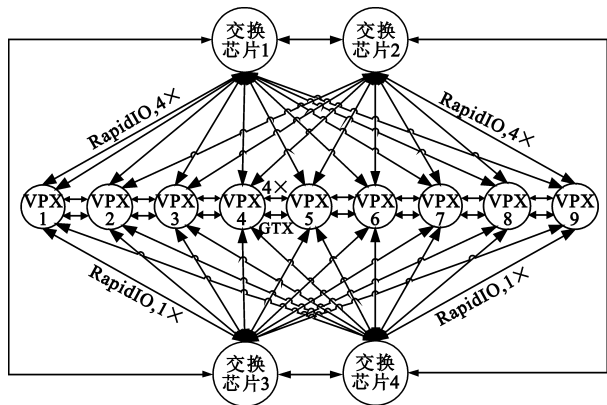


图 4 数据通道拓扑网络图

Fig.4 Network topology of data channel

该处理平台采用双星型网络拓扑。双星型网络拓扑有两个优点,一是解决单个交换芯片端口数量不够问题,二是提高了网络的可靠性,当一个网络出现问题时,另一网络可以作为备份。图 4 中上半部分为数据层的拓扑,采用 $4 \times$ 的 RapidIO 接口,每个节点模块分别有一个接口与交换芯片 1 和 2 相连。下半部分为控制层的拓扑,采用 $1 \times$ 的 RapidIO 接口,每个节点模块分别有一个接口与交换芯片 3 和 4 相连。另外,相邻模块间,还有一个 $4 \times$ 的 RapidIO 接口和 8 通道的 GTX 接口。

3.3 处理模块设计

处理模块为处理平台中的重要模块,模块符合 openVPX 中的 SLT6 - PAY - 4F1Q2U2T - 10.2.1 标准。处理模块原理框图如图 5 所示。

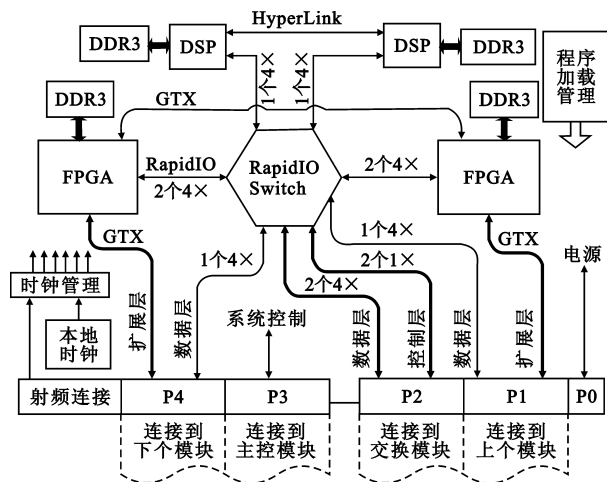


图 5 处理模块框图

Fig.5 Block diagram of processing module

模块主要由高性能的 DSP 和 FPGA 器件、交换芯片和 DDR3 存储器构成, DSP 选用 TI 公司的 C6678 芯片, FPGA 选用 Xilinx 公司 virtex6 系列的 SX315T, 交换芯片选用 IDT 公司的 CPS1848 芯片, 连接器采用 tyco 公司 VPX RT2 连接器。模块内部及对外均采用 RapidIO 接口, 单通道 6.25 Gbit/s。模块支持通过 RapidIO 网络动态加载程序。

3.4 信号完整性设计与测试

在本方案中,板内及板间的传输速率为6.25 Gbit/s,信号的上升时间在1 ns以内,信号完整性问题,诸如串扰、阻抗匹配、EMI、抖动等不容忽视。在本设计中,主要从高速印制板设计和高速信号测试等方面来分析与解决信号完整性问题。

在印制板设计方面,采用安捷伦的 ADS 仿真工具,对高速传输线、关键器件、关键接插件等进行仿真和建模。通过前仿真解决走线的阻抗连续性、过孔效应、走线间耦合等问题。在电路板已经制作后,根据测试结果,对电路板进行建模并后仿真,进而分析测试结果,指导电路板改进。

在高速信号测试方面,采用高性能的数字示波器、逻辑分析仪、误码率分析仪等对实际的信号进行测试分析,包括波形参数测量、眼图/抖动测量、一致性测量、协议分析和误码率测量等。通过测试,一方面检测系统是否满足规范和设计要求;另一方面在测试过程中,为每个器件的预加重、去加重、预均衡、均衡等参数的最佳选择提供依据。

4 性能分析

处理平台的性能主要从两方面进行分析,一是传输带宽的计算,二是运算能力的分析。传输带宽的计算分两种情况,一种是任意模块间,另一种是相邻模块间,如表 1 和表 2 所示。RapidIO 为 8B/10B 编码,因此编码效率为 0.8,且 RapidIO 基于包传输方式,除去包头开销,有效载荷数据效率只有 0.9 左右^[3]。

表 1 任意模块间传输带宽
Table1 Bandwidth between any module

通信接口	数量	每通道速率/(Gbit/s)	编码效率	传输效率	带宽/(Gbit/s)
4 × RapidIO	2	6.25	0.8	0.9	36.0
1 × RapidIO	2	1.25	0.8	0.9	1.8

表 2 相邻模块间传输带宽
Table2 Bandwidth between adjacent module

通信接口	数量	每通道速率/(Gbit/s)	编码效率	传输效率	带宽/(Gbit/s)
4 × RapidIO	3	6.25	0.8	0.9	54.0
1 × RapidIO	2	1.25	0.8	0.9	1.8
GTX	8	5.00	0.8	0.9	28.8

由表得知,任意模块间的传输带宽为 37.8 Gbit/s,相邻模块间的传输带宽为 84.6 Gbit/s。基于共享式并行总线的处理平台的带宽约为 4 Gbit/s,相比之下,带宽有数量级的提升,显著提高

了处理平台的传输带宽。
在运算能力方面,处理平台采用高性能的 DSP 和 FPGA 芯片,运算能力大大提高。FPGA 采用 40 nm 技术的 virtex6 系列的 SX315T,相比 65 nm 技术的 virtex5 系列的 SX95T,在逻辑资源、接口支持的速度、系统运行速度等方面都有较大的提升,同时功耗有所降低。

5 结 论

本文在 openVPX 标准体系下,构建了一种新型的高性能处理平台,平台采用高速串行 RapidIO 总线作为模块之间和模块内节点间的高速数据通道,采用双星型的交换网络结构,既能保证高的传输带宽,又具有高的可靠性,通过软件动态改变路由,从而改变数据流路径,可大大提高系统设计的灵活性。处理平台的总体架构与模块接口定义满足 openVPX 标准,具有较强的通用性,可应用于总线带宽和实时性要求高的宽带通信、对抗、雷达或图像处理等领域。

参考文献:

[1] 杨小牛,楼才义,徐建良. 软件无线电技术与应用[M]. 北京:北京理工大学出版社, 2010: 251 – 252.
YANG Xiao – niu, LOU Cai – yi, XU Jian – liang. Software Defined Radio Technology and Application[M]. Beijing: Beijing Institute of Technology Press, 2010: 251 – 252. (in Chinese)
[2] ANSI/VITA65 – 2010, Open VPX System Specification[S].
[3] Sam Fuller. RapidIO 嵌入式系统互连[M]. 王勇,译. 北京:电子工业出版社,2006:202 – 255.
Sam Fuller. RapidIO: The Embedded system Interconnect [M]. Translated by WANG Yong. Beijing: Publishing House of Electronics Industry, 2006: 202 – 255. (in Chinese)

作者简介:

许烈华(1979—),男,湖南衡东人,2002 年获学士学位,现为工程师,主要从事高速嵌入式系统、通信信号处理等方面的研究。
XU Lie – hua was born in Hengdong, Hunan Province, in 1979. He received the B. S. degree in 2002. He is now an engineer. His research interests include the high speed embedded system, communication signal processing, etc.
Email: lhxu_02@163.com