

文章编号: 1001 - 893X(2012)05 - 0668 - 06

## 深空通信 Ka 频段数传发射机基带电路单元实现\*

张津舟<sup>1,2</sup>, 梁显锋<sup>1</sup>, 谢 闽<sup>1</sup>, 谢春坚<sup>1</sup>, 王竹刚<sup>1</sup>, 熊蔚明<sup>1</sup>

(1. 中国科学院 空间科学与应用研究中心, 北京 100190; 2. 中国科学院 研究生院, 北京 100190)

**摘要:** 基于 Xilinx FPGA 电路的全数字化设计方案, 研制完成适用于深空通信下行链路 Ka 频段发射机中基带数据编码调制一体化电路单元。参照 CCSDS(Consultative Committee for Space Data Systems) 相关深空通信建议标准, 电路单元实现了按码速率的变化灵活选择调制方式的工作模式, 利用外部控制指令, 完成码速率 16 bit/s ~ 20 kbit/s、20 ~ 200 kbit/s、200 kbit/s ~ 2 Mbit/s 分段分别选择 PCM/BPSK/PM、NRZ/BPSK 和 SRRC - QPSK 数据调制方式。在 X 频段的测试结果表明, BPSK 和 SRRC - QPSK 幅度误差和相位不平衡分别小于 3.1% 和 1.7°, 符合 CCSDS 关于深空通信的建议标准。电路单元满足深空通信工程应用需求。

**关键词:** 深空通信; Ka 频段; 数传发射机; 基带电路; 调相

**中图分类号:** TN927; TN83      **文献标志码:** A      doi: 10.3969/j.issn.1001 - 893x.2012.05.013

## Development of Digital Baseband Circuit Unit of a Ka Band Data Transmission Transmitter for Deep - space Communications

ZHANG Jin-zhou<sup>1,2</sup>, LIANG Xian-feng<sup>1</sup>, XIE Min<sup>1</sup>, XIE Chun-jian<sup>1</sup>, WANG Zhu-gang<sup>1</sup>, XIONG Wei-ming<sup>1</sup>

(1. Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing 100190, China;  
2. Graduate College, Chinese Academy of Sciences, Beijing 100190, China)

**Abstract:** The baseband data coding and modulation is achieved on the Xilinx FPGA circuit, which is a part of a Ka band downlink transmitter for deep space communications. The flexible design of modulation mode corresponding to the different transmission rate ranges referred to CCSDS (Consultative Committee for Space Data Systems) standard is finished. The modulation schemes of PCM/BPSK/PM, NRZ / BPSK and SRRC - QPSK are separately chosen corresponding to the code rate ranges of 16 bit/s ~ 20 kbit/s, 20 ~ 200 kbit/s and 200 kbit/s ~ 2 Mbit/s by the external control commands in the FPGA circuit. The test results at X band show that the magnitude and phase error of BPSK and SRRC - QPSK are respectively less than 3.1% and 1.7 degrees, which comply with the CCSDS recommend on deep space communication standard. The circuit can meet the application requirement of the Deep Space Communication engineering.

**Key words:** deep space communications; Ka band; data transmission transmitter; baseband circuit; phase modulation

### 1 引言

当前, 世界主要航天大国和机构正在开展深空科学探测活动<sup>[1-3]</sup>。要成功实现深空科学任务, 星

地之间高效率通信是首要考虑的问题之一。由于深空通信距离很远(深空探测器与地球之间距离在  $2 \times 10^6$  km 以上), 当信号从功率受限的探测器到达地球时, 衰减很大, 使地面很难正确接收探测器发射的数据信息。为解决远距离通信问题, 通常采取提高

\* 收稿日期: 2012 - 01 - 20; 修回日期: 2012 - 03 - 27

星上发射信号输出功率、改变天线尺寸和系统工作频段等技术手段<sup>[2]</sup>以改善信号链路增益。考虑到深空探测器自身的应用限制,提高星上信号发射功率和改变发射天线尺寸所取得的效果很有限。目前,可行的办法是提高通信系统的工作频率<sup>[1]</sup>。保持天地系统的天线口径、系统噪声温度和发射功率都不变时,将通信系统的工作频段提高  $N$  倍,地面接收电平可提高  $20 \lg N$ <sup>[1]</sup>。近年来,随着技术的进步,美国、欧洲、日本、俄罗斯等国家的航天器纷纷提高了系统的工作频段,下行工作频段已从 S 频段(2 290 ~ 2 300 MHz)转移到 X 频段(8 400 ~ 8 450 MHz),同时 Ka 频段(31 800 ~ 32 300 MHz)下行通信系统也已经得到了应用。相对 X 频段,由于下行链路波束方向性更好,Ka 频段链路性能较 X 频段可获得 5.9 ~ 7.2 dB 的平均收益<sup>[1,3]</sup>。

美国和欧洲等主要航天机构在火星探测器和其他深空探测器上已经应用了 Ka 频段下行通信系统。美国 NASA(National Aeronautics and Space Administration)早在 1996 年发射的火星探测器 Mars Global Surveyor 上进行了 Ka 频段星地通信链路的试验<sup>[4]</sup>。当频率由 8.4 GHz 提高到 32 GHz 时,接收电平可提高 11.6 dB,折算为距离可提高 3.8 倍。欧洲 ESA(European Space Agency)计划在 2013 年发射的水星探测器(Bepicolombo),星地通信使用 Ka 频段通信系统<sup>[3]</sup>。水星探测器星上通信系统采用新一代应答机,系统基带部分采用全数字化实现,简化了系统结构。其中,Ka 频段数传发射机工作在 OQPSK 调制模式时,数传速率将达 100 Mbit/s,功率放大器采用 TWTA(Travelling - Wave Tube Amplifier)放大器。

目前,为了满足我国深空探测任务的应用需求,中国科学院国家空间科学中心开展了应用于深空通信的星载 Ka 频段数传发射机技术的研究工作。Ka 频段数传发射机包括基带电路单元和射频单元,本文重点研究了 Ka 频段发射机中数据编码调制一体化的基带电路单元。基于可编程器件 FPGA,实现了按码速率变化灵活选择调制方式的工作模式。多功能一体化基带电路单元是实现轻小型化深空通信 Ka 频段(32 GHz)数传发射机系统的重要部分。

## 2 系统架构

深空通信 Ka 频段数传发射机的系统结构框图

如图 1 所示,系统包括 FPGA 数字基带单元,中频(X 频段)上变频单元、Ka 频段上变频单元、DC/DC 电源变换单元、遥测遥控接口单元等。

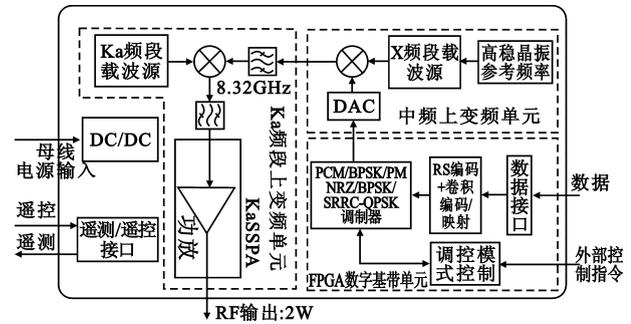


图 1 Ka 频段数传发射机系统结构框图

Fig.1 Block diagram of Ka band data transmission transmitter

图 1 所示的 Ka 频段数传发射机中,由 FPGA 数字基带单元的数据接口接收来自有效载荷的基带数据,进行 RS 编码后级联卷积编码(CC)。数据编码后经过预滤波处理后进行调制,根据码速率的不同,分别对应选择不同调制方式。数据编码调制后由 FPGA 输出经模数变换(DAC)电路转换为 60 MHz 的模拟信号,信号功率幅度为 4 dBm。模拟信号经变频后,输出 X 频段 8.32 GHz 调制中频信号,经限带滤波后再次变频输出 32 GHz 的调制信号,经 Ka 频段固态功率放大器(KaSSPA)放大后输出,功率大于 2 W。

基于 FPGA 电路,系统前端采用全数字化方案,实现了基带数据编码、调制等数据处理功能。电路实现了不同数据码速率选择相应调制方式的工作模式,同时节省了 1 个 DA 转换器的使用,避免了正交调制方式 IQ 链路的幅度相位不平衡,简化了系统结构<sup>[5]</sup>。根据 CCSDS B20.0 - Y - 2 标准建议<sup>[6]</sup>中有关深空通信数据传输码率和调制方式的选择要求,以及便于满足下行遥测和测距等要求,基带电路设计的调制方式和相应的码速率如表 1 所示。

表 1 基带支持调制方式和工作速率  
Table 1 Modulation mode and operation rate

调制方式	码率	功能应用
PCM/BPSK/PM	16 bit/s ~ 20 kbit/s	遥测、测距
NRZ/BPSK	20 ~ 200 kbit/s	数传
SRRC - QPSK	200 kbit/s ~ 2 Mbit/s	数传

基于 FPGA 电路的基带单元可进一步完成部分功能扩展,实现所需要的数据调制方式,满足不同的需求。因此,系统具有较强的灵活性。

### 3 基带数字信号处理设计

数字基带部分包括数控时钟管理(DCM)、FIFO(First In First Out)接口、RS和CC级联编码、PCM/BPSK/PM、NRZ/BPSK和SRRC-QPSK等模块,设计框图如图2所示。

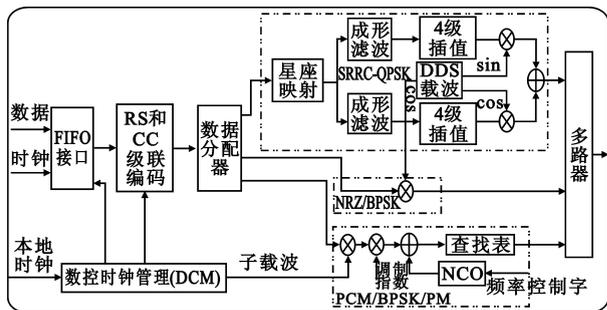


图2 全数字化基带设计框图

Fig.2 Block diagram of all-digital baseband

按照CCSDS 131.0-B-2标准有关的建议内容<sup>[8]</sup>,基带单元实现了数据的级联编码,编码方式采用RS(255,223)和CC(7,1/2)级联。RS和CC级联编码通过向基带输入信号增加冗余校验字使系统具有纠错性能,便于提高通信链路增益。

时钟管理模块(DCM)产生其他功能模块所需要的工作时钟。该模块以最高采样时钟196.608 MHz(32.768 MHz×6,即系统时钟)或本地时钟(由外部高稳晶振32.768 MHz提供)作为输入参考时钟。由输入参考时钟进行分、倍频后,产生其他功能模块所需的工作时钟、采样时钟以及副载波。根据CCSDS 401.0-B建议标准<sup>[7]</sup>的要求,在本设计中,副载波采用方波,频率为64 kHz。在内外时钟同步之前,内部电路处于复位状态;同步之后,电路处于正常工作状态,两种状态均由DCM的锁定信号指示。

FIFO接口作为外部数据和时钟的接口。由于接收的数据时钟与FPGA内部时钟属于不同的时钟源或时钟速率不同,在数据传输时,如果直接用内部时钟对外部输入数据采样,会产生亚稳态现象。而采用FIFO的异步读写功能,不但可以解决异域时钟数据的传输问题,保证数据正常采样,而且可以简化不同调制方式对应多速率工作模式下时钟设计。本地采样时钟与外部数据时钟可以成任意比例,无需整数倍关系。

PCM/BPSK/PM调制模块包括两个乘法器、一个

加法器、数控振荡器(NCO)和查找表等基本单元。级联编码基带数据经乘法器实现调制到64 kHz的方波副载波。进一步配置调相指数产生相位数据,生成的相位数据与NCO输出的累加相位进行叠加,访问查找表后输出调相信号。两个乘法器分别使用异或门和存储常量的多路器来完成。其中,系统采样时钟为196.608 MHz,调制指数(可配置、默认为0.78)和NCO的位宽为28位,频率分辨率为0.6 Hz。数字中频载波输出60 MHz时,频率控制字为81 920 000。查找表位宽为12 bit,无杂散动态范围为72 dB。

NRZ/BPSK调制模块采用一个乘法器模块实现,直接将级联编码后的非归零(NRZ)基带数据调制到数字中频载波(60 MHz)。该调制方式用于中低码率数传,基带数据调制部分可不考虑成形滤波,由直接数字频率合成器(DDS)产生60 MHz的中频载波。DDS包含NCO和查找表两部分。为节省FPGA资源,NCO相位累加字为20 bit,频率分辨率约为200 Hz,查找表输出信号位宽为12 bit。

SRRC-QPSK调制模块包括星座映射、成形滤波、多级插值、乘法器和加法器等单元。级联编码后的基带数据经星座映射,转换成I和Q两路信号,分别进行成形滤波、多级插值和数字中频(60 MHz)调制后叠加输出,即得到SRRC-QPSK调制信号。中频载波由DDS产生,NCO相位累加字为20 bit,查找表输出信号位宽为12 bit。

SRRC-QPSK实现的关键部分是基带成形和多级插值滤波。基带成形滤波的作用是在尽量保持系统误码性能不变的情况下,减少基带信号频谱占用带宽。滤波器采用有限脉冲响应(FIR)根升平方余弦(SRRC)滤波器,利用多相结构实现,可减少延时和动态功率消耗。设IQ链路未滤波数据速率为 $F_s$ ,成形滤波的上采样速率为 $8 \times F_s$ ,采用48阶的FIR(边带衰减约为35 dB),可分成8个子滤波器,每个子滤波器的阶数均为6阶,子滤波器的工作速率为 $F_s$ 。子滤波后面为一个8路复用器,在 $8 \times F_s$ 时钟作用下,分时选择输出各子滤波器结果。每个子滤波器中的乘法器系数为常数,可采用正则有符号数字(CSD)表示。乘法器通过简单的加减和移位来实现,可提高乘法器工作效率和资源利用率<sup>[5]</sup>。

插值滤波的目的是为了将成形滤波后数据采样率提高至系统采样率,以抑制成形滤波后信号直接进行中频调制所产生的镜像分量。插值倍数为系统采样率(DA 采样率)与  $8 \times F_s$  之比。插值滤波器采用 3 级 Hogenauer 结构梳状积分滤波器(CIC)。当插值倍数不小于 4 时,CIC 的边带衰减可达 40 dB。由于要实现多速率工作模式,在改变基带速率时,插值倍数也需要相应地进行改变。当插值倍数较小时,可以简单地通过改变单个 CIC 滤波器的插值倍数来实现;而当倍数较大时,如果仍采用单个插值滤波器,通过改变插值倍数来完成,实现将非常困难。如系统采样率为 196.608 MHz 时,基带滤波后的数据采样率为 512 kbit/s,插值倍数高达 384 倍。因此,为了降低插值的倍数,插值滤波使用了多个 3 级 CIC 插值滤波器来实现,即将 1 个 3 级 CIC 滤波器进行反复调用,将高倍的插值降为多个低倍的插值,优化了实现方式。如 SRRC - QPSK 调制有 3 种调制速率,基带成形滤波后输出的数据速率分别为 512 kbit/s、2 Mbit/s 和 8 Mbit/s,系统采样率为 196.608 MHz,具体的实现级联方案如图 3 所示。图 3 中有 4 个插值调用模块,两个插值控制信号,可完成 3 种不同速率插值,最高插值为 384 倍。

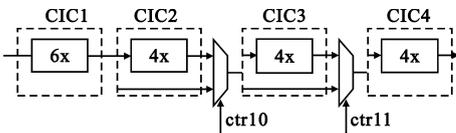


图 3 可变速率插值 4 级级联方案  
Fig.3 Cascade scheme of variable rate interpolation

级联方案各级插值滤波器对应的插值倍数如表 2 所示。控制信号 ctr10 和 ctr11 分别为 CIC2 和 CIC3 的控制信号,插值时为 1,旁路时为 0。如插值倍数为 384 时,控制信号 ctr10 和 ctr11 都为 1。

表 2 各级插值滤波对应的插值倍数  
Table 2 Interpolation factor corresponding to the interpolation filter at all levels

成形滤波后速率	CIC 的插值倍数 (系统采样率为 196.608 MHz)			
	CIC1	CIC2	CIC3	CIC4
8 Mbit/s	6	0(ctr10)	0(ctr11)	4
2 Mbit/s	6	4	0(ctr11)	4
512 kbit/s	6	4	4	4

### 4 测试结果

基于 Xilinx FPGA Xc4vsx55 的硬件电路,完成了 Ka 频段数字基带单元电路的研制工作。基带电路经如图 1 所示中频(8.32 GHz)上变频单元后输出特性的测试结果如表 3 所示。

表 3 数字信号处理单元和中频 X 频段联合测试结果  
Table 3 The test result of digital signal processor unit and the X band frequency unit

参数	技术指标
中频/GHz	8.32
RF 输出功率/dBm	10.0
相位噪声	- 80.0@100 Hz/dBc
	- 87.0@1 kHz/dBc
	- 92.0@10 kHz/dBc
	- 102.0@100 kHz/dBc
支持调制方式	- 110.0@1 MHz/dBc
	PCM/BPSK/PM, NRZ/BPSK, SRRC - QPSK
速率范围	Up to 2 Mbit/s
误差向量幅度	4.6%
相位不平衡度	1.7%
幅度不平衡度	3.0%
基带和中频总功耗/W	13.0

PCM/BPSK/PM、NRZ/BPSK 和 SRRC - QPSK 调制方式的频谱如图 4~7 所示。其中,QPSK(与 BPSK 调制频谱相同)信号频谱第一边带衰减约为 13 dB,而 SRRC - QPSK 调制频谱的第一边带衰减高达 35 dB。当数传发射系统的带宽和带外衰减要求相同时,SRRC - QPSK 调制方式相对 QPSK 调制方式大大提高了频带利用率。测试频谱结果与仿真设计频谱结果一致。

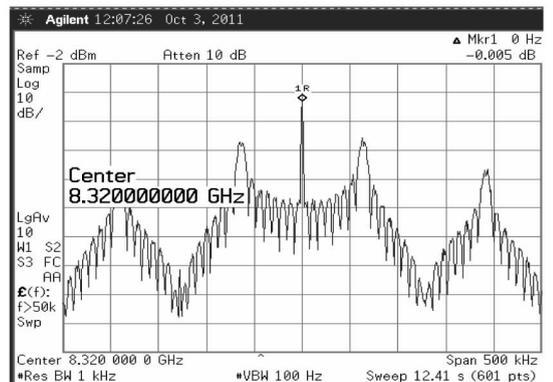


图 4 8 kbit/s PCM/BPSK/PM 调制输出频谱图(index = 0.78)  
Fig.4 Spectrum of PCM/BPSK/PM when  $R_b = 8 \text{ kbit/s}$ (index = 0.78)

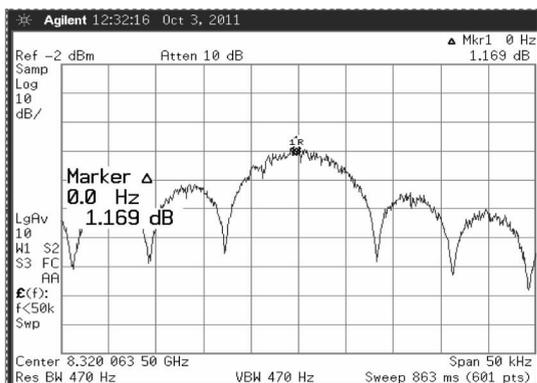


图 5 8 kbit/s PCM/BPSK/PM 第一频谱分量详图 ( $index = 0.78$ )  
 Fig.5 The first spectrum component for PCM/BPSK/PM when  $R_b = 8 \text{ kbit/s}$  ( $index = 0.78$ )

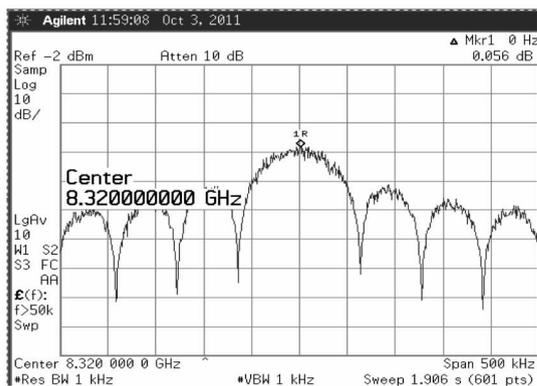


图 6 64 kbit/s NRZ/BPSK 频谱  
 Fig.6 The spectrum of NRZ/BPSK when  $R_b = 64 \text{ bit/s}$

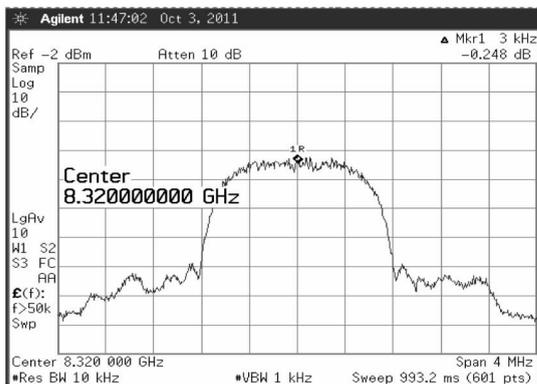


图 7 2 Mbit/s SRRC-QPSK 频谱  
 Fig.7 The spectrum of SRRC-QPSK when  $R_b = 2 \text{ Mbit/s}$

2 Mbit/s 码率的 SRRC-QPSK 调制信号星座图和矢量误差幅度(EVM)如图 8 所示。EVM 为 4.6%，满足应用性能指标(小于 10%<sup>[9]</sup>)。幅度误差为 3.0%(0.26 dB)，相位不平衡度为 1.7°，完全满足 CCSDS 401.0-B 关于深空通信建议<sup>[7]</sup>的幅度误差(小于 0.5 dB)和相位不平衡度(小于 5°)要求。

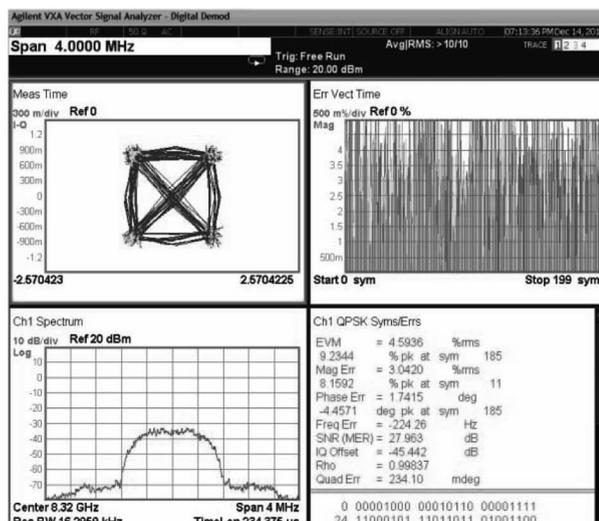


图 8 码率为 2 Mbit/s SRRC-QPSK 调制性能图  
 Fig.8 The modulation performance of SRRC-QPSK when  $R_b = 2 \text{ Mbit/s}$

### 5 结 语

本文基于 Xilinx FPGA XC4VVSX55 芯片,完成了 Ka 频段数传发射机系统数字基带电路单元的设计与实现。基带电路单元根据码速率的变化,选择相应的基带数据调制方式,具有较强的灵活性。基带输出信号在 X 频段的测试结果表明,当码率为 2 Mbit/s 的 SRRC-QPSK 调制时,解调结果中 EVM 为 4.6%,幅度误差和相位不平衡度分别为 3%和 1.7°。基带电路单元满足深空通信 Ka 频段下行通信链路的工程应用需求。基于全数字化设计架构的基带电路单元,可进一步完成部分功能扩展,满足不同的工程需求。

### 6 致 谢

感谢“中国科学院知识创新工程青年人才领域前沿项目”的资助,感谢闫毅老师在项目中给予的鼓励、建议与帮助。

### 参 考 文 献:

[1] 刘嘉兴. 走向深空——测控通信的发展方向[J]. 电讯技术, 2006, 46(2):1-8.  
 LIU Jia-xing. Forward to Deep Space: Development Trend of TTC&DT Technology[J]. Telecommunication Engineering, 2006,46(2):1-8. (in Chinese)  
 [2] 张乃通, 李晖, 张钦宇. 深空探测通信技术发展趋势与思考[J]. 宇航学报, 2007, 28(4): 786-793.

- ZHANG Nai - tong, LI Hui, ZHANG Qin - yu. Thought and Developing Trend in Deep Space Exploration and Communication[J]. Journal of Astronautics, 2007, 28(4): 786 - 793. (in Chinese)
- [3] Comparini M C, Tiberis F D, Novello R. Advances in Deep - Space Trans - ponder Technology [J]. Proceedings of the IEEE, 2007, 95(10): 1994 - 2008.
- [4] Mysoor N R, Kayalar S, Lane J P, et al. Performance of A Ka - band Transponder Breadboard for Deep Space Applications[C]// Proceeding of Aerospace Conference. Snowmass, CO: IEEE, 1997: 547 - 557.
- [5] Simone L, Gelfusa D, Cocchi S. A Novel Digital Platform for Deep Space Transponders: the Transmitter Side [C]// Proceedings of Aerospace Conference. Big Sky, Montana, USA: IEEE, 2007: 1446 - 1452.
- [6] CCSDS B20.0 - Y - 2, Proceedings of The CCSDS RF And Modulation Subpanel 1E Meeting of MAY 2001 Concerning Bandwidth - efficient Modulation[S].
- [7] CCSDS 401.0 - B, Radio Frequency and Modulation Systems[S].
- [8] CCSDS 131.0 - B - 2, TM Synchronization and Channel Coding[S].
- [9] Hatzithanasiou I, McLaren C, Goldsmith R, et al. Miniature High Speed Down - link Module For Small Satellites In Low Earth Orbits [C]// Proceedings of the 5th ESA International Workshop on Tracking, Telemetry and Command Systems for Space Applications. [S.l.]: ESA/ESTEC, 2010: 1 - 8.

### 作者简介:

张津舟(1984—),男,湖北咸宁人,硕士研究生,主要研究方向为空间通信数字信号处理;

ZHANG Jin - zhou was born in Xianning, Hubei Province, in 1984. He is now a graduate student. His research concerns digital signal processing for space communication.

Email: binghuozjz@126.com

梁显锋(1972—),男,湖北荆门人,博士,研究员,主要从事新型高功率微波器件和数传发射系统研究;

LIANG Xian - feng was born in Jingmen, Hubei Province, in 1972. He is now a researcher with the Ph.D. degree. His research concerns new high - power microwave devices and data transmission transmitter system.

Email: liangxf@cssar.ac.cn

谢 闽(1981—),女,四川成都人,工程师,主要从事 RF 微波电路设计与研发;

XIE Min was born in Chengdu, Sichuan Province, in 1981. She is now an engineer. Her research concerns the design of RF & microwave circuit.

Email: xiem@cssar.ac.cn

谢春坚(1941—),男,福建福州人,研究员,主要负责 RF 微波系统设计;

XIE Chun - jian was born in Fuzhou, Fujian Province, in 1941. He is now a researcher. His research concerns RF & microwave system design.

Email: xiejc@cssar.ac.cn

王竹刚(1974—),男,北京人,硕士,副研究员,从事射频微波通信和数字信号处理技术研究;

WANG Zhu - gang was born in Beijing, in 1974. He is now an associate researcher with the M.S. degree. His research concerns RF & microwave communication and digital signal processing.

Email: wangzg@cssar.ac.cn

熊蔚明(1963—),男,北京人,博士,研究员,2007年入选中国科学院“百人计划”,主要研究方向为空间通信系统、电子系统的总体策划、详细设计和工程应用。

XIONG Wei - ming was born in Beijing, in 1963. He is now a researcher with the Ph.D. degree and also a 100 Talents Project member of the Chinese Academy of Sciences. His research concerns the overall system design, the detail design and the engineering application of space communication systems.

Email: xwm@cssar.ac.cn