

文章编号:1001-893X(2012)10-1702-04

Viterbi-IP 核纠错性能的验证^{*}

郭 勇,陈艳玲

(南京北方电子信息科技集团有限公司 产品研发中心,南京 211153)

摘 要:为了快速准确地验证不同错误模式下 Viterbi-IP 核的纠错性能,提出了一种在 Matlab 和 Modelsim 中基于文件输入输出操作的方法来仿真验证该 IP 核的纠错性能。首先介绍了该 IP 核的使用方法,然后详细给出了该方法的每个步骤并提供了源程序。仿真实验表明,该方法能处理大容量的编译码数据,而且能很容易地对错误的模式进行修改,便于仿真不同情况下的纠错性能。该方法也适用于其他功能 IP 核,因此有较好的实际应用价值。

关键词:Viterbi-IP 核;纠错性能;文件输入操作;文件输出操作;源程序

中图分类号:TN911.22 **文献标志码:**A doi:10.3969/j.issn.1001-893x.2012.10.028

Error-correcting Ability Validation of Viterbi-IP Core

GUO Yong, CHEN Yan-ling

(Research Department of North Electronic Technology Group Co., Ltd., Nanjing 211153, China)

Abstract: In order to quickly and correctly validate the error-correcting ability of Viterbi IP Core of Altera Company, the method based on file imported and exported in both Matlab and ModelSim is adopted. The use method of IP Core is introduced, then every step of this method is provided, and the programmes concerned are given. The simulated results indicate the method can not only deal with enormous coding and decoding data, but also easily simulate different error-correcting ability in different error conditions by means of modifying the Error-Styles in Matlab. The method can be used for other IP Core, therefore it has better practical application value.

Key words: Viterbi-IP core; error-correcting ability; file imported; file exported; source programme

1 引 言

Viterbi 译码^[1-2]是针对卷积码的纠错性能最好的译码算法,由于对产品设计的时效性和可靠性的要求,众多实际的产品采用 IP 核设计。Altera 公司的 Viterbi-IP 核使用广泛,传统的对 Viterbi 纠错性能的验证仅限于对 Matlab 中 Viterbi 译码函数进行 BER 计算,对 Viterbi-IP 核纠错性能的验证目前的文献介绍不多,文献[3]仅介绍该核的使用方法,文献[4]仅介绍了一帧数据的纠错性能验证,且错误形式单一。

本文介绍一种基于对文件进行输入输出操作的方法。该方法仿真处理的数据量大,能尽可能真实地验证该 IP 核实际的纠错性能,同时通过在 Matlab 中修改误码形式,能快速地仿真不同错误形式下的纠错性能。本文对该 IP 核得到的 BER 曲线与采用 Matlab 的 Viterbi 译码函数 Vitdec()得到的理论上的 BER 曲线进行比较,以验证该 IP 核的纠错性能。

2 Viterbi-IP 核的使用方法

在 IP 核生成界面上选择 Viterbi 核,输出文件设为 Viterbi1.v。以下是对于 Viterbi-IP 核的设置,采用

^{*} 收稿日期:2012-04-11;修回日期:2012-05-30

parallel 结构,连续译码;编码多项式为(171,133);采用硬判决,因此 Sofebits 设为 1;时钟频率设为 50 MHz,因此时钟周期为20 ns;回溯深度为 42。遵照产品帧结构的要求,IP 核每个块包含的比特数为 84 个,设该 IP 核的 $SNR = 10\text{ dB}$ 。生成的 Viterbi-IP 核如图 1 所示^[5]。

由 Viterbi-IP 核的使用手册可知,需要设计一个输入模块,产生握手信号,才能把编码数据输入到 Viterbi 译码器中,因此设计了 shuruct 这个模块。整个电路框图如图 2 所示。

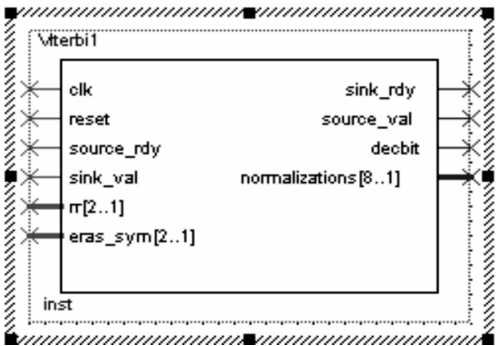


图 1 生成的 Viterbi-IP 核模块
Fig.1 The module of Viterbi-IP core

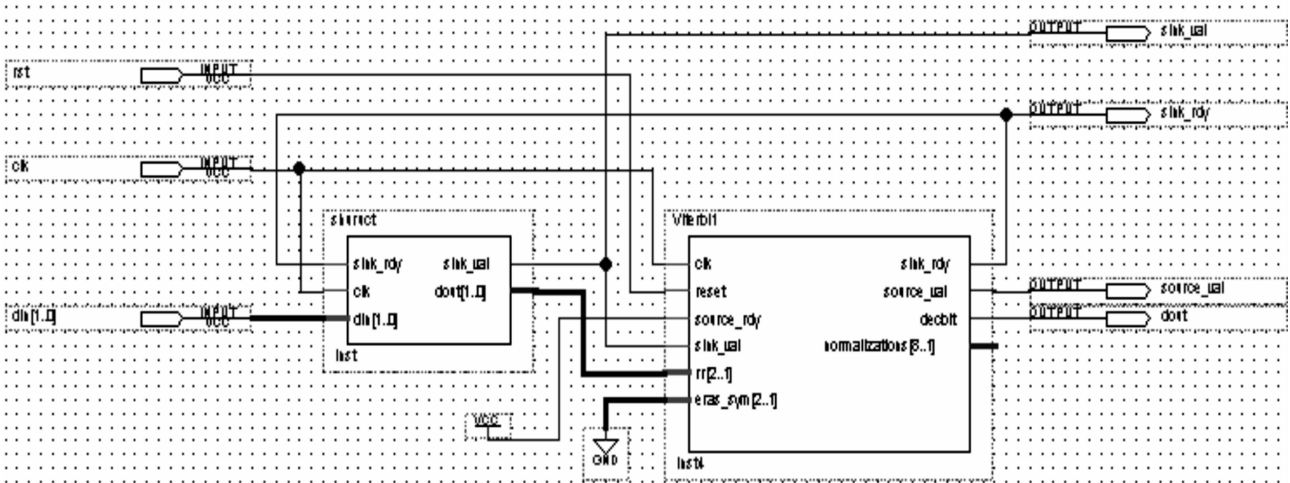


图 2 Viterbi 译码模块图
Fig.2 Module diagram of decoding by Viterbi algorithm

当 sink_rdy 信号为高(有效)时,在下一个时钟, sink_val 信号有效,在 sink_val 信号有效时,din[1..0]信号输入到 Viterbi 译码器中,输入的仿真波形如图 3 所示。

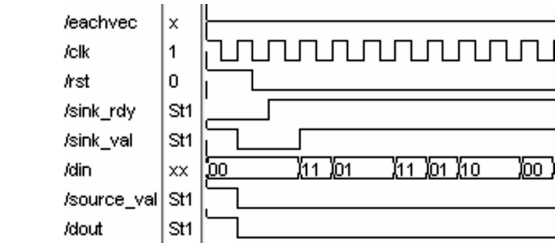


图 3 输入信号仿真波形图
Fig.3 Simulated waveform of input signal

由图 4 可知,当 source_val 信号为高(有效)时,输出译码的数据^[6]。

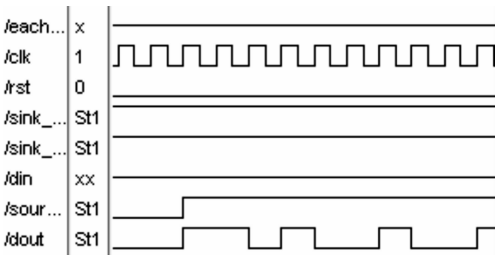


图 4 译码输出信号仿真波形图
Fig.4 Simulated waveform of output decoding signal

3 Viterbi-IP 核纠错性能测试

对译码器纠错性能的测试,本文采用的方法是先用 Matlab 产生编码后有错码的数据,然后把数据写入到 Bianma.txt 文档中,同时把输入编码器的数据也写入到 YuanBianma.txt 文档中保存起来。用 VerilogHDL 语言编写仿真测试文件在 ModelSim 中仿真,同时读入 Bianma.txt 中的数据,仿真后产生的译

码数据一方面通过波形显示出来,一方面写入到 yima_out.txt 文件中。最后把 yima_out.txt 中的数据导入到 Matlab 中,计算误比特率。该文实验的编码数据为420 000个,误码形式是以 84 个比特为一组,编码后每 84 个比特随机错 4 位、5 位、6 位、7 位、8 位。

3.1 写数据到 Bianma.txt 中的 Matlab 程序

```
fid = fopen('E:\Bianma.txt','wt');
for i = 1:k4
    for j = 1:2
        if(j == 2)
            fprintf(fid,'%d\n',d(i,j));
        else
            fprintf(fid,'%d',d(i,j));
        end
    end
end
fclose(fid);
```

3.2 写数据到 YuanBianma.txt 的 Matlab 程序

```
fid1 = fopen('E:\Yuanbianma.txt','wt');
for 1:N
    fprintf(fid1,'%d\n',a1(i));
end
fclose(fid1);
```

在 ModelSim 中编写仿真测试文件 Viterbi_yima.vt,并加入以下语句,把 Bianma.txt 中的数据读入到仿真波形中去。

3.3 读入仿真波形数据到 ModelSim 中的程序

```
initial begin
    $readmemb("Bianma.txt",Mem);
```

```
end
integer k;
initial begin
    clk = 1;
    din = 2'b00;
    # 60;
    $display("yimashuchu:");
    for (k = 1;k <= 420000;k = k + 1) begin
        din = Mem[k];
        # 20;
        $display("%b",Mem[k]);
    end
end
```

3.4 写数据到 yima_out.txt 的 VerilogHDL 程序

```
integer fp_w;
integer k1;
initial begin
    fp_w = $fopen("yima_out.txt","w");
    # 3510;
    for (k1 = 1;k1 <= 420000;k1 = k1 + 1) begin
        $fwrite(fp_w,"%b\n",dout);
        # 20;
    end
    # 40;
    $fclose(fp_w);
end
always # 10 clk = ~ clk;
```

图 5 和图 6 是大容量数据的仿真输入和输出波形图。

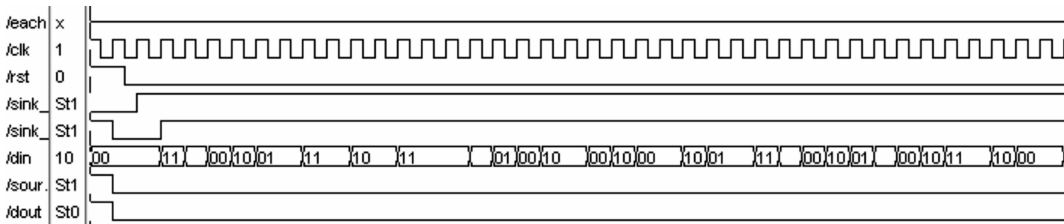


图 5 导入编码数据后的仿真输入波形图
Fig.5 Simulated waveform of imported coding data

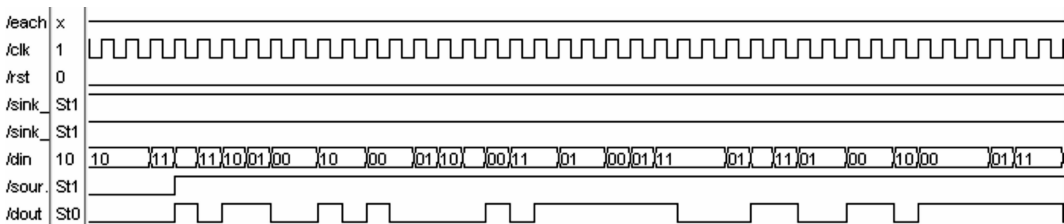


图 6 译码输出仿真波形图
Fig.6 Simulated output waveform of decoding data

然后,把保存的未编码数据的 YuanBianma. txt 文档和经过 Viterbi-IP 译码以后的 yima_out. txt 文档中的数据导入到 Matlab 中,计算误比特率。错误形式如前所述。仿真的误比特率曲线如图 7 所示。图 8 是不同信噪比条件下 IP 核纠错性能与理论算法的纠错性能的比较。

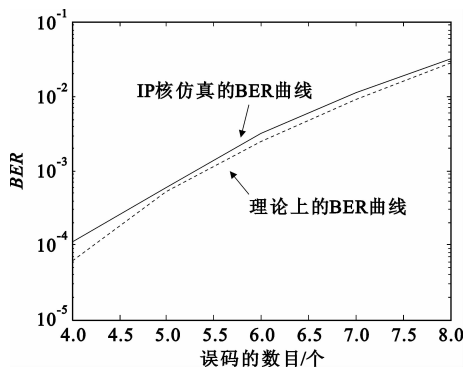


图 7 不同随机错误形式的 BER 曲线图
Fig.7 BER curve under different random error styles

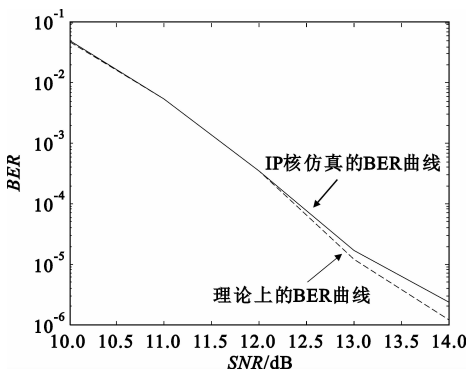


图 8 不同信噪比条件下的 BER 曲线图
Fig.8 BER curve under different SNR conditions

由图 7 和图 8 可知,实际的 Viterbi-IP 核能达到理论上的 Viterbi 译码的纠错能力。另外,也验证了本文介绍的对 IP 核仿真验证方法的正确性。

4 结束语

针对目前广泛使用的 Altera 公司的 Viterbi-IP 核,本文提出了一种基于文件输入输出操作方法来仿真验证该 IP 核在不同错误形式和不同信噪比条件下的纠错性能。分析实验得到的仿真结果和 Matlab 仿真得到的结果,可得该 Viterbi-IP 核实际的纠错能力能达到理论上的 Viterbi 译码的纠错性能。该方法可适用于任何大容量编译码数据的纠错性能验证,并且通过在 Matlab 中加载不同错误形式的文

件,能很方便地验证不同错误形式下的纠错性能。该方法也可以用于信号处理、频谱分析等领域,有较好的实际应用价值。

参考文献:

- [1] 林舒, Costello D J. 差错控制编码[M]. 王育民, 王新梅, 译. 北京: 人民邮电出版社, 1986.
Lin Shu, Costello D J. Error-Control Coding[M]. Translated by WANG Yu-min, WANG Xin-mei. Beijing: People's Posts & Telecom Press, 1986. (in Chinese)
- [2] 西瑞克斯(北京)通信设备有限公司. 无线通信的 Matlab 和 FPGA 实现[M]. 北京: 人民邮电出版社, 2009: 46-52.
Cylix Communication Technology Co., Ltd. Beijing. The Accomplishment of Wireless Communications based of Matlab and FPGA[M]. Beijing: People's Posts & Telecom Press, 2009: 46-52. (in Chinese)
- [3] 管立新. 基于 IP Core 的 Viterbi 高速译码器测试[J]. 电子质量, 2006, 30(9): 21-23.
GUAN Li-xin. The Test of the high rate Viterbi-Decoding[J]. The Electron Quality, 2006, 30(9): 21-23. (in Chinese)
- [4] 马金岭, 刘桂敏, 梁凯. 基于 IP 核的 Viterbi 译码器实现[J]. 信息化研究, 2010, 36(2): 24-27.
MA Jin-ling, LIU Gui-min, LIANG Kai. The Accomplishment of Viterbi-decoding based of IP Core[J]. The Research of Informationization, 2010, 36(2): 24-27. (in Chinese)
- [5] 张传达, 李小文. 卷积码编码及其 Viterbi 译码的实现[J]. 无线电工程, 2006, 36(7): 45-48.
ZHANG Chuan-da, LI Xiao-wen. The Accomplishment of Convolutional encoder and Viterbi Decoder[J]. The Wireless Engineering, 2006, 36(7): 45-48. (in Chinese)
- [6] 井小沛, 武斌, 张青春. 基于 FPGA 的卷积码的编/译码器设计[J]. 电子测量技术, 2008, 31(2): 116-118.
JING Xiao-pei, WU Bin, Zhang Qing-Chun. The Design of Encoder and Decoder based of FPGA[J]. The Technology of Electron Testing, 2008, 31(2): 116-118. (in Chinese)

作者简介:

郭勇(1978—), 男, 安徽泾县人, 2006 年获硕士学位, 现为工程师, 主要研究方向为调制解调、信道纠错编解码、无线通信中的信号处理等;

GUO Yong was born in Jingxian, Anhui Province, in 1978. He received the M.S. degree in 2006. He is now an engineer. His research concerns modulation and demodulation technology, error-correct code and decode technology for channel and signal processing technology.

Email: guoyynu0306@sohu.com

陈艳玲(1981—), 女, 山西忻州人, 硕士, 工程师, 主要研究方向为自动控制电路设计、光通信设计等。

CHEN Yan-ling was born in Xinzhou, Shanxi Province in 1981. She is now an engineer with the M.S. degree. Her research concerns autocontrol circuit design, optical communication design.