

文章编号: 1001-893X(2012)10-1644-04

采用 CPCI 总线的通用高速数传接收机^{*}

刘进军

(中国西南电子技术研究所, 成都 610036)

摘要:针对高速数传技术的快速发展和广泛应用,提出了一种 DSP 实现 CPCI 总线的高速数传通用接收机实现方案。该设计兼容模数混合和全数字硬件输入接口,采用 ADC 采样率在线设置和程序动态加载技术,可实时完成对不同码速率和不同调制编码方式数据源的解调译码。对 450 Mbit/s 和 600 Mbit/s 两种高速数传性能进行了测试,结果表明其接收机解调损失分别小于 1 dB 和 1.5 dB,满足工程应用需求。

关键词:高速数传接收机;解调性能;CPCI 总线;动态加载;软件无线电

中图分类号: TN851 **文献标志码:** A doi: 10.3969/j.issn.1001-893x.2012.10.017

A General High-rate Data Transmission Receiver Base on CPCI Bus

LIU Jin-jun

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: With the rapid development and wide applications of high-rate data transmission technology, a CPCI bus implementation method of the general high-rate data transmission receiver is proposed by utilizing the DSP. This method is designed with hybrid analog-digital and all-digital input interfaces, and the sampling rate of ADC is set on-line and dynamic loading technology is adopted, which can demodulate and decode the signal source with different code rates, modulation and code schemes in real time. The 450 Mbit/s and 600 Mbit/s receivers are measured to evaluate the proposed implementation scheme. The results show that the signal-to-noise ratio (SNR) losses of two receivers are less than 1 dB and 1.5 dB respectively, which are suitable for the practical engineering application.

Key words: high-rate data transmission receiver; demodulation performance; CPCI bus; dynamic loading; software defined radio

1 引言

近年来,随着高速数传技术应用领域的不断拓展,高速数传技术不仅广泛应用于侦察卫星、军事卫星、资源探测卫星、高分辨率对地观测卫星等航天器中,而且航空飞行器如预警机、高空侦察机、无人机等,以及临近空间飞行器也纷纷增加了数据获取功能,需支持高速数据传输或海量存储能力。在高速

数传系统中,高速解调设备是核心。目前,国内主流的高速解调设备处理能力均低于 300 Mbit/s 数据传输速率,已不能满足日益增长的数据传输速率需求。随着系统支持数据传输速率的提高,对接收机的电路设计、解调性能等提出了挑战,高性能的高速解调接收机市场需求迫切。

本文采用软件无线电设计思想,对高数数传接收机软硬件技术进行了深入研究,通过硬件模块化

^{*} 收稿日期: 2012-06-01; 修回日期: 2012-08-23

设计和软件动态加载与升级技术,提高了接收机设计灵活性和通用性。

2 接收机实现原理

通常,高速数传接收机可采用模拟、模数混合以及全数字 3 种实现方式。模拟实现方式存在设备复杂、实现难度大以及通道一致性较差等缺陷,影响高速数据解调性能;而模数混合和全数字实现方式具有通道一致性好、设计灵活等优点,是一种较好的设计方案。

接收机具备高速数据处理能力,其电路器件选择和电路设计需满足高速数传要求,接收机主要由超高速模数变换器(ADC)、直接数字合成器(DDS)和大规模可编程器(如 FPGA、DSP 等)组成,实现原理框图如图 1 所示。

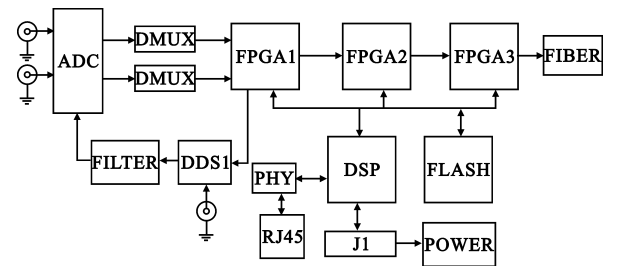


图 1 高速数传接收机原理框图
Fig. 1 The block diagram of high-rate data transmission receiver architecture

模拟基带信号或中频信号经信号调理后,由 ADC 进行采样变换,完成信号离散处理,由 FPGA1 控制 DDS 的频率控制寄存器,产生相位连续的正弦波信号作为采样时钟。采样后的离散差分数据通过 DMUX 降速后,送入 FPGA1 中进行载波恢复、位同步信息提取、匹配滤波、信道均衡等信号处理^[1]后,将数据送到 FPGA2 中完成译码,包括维特比译码、帧同步、RS 译码、Turbo 译码、LDPC 译码等。译码后的数据通过 FPGA3 进行数据打包及协议处理,由高速光纤或 10/100/1 000 Mbit/s 以太网接口输出到数据记录模块或远控中心。接收机各模块之间的通信、控制命令、上报状态和数据均采用 PCI 接口电路,提高了系统设计一致性。

3 主要功能设计

3.1 模拟前端设置

高速数传接收机模拟前端可配置为模数混合和

全数字两种接收机结构。接收机工作在模拟接收模式,ADC 采用双通道工作,同步采样 I/Q 两路模拟信号;接收机工作在全数字接收模式,ADC 采用单通道工作,对输入的中频信号进行采样。为适应两种工作模式,高速数传接收机需兼容提供不同采样时钟,采样时钟由 DSP 控制 FPGA1,通过 FPGA1 构建 DDS 产生,DDS 控制时序如图 2 所示。

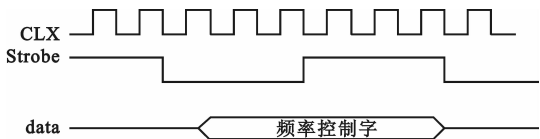


图 2 DDS 控制时序图
Fig. 2 DDS control logic diagram

3.2 软件动态加载

为满足接收机通用性设计需求,FPGA1 主要功能设计为解调,实现载波恢复、位同步信息提取、匹配滤波、信道均衡等功能。FPGA2 主要功能设计为译码,包括维特比译码、帧同步、RS 译码、Turbo 译码、LDPC 译码等。在不同应用环境下,解调和译码程序需要刷新,因此,设计 FPGA 具有动态加载或远程更新功能。对 FPGA1 和 FPGA2 程序进行预先规划,存放于超大容量 FLASH 地址单元中,通过系统命令选择对应的功能模式。针对新增加功能,可通过远程更新,利用网络将程序传至系统模块中,再由系统将程序写入到未用的 FLASH 空间,写完后启动代码即实现新功能。DSP 外部寻址空间是 4 Mbyte,FLASH 容量为 256 Mbyte,寻址空间与容量地址不匹配,因此,通过 FPGA3 控制 FLASH 高位地址,DSP 的 BOOT 和程序代码放置于 FLASH 最低段,按照 12 Mbyte 空间分配 FPGA1 和 FPGA2 的程序代码。FLASH 存储空间分配如图 3 所示。

DSP地址	FLASH地址	FLASH数据
0xB0000000	0x00000000	DSP BOOT 代码
0xB0000000	0x00000000	FPGA1 代码
0xB0000000	0x00000000	FPGA1 代码
⋮	⋮	⋮
		FPGA2 代码
		FPGA2 代码

图 3 DSP 和 FPGA1、FPGA2 程序代码分配图
Fig. 3 Distribution of DSP, FPGA1 and FPGA2 programs

为缩短 FPGA1 和 FPGA2 程序加载时间,可预先将数据写入 FLASH 中,主要有两种写入法:一种是主机通过 PCI 总线将代码写入 DSP,再由 DSP 写入 FLASH 中;另一种是由 DSP 直接读 FPGA 程序文件,将代码写入 FLASH 中。FPGA 进行动态加载时,直接通过主机选择对应功能版本,由 DSP 将 FLASH 中代码直接写入 FPGA 中。

FPGA1 和 FPGA2 动态加载时序如图 4 所示。

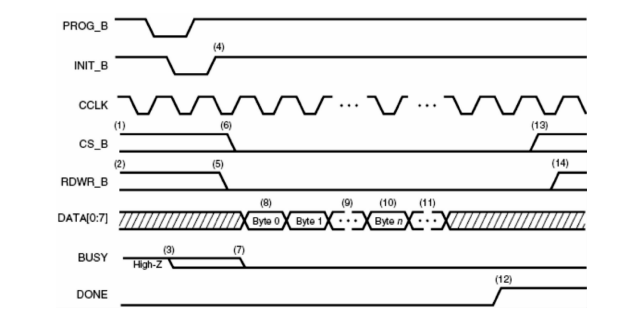


图 4 FPGA1 和 FPGA2 动态加载时序图
Fig.4 Dynamic loading timing diagram of FPGA1 and FPGA2

DSP 异步访问接口和 FPGA3 相连, FPGA1 和 FPGA2 加载端口连在 FPGA3 上,由 FPGA3 将 DSP 命令时序转换成图 4 所示时序。操作步骤如下:

- (1) DSP 送入 FPGA3 动态加载命令, FPGA3 将 PROG_B 置一段低脉冲;
- (2) DSP 从 FPGA3 读 INIT_B 状态,由低到高依次读 FLASH 数据,将数据写入 FPGA3;
- (3) FPGA3 收到写数据命令,产生写时钟,将数据写入 FPGA1 或 FPGA2;
- (4) 数据写入成功后, DONE 信号电平跳变,表示加载成功,并上报状态。

3.3 CPCI 总线设计

常用 CPCI 接口采用 PCI 桥芯片设计,一端提供 PCI 总线,一端为本地端口。本接收机系统中,直接使用 DSP 的 PCI 外设接口,用 C 语言代替硬件描述语言做控制逻辑,增加了通用性和灵活性。该 PCI 接口符合 PCI2.3 规范,工作频率为 33 MHz/66 MHz,本接收机选择工作频率为 33 MHz,采用 32 位数据线,其传输峰值速度可达 132 Mbyte/s。

DSP 的 PCI 接口程序主要包括配置寄存器、存储器映射寄存器。对 C6455 芯片而言,供应商 ID、设备 ID 分别是 0x104C、0xB000,对多个板卡共用一个机箱情况下,只需更改 ID 号就可识别不同设备。

DSP 地址空间和 PCI 空间的映射关系如图 5 所示。

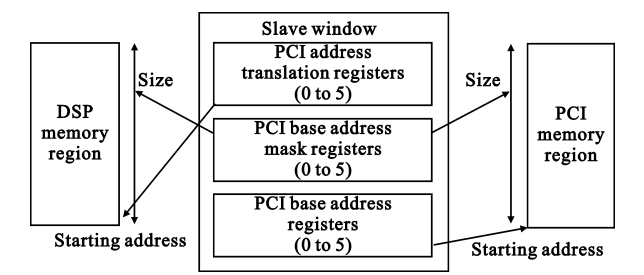


图 5 DSP 地址空间到 PCI 地址空间的映射图
Fig.5 The address of DSP and PCI mapping diagram

C6455 提供了 6 个基地址寄存器 BAR0 ~ BAR5,通过设置基地址寄存器,可实现 DSP 和主机端的地址映射。DSP 作为高速数传接收机的控制功能单元,接收主机下发的各种参数和命令,产生相应的控制流程,同时读取 FPGA 中各种状态信息,并上报参数。

4 性能测试

接收机解调误码性能 (BER) 是衡量接收机性能的重要指标。通过任意波形发生器产生不同的调制数据输入到噪声源,与噪声源产生不同噪声功率谱密度的高斯白噪声相加后,送入接收机解调,解调后数据送误码仪测试解调误码率,就可完成高速数传接收机的解调误码性能指标测试。测试连接如图 6 所示。

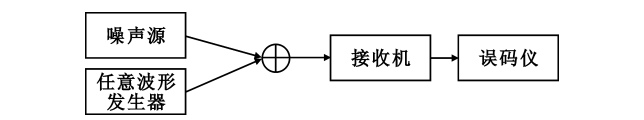
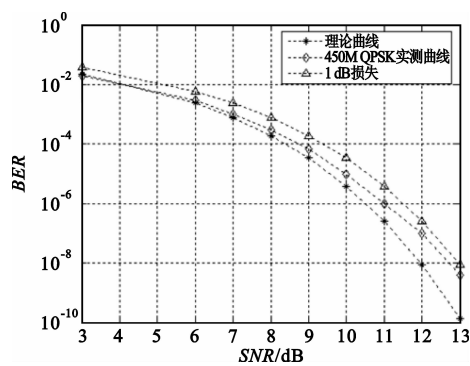
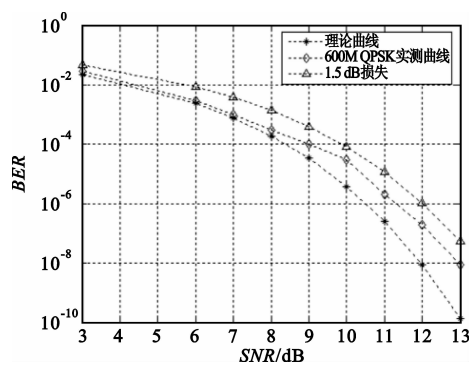


图 6 高速数传接收机误码性能测试框图
Fig.6 High-rate data transmission receiver BER performance test diagram

针对 QPSK 调制信号,数据传输速率分别为 450 Mbit/s 和 600 Mbit/s 情况下,接收机误码率测试结果如图 7 所示。测试结果表明,当码速率为 450 Mbit/s 情况下,接收机的解调损失在 1 dB 以内,码速率为 600 Mbit/s 情况下,接收机的解调损失在 1.5 dB 以内。本文所设计的接收机实现方案从解调损失上要优于文献[2]中设计的接收机,在传输数据速率 600 Mbit/s 的情况下,本文的方法取得了大约 1.5 dB 的性能增益,这在实际的应用中是非常有意义的。



(a) $R_b = 450$ Mbit/s



(b) $R_b = 600$ Mbit/s

图 7 接收机误码率测试曲线

Fig.7 The BER curves of high-rate data transmission receiver

5 结束语

本文设计的 CPCI 总线高速数传接收机,采用硬

件模块化、功能化以及软件动态加载与升级技术,解决了不同高速数传系统应用中使用同一硬件平台的难题,目前已成功应用在 450 Mbit/s 和 600 Mbit/s 两种不同的高速数传系统工程项目中。另外,通过设计了模数混合和全数字接收机两种硬件接口以及 ADC 采样率实时设置功能,该高速数传接收机具有更强的通用性和灵活性,可应用在其他中低速数传系统中。

参考文献:

[1] 曹志刚,钱亚生. 现代通信原理[M]. 北京:清华大学出版社,2006.
CAO Zhi-gang, QIAN Ya-sheng. Modem Communication Principle[M]. Beijing: Tsinghua University Press, 2006. (in Chinese)
[2] 董长海,郑雪峰,郑戈,等. 600Mb/s 高速数传接收的设计与实现[J]. 遥控遥测,2007(增刊):31-34.
TONG Chang-hai, ZHENG Xue-feng, ZHENG Ge, et al. Design and Realization of 600Mb/s High Data-rate Receiver [J]. Journal of Telemetry, Tracking and Command, 2007 (Suppl.):31-34. (in Chinese)

作者简介:

刘进军(1976—),男,四川双流人,工程师,主要研究方向为高速数字信号处理研究技术。
LIU Jin-jun was born in Shuangliu, Sichuan Province, in 1976. He is now an engineer. His research direction is high speed digital processing technology.
Email: maxlj@163.com