文章编号:1001 - 893X(2011)10 - 0113 - 04

基于 FPGA 的高可靠性 SDRAM 控制器设计与实现*

朱文斌[1],刘春平[1],黄 振[2]

(1.深圳大学,广东 深圳 518060;2.清华大学 航天航空学院,北京 100084)

摘 要:为了实现空间电磁环境中数据缓存,提出了一种采用 FPGA 设计具有高可靠性的 SDRAM 控制器方案。该控制器采用自顶向下的模块化设计,包括顶层控制和底层驱动两层状态机,并且通过上电自校验和关键控制模块三模冗余提高其可靠性。在此基础上,完成了控制器的 FPGA 硬件实现和测试。测试结果表明,该设计方案具有很高可靠性和可移植性,对应用于空间电磁环境中的数据缓存系统的工程实现具有指导意义。

关键词:空间电磁环境;数据缓存;SDRAM 控制器;可靠性;三模冗余;自校验

中图分类号:TN409 **文献标识码**:A doi:10.3969/j.issn.1001 - 893x.2011.10.023

Design and Implementation of a High Reliability SDRAM Controller Based on FPGA

ZHU Wen - bin[1], *LIU Chun - ping*[1], *HUANG Zhen*[2]

(1. Shenzhen University, Shenzhen 518060, China;
2. School of Aerospace, Tsinghua University, Beijing 100084, China)

Abstract: A design method of high reliability SDRAM controller based on FPGA is proposed for data cache utilized in space electromagnetic environment. This controller is modularized from top to bottom, including two layers state machine of top control and bottom driver. Its reliability is improved by the functions of power - on self - checking and critical control module triple modular redundancy(TMR). Finally, the FPGA hardware implementation and testing of the controller are completed, and the test results show that this design is highly reliable and flexible, which can be provided as guidance for realization of a practical data cache system in space electromagnetic environment.

Key words: space electromagnetic environment; data cache; SDRAM controller; reliability; triple modular redundancy; self-checking

1 引 言

在空间电磁环境中,由于受到高能辐射粒子的影响,电子器件会出现单离子翻转(Single Event Upset,SEU)等现象,从而导致 FPGA 内部寄存器内容改变,引起传输数据的错误,控制信号的错乱,甚至是整个工作系统的失效[1],因此,需要设计高可靠性的数据缓存控制器。常用的数据存储芯片包括 SDRAM 和 DDR-SDRAM 两种,均具有单位面积存储容量大和存取速度快的特点。但与 DDR-SDRAM 相比,SDRAM 外围电路更简单,其控制器实现的复杂度低,有利于可靠性的提高。从控制器的实现方案来看,采用 FPGA 实现具有较强的灵活性,并能支持更高的数据吞吐量[2]。因此,本文将主要解决如何利用 FPGA 实现具有高可靠性的 SDRAM 控制器,首先是采用自顶向下的模块化设计思路,根据 SDRAM 的工作原理,将控制器划分成不同的功能模块,使各个模块功能上主次分明;其次是增加上电自校验功

* 收稿日期:2011 - 06 - 14;修回日期:2011 - 08 - 17

能,对关键控制模块进行三模冗余设计,进一步增强控制器的可靠性。

2 控制器总体设计

在控制器总体设计方面,考虑到其可靠性,尽量简化顶层控制模块和底层控制模块之间的接口,顶层控制模块只需管理读写操作;为了提高控制器的可移植性,元件实例化时需要通过 GENERIC 进行参数的映射[3],使用时只需在顶层模块中设置相关参数,可移植性强。

2.1 SDRAM 工作原理

控制器通过 ras、cas、we 3 根控制线向 SDRAM 发送控制信号。SDRAM 的主要工作过程包括上电初始化、正常读写操作、换行和自动刷新操作。

(1)上电初始化

SDRAM 芯片上电之后需要等待 200 μs 的稳定时间,然后进行初始化操作。初始化主要包括预充电、自动刷新和模式寄存器设置等操作。

(2)正常读写操作

读写操作包括了突发读写和非突发读写两种工作模式,在读写操作中行列选通分时进行,时间间隔为 *tRCD*。

(3)换行和自动刷新操作

在 SDRAM 中进行换行操作包括发送预充电命令关闭当前行和发送激活命令打开新的工作行两个步骤。

SDRAM 的存储原理是用电容里的电荷量来表示数据,因此需要不断地刷新来保持电容里的电荷。刷新周期为64 ms,每次只刷新一行。进行刷新操作之前要先关闭当前工作行,然后发送刷新命令。

2.2 SDRAM 控制器功能模块划分

基于 SDRAM 的工作原理,在控制器的设计过程中采用了自顶向下的模块化设计方法。整个控制器包括了顶层控制和底层控制两大部分。图 1 是 SDRAM 控制器的底层模块划分,包括初始化模块、地址命令数据缓存控制模块、控制信号选择模块、读写数据控制模块和主控制模块 5 个模块,主控制模块是整个控制器的核心。

下面介绍各个模块的功能。

(1)初始化模块

初始化模块的主要功能是上电等待 200 μs 的稳定时间之后进行预充电、自刷新、模式寄存器设置等操作并发出相应的控制命令。

(2)地址命令数据缓存控制模块

SDRAM 在工作过程中因为要进行刷新、寻址等操作,不可能总处于数据传输状态,从而使得它的带宽不能达到百分之百的利用率[4]。地址命令数据缓存控制模块的作用就是配合主控制模块工作,当主控制模块进行刷新、寻址等操作时对顶层控制模块送来的命令、地址、数据在 fifo 中暂存。此外,SDRAM 上电自校验的功能也是在该模块中完成。

(3)控制信号选择模块

初始化模块和主控制模块在工作时都会发出控制信号和地址。控制信号选择模块在初始化完成前选择初始化模块发送的控制信号和地址,初始完成之后选择主控制模块的控制信号和地址。

(4)读写数据控制模块

读写数据控制模块配合 SDRAM 的双向数据总线工作,通过控制双向 buffer 中三态门的导通来控制数据流方向。

(5)主控制模块

主控制模块是整个控制器的核心,由一个包含 13 个状态的状态机来完成对 SDRAM 的控制,这样可以简化顶层控制模块的复杂度。

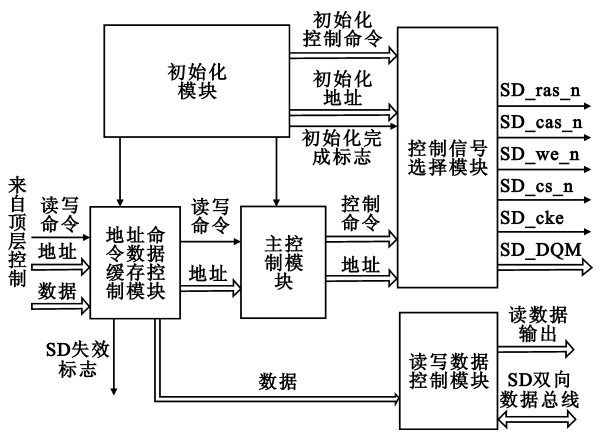

图 1 SDRAM 控制器底层总体结构

Fig.1 Bottom overall structure of SDRAM controller

3 控制状态机设计

3.1 顶层控制状态机设计

控制器顶层控制模块与底层控制模块之间包括读写命令(0 为写,1 为读)、地址和数据 3 个主要接口。这样设计的优点是顶层控制模块只需控制 SDRAM 读写和相应的地址和数据,无需管理刷新、预充电等操作,可以简化顶层控制的复杂度,这样根据具体应用需求只需改变顶层控制模块。

图 2 包括空闲态、读写判断状态、写状态、写等待、读状态、读等待 6 个状态。系统复位之后处于空闲态,等待底层控制模块上电初始化和自校验均成

功之后进入读写判断状态,并根据外部控制信号进行相应的读写操作。

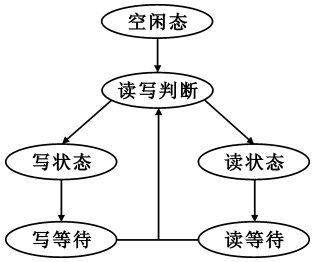

图 2　SDRAM 控制器顶层控制状态机

Fig.2 Top control state machine of SDRAM controller

3.2　底层控制状态机设计

底层控制状态机包含在控制器底层主控制模块中,是整个 SDRAM 控制器的核心。该状态机包括 13 个状态,对 SDRAM 的读、写、预充电和刷新等操作都是通过这个状态机实现。图 3 是 SDRAM 控制器底层控制状态机的状态转移图。

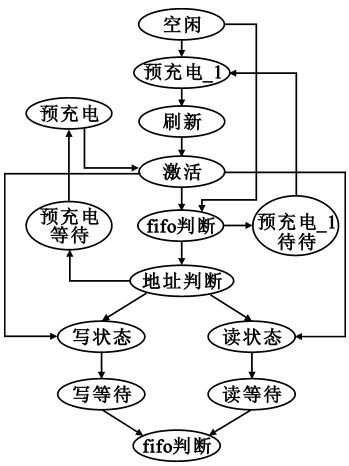

图 3　SDRAM 控制器底层控制状态机

Fig.3 Bottom control state machine of SDRAM controller

状态转移包括 4 个主要流程:

(1)写流程:激活→fifo 判断→地址判断→写状态→写等待→fifo 判断;

(2)读流程:激活→fifo 判断→地址判断→读状态→读等待→fifo 判断;

(3)换行流程:地址判断→预充电等待→预充电→激活;

(4)刷新流程:fifo 判断→预充电_1 等待→预充电_1→刷新→激活。

当 SDRAM 需要进行换行或刷新流程的时候,如果有读或写命令从顶层控制模块发送过来,命令、数据、地址被暂存在 fifo 中。当刷新或者换行操作完成之后再进行相应读或写操作。

4　可靠性增强设计

在外空间环境中,单粒子翻转(Single Event Upset,SEU)、工作温度突变和电磁辐射的干扰都会影响电子器件的正常工作。为了提高 SDRAM 工作的可靠性,必须采取一些相应的措施:首先,采集系统每次上电开始正常读写工作之前需要通过控制器对 SDRAM 工作状况进行自校验,确认其能否正常工作;其次,根据控制器模块划分情况,对 SDRAM 控制器中的部分关键模块做三模冗余(TMR)设计[5]。

4.1　SDRAM 上电自校验

所谓上电自校验是指 SDRAM 上电初始化完成之后向 SDRAM 写入若干数据再读出来并做累加和校验,确认 SDRAM 是否工作正常。

上电自校验的控制过程是在控制器底层的地址命令数据缓存控制模块中完成。具体实现方式是控制器上电初始化完成之后向 SDRAM 的 4 个 bank 的第一行分别写 8 个固定的数据,然后再从 4 个 bank 中将写入的数据读出来,并进行累加和校验。因为写入的数据是固定的,所以读出来累加和也是一个固定值。如果累加和与预期的值相等,则认为 SDRAM 可以正常工作,否则认为其失效。SDRAM 自校验的结果会发送到外部控制处理器,根据校验结果,外部控制处理器会对数据采集流程做相应的调整。

4.2　三模冗余设计(TMR)

设计上电自校验功能是为检测 SDRAM 芯片能否正常工作。为了提高数据缓存的可靠性,SDRAM 控制器本身也要进行可靠性设计。考虑到设计的复杂度和硬件资源等综合情况,选择传统的三模冗余(Triple Module Redundancy,TMR)方法进行容错设计。

图 4 是三模冗余的电路实现方案,模块 1、模块 2 和模块 3 功能完全相同,3 个模块的输出经过表决系统之后有一个最终的输出。在 SDRAM 控制器中,由于采取了自顶向下的模块化设计思路,控制器的各个模块有主次之分,在控制器中主控制模块、初始化模块和地址命令数据缓存控制模块比较关键,因此对这 3 个模块做了三模冗余设计,来提高控制器的可靠性。

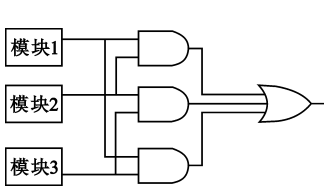

图 4　三模冗余的实现

Fig.4 Implementation of Triple Modular Redundancy

5 硬件实现及测试结果

控制器设计使用的开发工具是 XILINX 的 ISE10.1[7],仿真工具使用的是 Modelsim SE 6.2e。FPGA 芯片选用的是 XILINX 的 xc5vsx50t - 1ff665,SDRAM 芯片是 MICRONE 的 MT48LC16M16A2TG,这两款芯片都是工业级的。在用上述器件搭建好的实验平台上对设计好并且仿真完成的 SDRAM 控制器进行了测试。图 5 是用 XILINX 的 Chipscope 软件抓取的 SDRAM 上电自校验测试时序图,ras、cas、we 3 根线组成控制总线。自校验时首先向 SDRAM 4 个 bank(0、1、2、3)各写 8 个数,前 4 个数是 5,后 4 个数是 10,读出来的校验数据累加和为 240。图中数据(0)、数据(1)和数据(2)就是从 3 个功能相同的模块分别输出的数据总线作为三模冗余的表决电路输入,数据门控也是 3 个。为了测试三模冗余的效果,对数据(2)和相应的数据门控做了特殊处理,全部置为 0。自校验标志显示模块(0)和模块(1)发出自校验成功标志,模块(2)发出自校验失败标志,再次经过三模冗余表决之后自校验结果成功。修改了顶层模块中的相关参数对 SDRAM 的各种工作模式进行了测试,测试结果表明该控制器对各种工作模式均适应,完全满足数据缓存系统的需要。

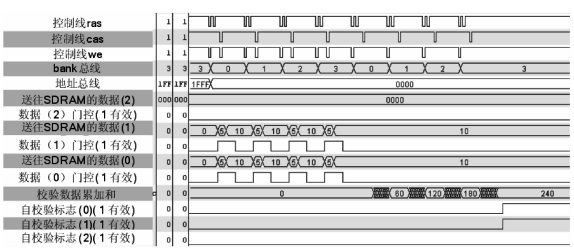

图 5 SDRAM 控制器上电三模冗余读写自校验测试

Fig.5 Power - on TMR access self - checking test of SDRAM contorller

6 结 论

本文采用 FPGA 设计了具有高可靠性的 SDRAM 控制器。与传统的 SDRAM 控制器相比较,由于按照自顶向下的模块化设计思路,控制器具有间接的分层结构的控制状态机,使其具有更好的可靠性和可移植性。特别是为使得控制器适应空间电磁环境,通过对关键控制模块的三模冗余设计,进一步提高了控制器的抗单离子翻转能力。在硬件上的测试结果表明,在部分模块出错的情况下,控制器均能够克服这些错误的影响,正确地完成 SDRAM 读写操作,该控制器已成功应用于空间电磁环境中的数据缓存系统。

参考文献:

[1] 姚睿,王友仁,于盛林,等.基于进化硬件的自修复 TMR 系统设计及其可靠性分析[J].传感器与微系统,2007,26(8):72 - 75,78.
YAO Rui, WANG You - ren, YU Sheng - lin, et al. Design and reliability analysis of selfrepair TMR systems based on evolvable hardware[J]. Transducer and Microsystem Technologies, 2007, 26(8): 72 - 75, 78. (in Chinese)

[2] 王艳春,祖静,崔春生. 基于 FPGA 的 SDRAM 的控制器实现与性能分析[J].电子测试,2010(12):44 - 46,57.
WANG Yan - chun, ZU Jing, CUI Chun - sheng. Realization of FPGA and the analysis performance of SDRAM controller [J]. Electronic Test, 2010(12): 44 - 46, 57. (in Chinese)

[3] VoInei A Pedroin. VHDL 数字电路设计教程[M].乔庐峰,王志功,译.北京:电子工业出版社,2009.
VoInei A Pedroin. Circuit design wth VHDL[M]. Translated by QIAO Lu - feng, WANG Zhi - gong. Beijing: Publishing House of Electronics Industry, 2009. (in Chinese)

[4] 武文杰,刘皓,李少谦. 基于 FPGA 的支持切换 Bank 的 SDRAM 控制器设计[J]. 信息技术,2006,30(1):33 - 36.
WU Wen - jie, LIU Hao, LI Shao - qian. Design of SDRAM controller supporting alterating Bank accesse based on FPGA [J]. Information Technology, 2006, 30(1): 33 - 36. (in Chinese)

[5] 李冬梅,王志华,高文焕,等.FPGA 中的空间辐射效应及加固技术[J].电子技术应用,2000,26(8):4 - 6.
LI Dond - mei, WANG Zhi - hua, GAO Wen - huan, et al. Space Radiation Effects and Reinforcement Technology of FPGA[J]. Application of Electronic Technique, 2000, 26(8): 4 - 6. (in Chinese)

[6] 马连川,刘波.一种分布式三模冗余控制系统的实现[J].北方交通大学学报,2000,24(5):71 - 74.
MA Lian - chuan, LIU Bo. Implementation of a Distributed Triple Modular Redundancy Control System[J]. Journal of Northern Jiaotong University, 2000, 24(5): 71 - 74. (in Chinese)

[7] 田耕,徐文波,胡彬.Xilinx ISE Design Suite 10.x FPGA 开发指南:逻辑设计篇[M].北京:人民邮电出版社,2008.
TIAN Geng, XU Wen - bo, HU Bin. Xilinx ISE Design Suite 10.x FPGA Development Guide—LogicDesign[M]. Beijing: People's Posts and Telecommunications Press, 2008. (in Chinese)

作者简介:

朱文斌(1986—),男,陕西西安人,深圳大学光电工程学院硕士研究生,主要从事 FPGA 及嵌入式系统开发工作;

ZHU Wen - bin was born in Xi'an, Shaanxi Province, in 1986. He is now a graduate student. His research concerns FPGA and embedded system development.

Email: zwb_maci@126.com

刘春平(1968—),男,重庆人,博士,深圳大学副教授;

LIU Chun - ping was born in Chongqing, in 1968. He is now an associate professor with the Ph.D. degree.

黄 振(1969—),男,重庆人,博士,副教授。

HUANG Zhen was born in Chongqing, in 1969. He is now an associate professor with the Ph.D. degree.