

文章编号:1001-893X(2011)08-0066-04

高速信号处理终端设备的设计*

李燕春

(中国西南电子技术研究所,成都 610036)

摘要:针对某宽带中频软件无线电终端设备,提出了一种高速 ADC 数据的接收方法,实现了多通道高速波形的采集和接收,并通过灵活的功能重构方式实现了终端设备各种复杂的功能,使用可配置的专用芯片产生出满足各种工作模式下的高速抗干扰模拟中频波形。这些方法和技术已在实际工程中成功应用。

关键词:软件无线电;DDR 接收机;功能重构;中频数字化

中图分类号:TN802;TN911 **文献标识码:**A doi:10.3969/j.issn.1001-893x.2011.08.014

Design of a High Speed Signal Processing Terminal Equipment

LI Yan-chun

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: According to the requirement of a broad band intermediate frequency (IF) software - defined radio (SDR) terminal equipment, a high speed ADC data receiving method is proposed to implement multi - channel high speed wave sampling and receiving. The versatile functions of terminal equipment are realized by flexible re-configuration. High speed anti - jamming analog IF waves in various operation modes are generated by using re-configured ASIC. These technical methods have been applied in practical engineering successfully.

Key words: software - defined radio; DDR receiver; function reconfiguration; IF digitization

1 引言

某高速终端设备可以多通道高速采集信息,数据传输带宽可达到兆级,传输延迟低,并对信息进行高速实时处理,实现传感器间互相交换数据和信息共享。中频信号处理是整个端机的核心部分,它采用宽带中频软件无线电方式^[1],以通用的硬件平台为依托,使用 FPGA 和 DSP 对数字化后的各种高速中频波形进行同步、数字滤波、抽取和内插、信道编解码、各种波形的数字调制和解调等处理^[2]。从实现的功能上看,中频信号处理终端设备大致可以分成多通道高速 ADC 及模拟波形数字化采集部分、数字信号处理算法部分、中频高速 DAC 及模拟波形产生部分。

本文介绍各部分底层设计的关键技术,即高速波形中频数字化采集、系统功能重构方式和中频高速波形的产生。

2 实现原理及工程应用

2.1 高速波形中频数字化采集

中频部分传输的数据带宽宽,接收通道有 8 路,如果采用并行 14 位输出的 ADC 则数据位数为 112,会占用 FPGA 大量的 I/O 和印制板空间,不能满足设备小型化要求,因此本文中频宽带 ADC 采用了 TI 公司的 ADS6445,它集成了 4 通道 ADC,最高采样率 125 Msample/s,模拟信号输入带宽 500 MHz,14 位数据输出,串行 LVDS 接口,可以设置成单线或双线的

* 收稿日期:2011-03-31;修回日期:2011-07-01

单数据率(SDR)或双数据率(DDR)方式输出,数据输出位数最多 32 路。可编程 LVDS 电流和内部端接电阻,此特点可以用来扩张眼图,提高信号完整性。

ADC 输出数据先送入 FPGA 处理,因此保证 FPGA 数据接收正确性,是后续各种数字信号处理算法实现的基础,也是系统能否实现的关键。串行方式减少了数据线但提高了数据传输率。ADC 采样率 100 MHz, 14 位数据串化后传输时钟将达到 1 400 MHz,时钟周期只有 0.714 ns,因此在 PCB 布线时对此高速时钟的走线要求严格。另外,FPGA 内部走线的时延这时也会对数据正确接收产生至关重要的影响^[3]。这么高的速率,它的理想预计数据采样窗口很窄,而且接收端因为 PCB 寄生电容电感等影响、采样时钟抖动和占空比失真、电源电压和温度的变化引起的采样漂移会使有效数据采样窗口变得更窄,严重时根本无法接收,必要时还需要增加传感器对电压和温度进行实时侦测以增加有效数据采样窗口宽度,从而增加了系统的复杂性。为了提高系统的可靠性,工程上将 ADC 数据输出方式设置成双线 DDR 传输,每对 LVDS 差分线传输 8 位数据,这样传输时钟可降到 400 MHz,单线数据传输率 800 Mbit/s,时钟周期增加到了 2.50 ns,数据采样窗口变宽,这样经过一次时钟采样点的调整就可实现各种工作环境下的要求。

FPGA 选用了 Xilinx 公司的 Virtex-4 系列芯片,此系列芯片带有专门的串并转换器 ISERDES 逻辑资源,可以避免在使用 FPGA 的架构设计高速串并转换器时遇到的时钟复杂性问题,便于高速源同步应用的实现。此逻辑资源支持快速的 I/O 数据率,支持单数据率(SDR)方式和双数据率(DDR)方式,支持存储器接口和网络接口,含有 BITSLLIP 子模块,在训练序列的帮助下,可以重新调整数据至字边界。

FPGA 对高速 DDR 数据的正确接收可分为位调整和字调整两个阶段,位调整阶段就是时钟采样点的调整,保证每位数据的正确接收;字调整阶段就是调整字里每位数据的排列顺序,得到最终的并行数据。单个 ISERDES 采用 DDR 接收时,数据宽度最大 6 位,通过将 IO 口的两个 ISERDES 设置成主从方式,可以将数据接收宽度扩展到 8 或 10。由于一路 ADC 分成双线后,其中一个至少 7 位,所以必须将 ISERDES 设置成 8 位主从数据扩展接收方式,如图 1 所示。

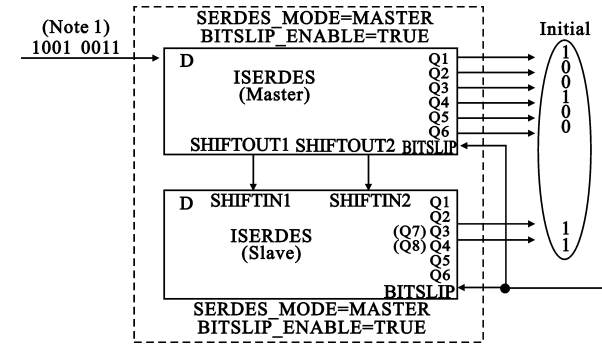


图 1 ISERDES 宽度扩展
Fig. 1 ISERDES width expansion

首先是位调整阶段,先要进行 DDR 源同步中心调整,对 FPGA 进行综合布线时,必须对时钟和数据信号线进行时序约束。在 UCF 文件中对信号线进行下述的时序约束能够保证时钟沿对准数据沿正中:

OFFSET = IN 0.625 ns VALID 1.25 ns BEFORE adc_bitclk
TIMEGRP adc_bitclk_Rising; OFFSET = IN -0.625 ns VALID 1.25 ns BEFORE adc_bitclk TIMEGRP adc_bitclk_Falling;

这比使用 IODELAY 逻辑资源方式调整速度更快,以满足实时性要求。位调整好后,ISERDES 能够正确接收并行数据字的每位,但字的排列顺序不同,这时则需要利用 ISERDES 的 BITSLLIP 子模块进行字调整。BITSLLIP 每使能一次,字的排列顺序旋转一次。因为接收字是 8 位,所以最多只需要 8 次调整。ADS6445 具有发送已知训练序列和正常采样两种工作方式,工程应用中,每次上电时将 ADS6445 配置成发送已知训练序列工作方式。FPGA 将接收到的并行数据与训练序列比较,如果不同,则进行一次调整后再比较,直到得到正确的数据。全部调整结束后将 ADS6445 配置成正常采样的工作方式。

在中频接收端输入固定频率的中频正弦波形,用 ChipScope Pro Analyzer 工具观察 FPGA 内 ISERDES 接收到的数据,图 2 是将各采样点的数据直接连接起来描绘成的波形,可直观地表明数据接收的正确性。

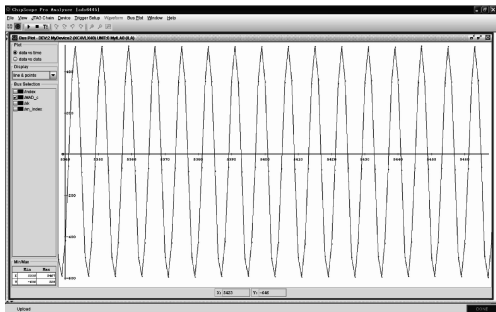


图 2 接收的数字中频波形
Fig.2 Received digital intermediate frequency wave

在工程中,用这种方式设计的高速 DDR 接收机稳定可靠,最多只需要300 ns就可以完成全部调整,为后续的数字信号处理算法实现奠定了基础,而且可以检测每路接收通道是否工作正常,并可将其作为状态自检信号上报整机。这种方法同样也可以用于高速传输数据的接收。

2.2 终端设备功能重构的实现

数字信号处理部分采用一片 Xilinx 公司 Virtex-4 系列 FPGA 加两片 TI 公司 TMS320C6416 定点 DSP 的架构,实现终端设备全部工作方式,是整个端机的核心。采用对 FPGA 和 DSP 进行版本动态加载实现功能重构。

FPGA 的版本动态加载通过 CPLD 加 FLASH 方式实现。多个 FPGA 的设计版本事先分段烧写在 FLASH 中,在 CPLD 中设计了控制 FPGA 的 *.bit 文件加载时序的控制程序,工作时通过拉低 FPGA 的 PROG-B 信号启动配置进程,采用地址映射方式选择 FLASH 中 FPGA 的 *.bit 文件,读出配置数据,选择 FPGA 的 Slave SelectMAP 方式加载。最后一帧配置数据传输完毕后,如果 CRC 校验正确,FPGA 进入启动阶段,当 DONE 信号变高,配置过程结束,FPGA 进入工作状态;如果 CRC 校验不正确,FPGA 会拉低 INIT-B 放弃配置,这时 CPLD 检测到 INIT-B 的下降沿,复位配置控制程序,并将 PROG_B 信号再次拉低,重新开始配置;如果 CPLD 连续检测到 5 次 INIT_B 下降沿,则放弃配置,上报错误信息。每个版本的加载时间大约要200 ms。

DSP 软件重构利用二次自举程序实现。当 TMS320C6416 选择了从 EMIFB 自举时,DSP 复位信号释放后,CE1 空间开始的1 kbyte数据以 EDMA 方式自动传送到内存地址 0,块传输结束后,CPU 从“停止”状态释放出来,从内存地址 0 开始执行程序^[4]。用户程序一般都大于1 kbyte,因而需要自行设计二次自举程序,将用户程序拷贝到内存中。二次自举程序必须固化在 FLASH 中前1 kbyte内,而用户版本程序则分段固化在1 kbyte地址以后。DSP 每次复位后,二次自举程序首先被自动拷贝进内存,接着二次自举程序拷贝用户程序到内存中,完成后用户程序入口地址被赋给 CPU 程序指针,于是 CPU 开始执行用户程序。通过在 CPLD 中作地址映射,将用户程序在 FLASH 中的地址转换成对应二次自举程序相同的起始地址,这样就可以根据工作方式选择不同

的 DSP 程序版本。下面是二次自举程序的源代码:

```
_boot_loop1:
    ldb    *B4 + +, B5
    mvkl   CODE_SIZE - 4, B6
    add    1, A1, A1
    ||     mvkh   CODE_SIZE - 4, B6
    cmplt  A1, B6, B0
    stb    B5, *A4 + +
    [B0]   b     _boot_loop1
    mvkl   .S2_c_int00, B0
    mvkh   .S2_c_int00, B0
    B      .S2_B0
```

工程上,利用上述方法稳定可靠地实现了多种工作方式的切换。

2.3 中频高速波形的产生

各种抗干扰抗截获高速模拟中频波形的产生采用美国 AD 公司近期推出的一款双路16 bit数据宽度、数据采样率高达1 Gsample/s的 TxDAC + 专用芯片 AD9779 实现。它将内插滤波器、正交调制器、DAC 转换器、锁相环倍频器集成在同一芯片内,并且可以通过芯片内的数字控制器对它们进行不同的组合,因而使该芯片工作方式灵活多样,具有 DAC 转换后直接发射的特性。

外部基带数据可以通过内插后直接调制在片内的本振频率上,也可以将已调制数字载波内插后与片内的本振频率进行混频以实现数字上变频,最后得到的数字中频信号通过16 bit DAC 转换成模拟中频发射信号。AD9779 内部正交调制器也可以被旁通而直接将外部数字信号转换成模拟信号。AD9779 具有反 sinc 滤波器,以补偿平顶采样所造成的失真。AD9779 产生的模拟中频发射信号的驱动电流大小可以在8.7~31.7 mA范围内调整。

AD9779 共有 32 个控制寄存器,其中 26~31 保留未用,其它 0~25 用来设置各种工作方式。

例如要将 7 MHz 数字中频信号上变频到 102 MHz再发射出去,可以将7 MHz数字中频信号的采样率设为95 MHz,AD9779 片内用760 MHz的采样时钟产生95 MHz的数字本振频率,这样在7 MHz数字中频信号 8 倍内插后与数字本振频率相乘混频^[4],就可将其数字上变频到102 MHz的数字中频,然后将其 DAC 后就能输出102 MHz的模拟中频载波信号。

工程上,已经用 AD9779 实现了多种中频调制

波形的发射。AD9779 由于能灵活地配置,具有良好的性能,是通用硬件平台设计一个很好的选择。

图 3 是用 Tektronix RSA6114A 频谱仪测得的 70 MHz 单载波中频发射信号的频谱,可见信噪比可以达到 58 dB。

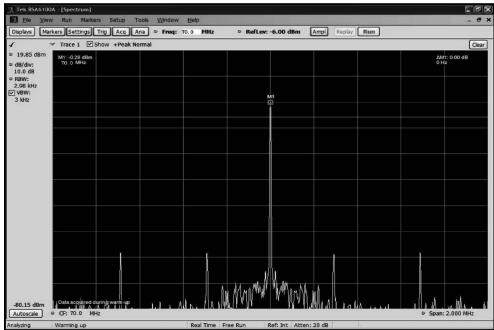


图 3 70 MHz 中频发射信号频谱图

Fig.3 Transmitted 70 MHz intermediate frequency signal spectrum

3 结束语

高速 DDR 接收机的正确设计保证了高速 ADC 数据的可靠接收,为终端设备高速性能的实现打下了坚实的基础。终端设备功能重构的实现方式具有很高的灵活性,只要有容量足够的存储器件,就可使终端设备实现对应其硬件平台的多种功能,并可以无限地增加,为设备功能的实现和扩展提供了强有力的支撑。多种功能集成 DAC 芯片的灵活使用也保证了各种高速抗干扰模拟中频波形的产生。

参考文献:

[1] 杨小牛,楼才义,徐建良. 软件无线电原理与应用[M]. 北京:电子工业出版社,2002.
YANG Xiao - niu, LOU Cai - yi, XU Jian - liang. Software Defined Radio Theory and Application[M]. Beijing: Publishing House of Electronics Industry,2002. (in Chinese)

[2] 贝耶尔,刘凌. 数字信号处理的 FPGA 实现[M]. 北京:清华大学出版社,2011.
Meyer - Baese U, LIU Ling. Digital Signal Processing with Field Programmable Gate Arrays[M]. Beijing: Tsinghua University Press,2011. (in Chinese)

[3] 何宾. FPGA 数字信号处理实现原理及方法[M]. 北京:清华大学出版社,2010.
HE Bin. FPGA Digital Signal Processing Theory and Method [M]. Beijing: Tsinghua University Press,2011. (in Chinese)

[4] Steven W Smith,张瑞峰,詹敏晶,等. 实用数字信号处理:从原理到应用[M]. 北京:人民邮电出版社,2010.
Steven W Smith,ZHANG Rui - feng,ZHAN Min - jing,et al. Digital Signal Processing A Practical Guide for Engineer and Scientists[M]. Beijing: People's Posts and Telecommunications Press,2010. (in Chinese)

作者简介:

李燕春(1969—),男,北京人,2004 年获电子科技大学信号处理专业硕士学位,现为工程师,主要研究方向为通信系统终端设备设计。
LI Yan - chun was born in Beijing, in 1969. He received the M.S. degree from University of Electronic Science and Technology of China in 2004. He is now an engineer. His research concerns the design of communication system terminal equipment.
Email: qulifine@hotmail.com