文章编号:1001 - 893X(2011)04 - 0060 - 04

利用 FPGA 实现三相正弦直接数字频率合成器*

吴 进

(西安邮电学院 电子工程学院,西安 710121)

摘 要:利用 FPGA 芯片及 D/A 转换器,采用直接数字频率合成(DDS)技术,设计并实现了相位、频率可控的三相正弦信号发生器。正弦调制波的产生采用查表法,仅将 1/4 周期的正弦波数据存入 ROM 中,减少了系统的硬件开销。仿真和电路测试表明,输出波形完全达到了技术要求,证明了设计的正确性和可行性。

关键词:直接数字频率合成;信号发生器;现场可编程门阵列;三相波形

中图分类号:TN74 **文献标识码**:A doi:10.3969/j.issn.1001 - 893x.2011.04.013

Implementation of Three-phase Sinuous Direct Digital Synthesizer Based on FPGA

WU Jin

(College of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: Based on combination of FPGA and D/A, a three - phase sinuous signal generator whose phase and frequency can be modified is designed and realized by using DDS. Sinuous modulation waveforms come from lookup table. Data of sinuous waveforms only in 1/4 sinuous cycle is required to be stored in ROM so that the internal hardware resource of the FPGA is reduced. Simulation and tests show that the output waveform can meet the design specifications, which proves the design is correct and feasible.

Key words: DDS; signal generator; FPGA; three - phase waveform

1 引 言

直接数字频率合成器(Direct Digital Synthesizer, DDS)与数字信号处理器(DSP)一样,是一项关键的数字化技术。与传统的频率合成器相比,DDS 具有低成本、低功耗、高分辨率和快速转换时间等优点,广泛应用在电信与电子仪器领域,是实现设备数字化的一个关键技术。目前,各大芯片厂商都相继推出了高性能和多功能的 DDS 芯片,内部数字信号抖动很小,输出信号的质量较高。但是在某些场合,由于专用的 DDS 芯片的控制方式是固定的,故在工作方式、频率控制等方面与系统的要求差距很大,数字控制器接口不便,难以满足复杂要求,对处理速度要求较高,从而也限制了频率进一步的提高,同时微处理器的处理任务也更加繁重[1,2]。FPGA 以其可靠性高、功耗低、保密性强等特点,在电子产品设计中得到了广泛的应用[3]。

本文根据实际需要,设计出符合特定需要的三相正弦 DDS 电路,通过实验证明,利用 FPGA 合成 DDS 是一个较好的解决方法,具有良好的实用性和灵活性。

* **收稿日期**:2011 - 01 - 10;**修回日期**:2011 - 03 - 03
基金项目:陕西省教育厅自然科学专项科研计划项目(09JK730;2010JK838)
Foundation Item: The Natural Scientific Research Foundation of Educational Office in Shaanxi Province(09JK730;2010JK838)

2　正弦直接数字频率合成器设计原理

合成器由频率控制字 N、相位控制字 M 分别控制输出正弦波的频率与相位,其中相位累加器为合成器的关键控制部分,通过控制改变频率控制字 N 与相位控制字 M 的快慢,从而得到相应频率和任意超前与滞后的相位的正弦波形,甚至是余弦波形。实际这种改变相位控制字 M 与频率控制字 N 的配合,通过查找正弦表地址来得到,实际将每个地址对应正弦表中的 0 ~ 360 范围内的每一个相位点。查表将输入的地址信息映射成相应的幅值,从而得到完整的正弦信号,同时通过数模转换器 DAC,经过低通滤波器(LPF),就可以得到一个频谱纯净的正弦波。其原理图如图 1 所示。

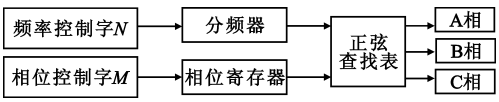

图 1　三相数字频率合成器结构
Fig.1 Three-phase DDS structure

3　正弦波发生原理及逻辑设计

3.1　正弦函数表的设计

在传统正弦函数 ROM 表的设计中,通常将 0 ~ 2π 整个周期所有的离散信号全部存入芯片中[5]。这种方法虽然实现比较简单,但同时会浪费芯片的大量资源。

考虑到正弦波信号在 0 ~ π 与 π ~ 2π 关于直线 $X = \pi$ 成偶对称,故可以将 ROM 表中的数据减少为原来的一半。再利用左半周期内,波形关于直线 $X = \pi/2$ 成奇对称,进一步可将正弦函数 ROM 表减少一半。这样,就可以将 ROM 表的数据减少为原来的 1/4,可极大减少正弦函数 ROM 表在芯片内部占用的逻辑资源。即通过一个正弦波形表的前 1/4 周期,就可以变换得到正弦的整个周期波形,同时减少了将近 3/4 的周期资源而使系统得到优化,效果非常显著。

根据以上思路,利用公式(1)提前把算好的正弦函数离散值按照相应的地址顺序依次存入芯片内部的 ROM 区中。本文的设计中采用以上思路,将 0 ~ 2π 一个正弦周期内共有8 192个离散点,缩减为 0 ~ π/2 共2 048个离散点,其中相位分辨率为 0.044°。将 N 作为正弦离散值的地址线,离散点的计算按公式(1) 计算:

$$\mathrm{Sin_Data} = 127'\sin(\pi/2n),\ n \in [0,2047] \quad (1)$$

其中正弦表的内部结构如表 1 所示。

表 1　正弦函数表内部结构表
Table 1 Internal structure of sine function

地址 M	对应正弦函数幅值(Sin_Data)
00000000000	0000000
00000000001	0000000
⋮	⋮
11111111110	1111111
11111111111	1111111

3.2　三相正弦信号的产生原理

由于在设计中采用了一个正弦表,而需要产生三相正弦信号则成为逻辑设计的一个难点与关键点。传统的设计中需要在 FPGA 内部存储 3 个正弦函数表,非常浪费芯片的逻辑资源[6]。因此,本文产生三相正弦信号利用了三相分时原理设计。在设计中采用 3 个可逆计数器,分别在时钟信号的作用下同时进行计数,其计数值作为三相正弦信号在 ROM 表中的地址。由于产生的三相正弦信号彼此的初相位不同,所以在可逆计数器的作用下,3 个可逆计数器的查表方向对于 A、B、C 三相就各有所不同。其查正弦函数表原理如图 2 所示。

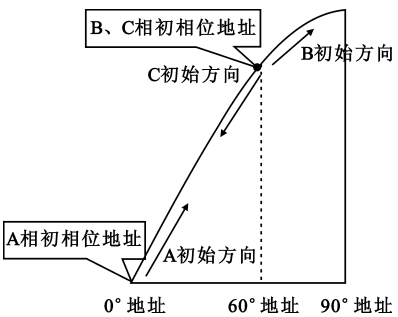

图 2　查正弦函数表原理图
Fig.2 The principle figure of finding sine function table

例如,在设计中产生 3 个初相位为零、相位互差 120°的三相正弦信号[7],如图 2 所示,A 相首先从正弦函数表的地址 0°开始累加读起,当读到地址 90°处,再从地址 90°处累减读到地址 0°处,这样在 A 相可逆计数器的控制下,就可以得到周期为 π 的单向半波正弦信号;C 相首先从正弦函数表的地址 60°开始递减读起,当读到地址 0°处,再从地址 0°处递增读到地址 90°处,然后从地址 90°处递减读到地址 0°处,这样在 C 相可逆计数器的控制下,就可以得到周期

为 π,初相位滞后 A 相 60°的单向半波正弦信号;同理,B 相从正弦函数表的地址 60°开始累加读起,在 B 相可逆计数器的控制下,就可以得到周期为 π,初相位滞后 C 相 60°的单向半波正弦信号。这样,通过一个 π/2 周期的正弦函数表就可以发出 3 个相位互差 60°周期为 π 的单向半波正弦信号。

正弦函数表中读取对应的正弦幅值采用分时的方法。其中分时时钟非常小,在不影响正常三相正弦信号的相位关系下,分相逻辑产生器产生的时序如图 3 所示,其中 CLK 为输入系统时钟,分相逻辑产生器输出 A、B、C 3 个依次滞后的时序[8]。当 A 为高电平时读取从正弦函数表内读取出 A 相的正弦幅值;B 当为高电平时,读取 B 相的正弦幅值;C 为高电平时,读取 C 相的正弦幅值。这样,在三相分时逻辑控制器的作用下,将查出的 3 个单相半波正弦信号送给正弦信号幅值调节器。

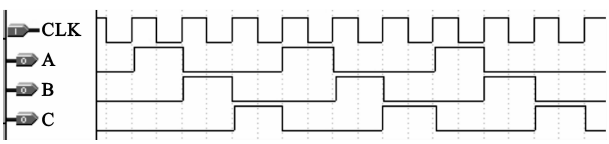

图 3 三相分时逻辑时序图

Fig.3 The logic time sequence figure of three-phase time-sharing

将 3 个单相半波正弦信号调整为周期为 2π 的正弦信号,利用公式(2)和公式(3) 就可以调节为正常的正弦信号:

$$A_{in} = 127 + \text{Sin_Data}\{2k\pi < \text{Sin_Data} < (2k+1)\pi\} \quad k = 0,1,2,\cdots,N \tag{2}$$

$$A_{out} = 127 - \text{Sin_Data}\{(2k+1)\pi < \text{Sin_Data} < (2k+2)\pi\} \quad k = 0,1,2,\cdots,N \tag{3}$$

这样,3 个单相半波正弦信号就调整为成为相位彼此互差 120°的三相正弦信号。

3.3 相位的调节方法

M 作为相位控制字输入信号,将输入信号 M 作为正弦函数 ROM 表的偏移地址。当系统要求发出超前参考信号的角度时,首先超前与滞后标志位变为“1”。可逆计数器查表地址从初始位置对应偏移到 ROM 表地址[9]。如果 M = “01010101011”(即 $\delta = 683$ 为相对偏移地址,实际 $M = 683 \times 0.044° = 30°$),A 相可逆计数器首先从地址“01010101011”处先递增计算,递增到“11111111111”处就开始递减计算,计算到地址“00000000000”处再递增计算,在时钟的作用下往复计算。B 相可逆计数器从地址 1365 + 683 处(1365 为 60°地址)递减计数;同理,C 相可逆计数器从 1365 + 683 处递增计数。这样,输出的正弦信号比参考信号超前 30°。同理,发出滞后电网电压信号的正弦信号只需采用与超前相反的方法。由于在正弦函数 ROM 表中存储了(0° ~ 90°)的正弦函数值共2 048个离散点,M 的调节范围在(- 90° ~ + 90°)之间,相位分辨率为 0.044°。

4 实验结果

将编译好的配置文件下载到 FPGA 芯片中,用示波器来观测输出波形。图 4 为 A 相与 B 相 LPF 滤波后的波形图,可以看出 A 相与 B 相彼此相位保持 120°的相位关系,证明输出三相波形的相位是正确的。

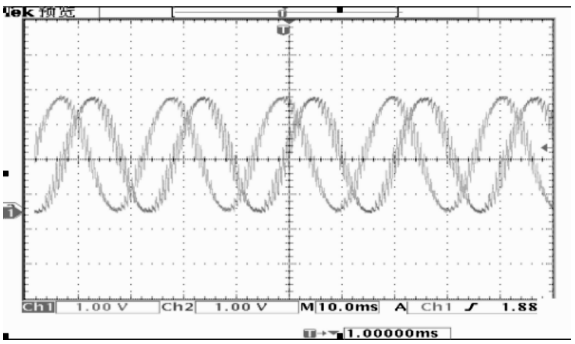

图 4 两相输出 120°波形图

Fig.4 The 120° waveform figure of two-phase output

在实际应用中,通过改变频率控制字的大小就可以改变输出频率[10]。本文利用 FLEX10K 器件设计了相应的三相正弦 DDS 电路,对实验电路进行了全面检验。实验结果表明,整体逻辑设计是正确的,输出的三相波形相位符合设计要求的控制。

5 结束语

本文根据实际需要,设计出了符合特定需要的三相正弦 DDS 电路,通过实验证明,输出波形达到了技术要求,控制灵活,性能良好。该方法较传统方法具有良好的实用性和灵活性,有很好的推广价值。

本文下一步的工作是利用 FPGA 设计并实现出符合特定需要的方波或三角波 DDS 电路,并且频率可调节。

参考文献:

[1] Zbigniew Bielewicz, Leszek Debowski. A DSP and FPGA

Based Integrated Controller Development Solutions for High Performance Electric Drives[J]. Proceedings of the IEEE, 2009,16(2):679 – 684.

[2] Shih – Liang Jung, Meng – Yueh Chang. Design and Implementation of a FPGA – Based Control IC for AC – Voltage Regulation[J]. IEEE Transactions on Power Electronics, 2009,14(3):522 – 532.

[3] 侯波亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计[M]. 西安:西安电子科技大学出版社,2010.
HOU Bo – heng, GU Xin. VHDL and digital logic circuit design [M]. Xi'an:Xidian University Press,2010. (in Chinese)

[4] Vankka J. Methods of mapping from phase to sine amplitude in direct digital synthesis[C]//Proceedings of the 1996 IEEE International Frequency Control Symposium. Honolulu, HI, USA:IEEE,1996:942 – 950.

[5] 刘薇,王建立. 基于 FPGA 与单片机的波形发生器设计[J]. 微计算机信息,2008,64(15):198 – 199.
LIU Wei, WANG Jian-li. Design of waveform generator based on FPGA and single chip[J]. Microcomputer information, 2008, 64(15):198 – 199. (in Chinese)

[6] 刘诗华,王德石,谢邦勇.基于 DDS 的混沌调相信号生成方案[J]. 系统工程与电子技术,2009,55(4):26 – 28.
LIU Shi – hua, WANG De – shi, XIE Bang – yong. Scheme of chaos phase modulation signal Generation base on DDS [J]. Systems Engineering and Electronics, 2009, 55(4):26 – 28. (in Chinese)

[7] 曹群, 颜德田. 基于 DDS 的中功率低频信号源的设计[J]. 电子测量技术,2009,38(5):14 – 16.
CAO Qun, YAN De – tian. Design of middle power low – frequency signal source based on DDS[J]. Electronic Measurement Technology, 2009, 38(5):14 – 16. (in Chinese)

[8] 冯源,樊祥,胡涛涛,等. 基于 DDS 技术的通信激励器设计[J]. 通信技术,2010,34(11):126 – 128.
FENG Yuan,FAN Xiang,HU Tao – tao,et al. Design of communication prompting source based on DDS technology[J]. Communication Technology, 2010, 34(11):126 – 128. (in Chinese)

[9] 袁纵横,魏常伟. 基于 DDS 的高功率超声波电源的设计[J]. 电力电子技术,2010,26(11):46 – 49.
YUAN Zong – heng, WEI Chang – wei. Design of high power ultrasonic wave supply based on DDS [J]. Power Electronics Technology, 2010, 26(11):46 – 49. (in Chinese)

[10] 杨蕾. 基于 DDS 的高码速率遥感卫星模拟信号频综源设计与实现[J]. 电子器件,2009,56(12):66 – 69.
YANG Lei. Design and implement of high bit rate remote sensing satellites analog signal source based on DDS[J]. Electronic Devices, 2009, 56(12):66 – 69.(in Chinese)

作者简介:

吴　进(1975—),女,江苏常州人,2001 年获西安交通大学工学硕士学位,现为副教授,主要研究方向为信号与信息处理。

WU Jin was born in Changzhou, Jiangsu Province, in 1975. She received the M. S. degree from Xi' an Jiaotong University in 2001. She is now an associate professor. Her research direction is signal and information processing.

Email:huatao2000@126.com

《电讯技术》征稿的新要求

为了促进本刊的国际化进程,进一步扩大影响力,为广大科技人员搭建更高层次的学术研究和技术交流平台,现对来稿作如下几点新的要求:

(1)来稿中的图题、表题应给出对应的英文翻译;

(2)中文参考文献采用双语著录;

(3)属于基金项目的来稿应给出项目的英文翻译;

(4)提供作者简介的英文翻译,其中应包括作者的出生年、籍贯、何时获得学位、研究方向等内容,可参见 IEEE 系列刊物作者简介的翻译;

(5)欢迎作者将具有原创性的研究成果直接以全英文论文投稿,应注意语言流畅,专业术语准确,符合科技英语表达习惯,并附上中文标题、单位、摘要和关键词,以及中文作者简介;

(6)为了保证出版的及时性,作者不得在自校阶段对稿件作大幅修改,否则,将按新投稿件处理,编辑部保留追究由此造成的一切损失的权利。

更多信息请浏览本刊网站:www.teleonline.cn。

《电讯技术》编辑部