

文章编号:1001-893X(2011)04-0031-04

多总线地面测试设备中双 SDRAM 控制器的设计^{*}

刘延飞,杨铁阡,李 琪,倪 亮

(第二炮兵工程学院,西安 710025)

摘 要:针对某型导弹多总线地面测试设备传输数据量大、传输速度高的要求,设计了一种基于乒乓操作的 SDRAM 控制器作为测试设备数据缓存器。详细介绍了以 FPGA 为主控器的设计方案,包括 SDRAM 内部接口设计、数据传输过程以及乒乓操作的实现方法。通过图像发生装置将图像数据发送给测试总线,对控制器功能进行验证,数据读写速率稳定达到 125 Mbit/s,证明本控制器具有良好的性能,能够满足多总线地面测试设备的需求。

关键词:地面测试设备;多总线;SDRAM 控制器;乒乓操作

中图分类号:TN2;TN79 **文献标识码:**A doi:10.3969/j.issn.1001-893x.2011.04.007

Design of Double SDRAM Controller for Multibus Ground-based Test Equipment

LIU Yan-fei, YANG Tie-qian, LI Qi, NI Liang

(The Second Artillery Engineering College, Xi'an 710025, China)

Abstract: A double SDRAM controller based on ping-pong operation as the data buffer is designed to meet the requirement of large data amount and high transmission speed for multibus ground-based test equipment of a missile system. The design scheme which uses FPGA as the main controller is presented in detail, including the internal interface of SDRAM, process of data transmission and realization of ping-pong operation. The function of this controller is validated through the picked images from image generator, and the result shows that it can write and read data at the steady rate of 125Mbit/s, which indicates this SDRAM controller is feasible for the multibus ground-based test equipment.

Key words: ground-based test equipment; multibus; SDRAM controller; ping-pong operation

1 引 言

航空航天设备的测试通常根据不同测试对象的特征采用不同的测试总线,因此有必要提出一种多总线地面测试设备的设计方案,而测试设备需要读写速度快、容量大的存储器来存储采集的图像数据和各种总线上传输的数据。在各种随机存储器中,SDRAM 价格低、体积小、速度快、容量大、控制相对简单,是比较理想的器件^[1],但是 SDRAM 读写逻辑

比较复杂,需要利用现场可编程逻辑器件对其进行控制^[2]。另一方面,传统的单片缓存器数据存储量少、读写速度较慢,不能满足目前某型导弹多总线地面测试设备传输数据量大、速度快的要求,为此设计了基于乒乓操作的双 SDRAM 控制器,用于多总线地面测试设备中的实时图像采集与数据处理。

2 多总线地面测试设备设计思想

基于 FPGA 芯片高速、高集成度、编程灵活等优

^{*} 收稿日期:2011-01-04;修回日期:2011-04-15

点,多总线地面测试设备以 FPGA 器件为控制核心,采用硬件描述语言 Verilog 进行编程设计^[3],可以方便地实现数据的不间断采集、存储和显示等功能。其工作原理为:采集数据时,图像发生装置将实时图像数据通过 DS90C124 转换、FPGA 控制,存储在 SDRAM 中;数据上传时,通过专用接口芯片 PCI9054 将 SDRAM 中存储的数据通过 PXI 总线传输至上位机,完成图像数据的上传;图像显示时,上位机经 PXI 总线将采集的图像数据通过 PCI9054 后输出到 SDRAM,FPGA 控制 SDRAM 读数据,通过 DS90C241 转换,实现图像的显示^[4]。上位机也可以通过发送指令,直接将保存在 SDRAM 中的数据经 DS90C241 转换后输出显示。利用同步 RS485 总线进行测试时,上位机向 RS485 驱动发送一个请求帧,随后转入数据接收等待状态,有同步串行数据到来时,首先完成 HDLC 协议分析,然后将其转换为 16 位并行数据由 FPGA 控制存入 SDRAM 中,当上位机读取数据时,将 SDRAM 中暂存的数据发送到上位机进行数据存储。利用 CAN 总线进行测试时,上位机将采集的图像与预先存储的特征图进行比较,根据对应的误差解算出控制指令,通过 CAN 总线接口发送给被测对象,同时被测对象将执行机构的相关数据通过 CAN 总线接口上传至上位机,实现数据的实时处理与显示。其整体设计框图如图 1 所示。

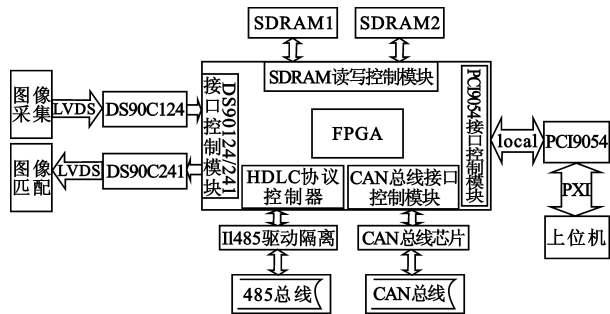


图 1 多总线地面测试设备结构框图

Fig.1 Structure of mutibus ground-based test equipment

3 SDRAM 控制器方案

SDRAM 具有空间存储量大、读写速度快、价格相对便宜的特点,适用于本系统。但其控制逻辑复杂,需要周期性刷新操作、行列管理、不同延时和命令序列等^[5]。根据系统对图像存储容量及读写速度要求,本文采用了三星公司的 K4S511632B – TC(L)。

SDRAM 控制器针对 SDRAM 的指令操作特点,为 SDRAM 提供同步命令接口和时序逻辑控制,下面将以 ALTERA 公司的 Cyclone II 系列芯片中的 EP2C70F67218 为例,介绍 SDRAM 控制器的具体设计方法。图 2 为 SDRAM 控制器的接口原理图。

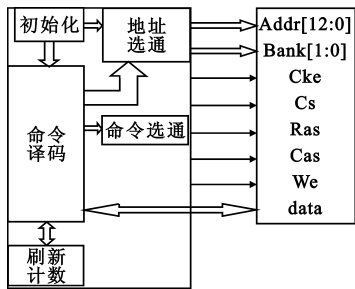


图 2 SDRAM 控制器接口原理图

Fig.2 Schematic diagram of interface for SDRAM controller

SDRAM 控制器作为顶层模块,由 3 个主要模块组成:接口控制模块、命令解析模块、数据通路模块^[6]。下面将介绍各个模块的功能及 Verilog 语言实现方法。

3.1 接口控制模块

接口控制模块主要实现的功能是将输入的命令变量 CMD[2:0]翻译成接口指令和对刷新计数器的控制指令^[7],如图 3 所示。首先通过状态机来完成对 CMD[2:0]的解析,根据 CMD[2:0]的值来决定状态的转移,完成对 CMD[2:0]的解码,实现 SDRAM 的预充电、刷新、读、写等功能。

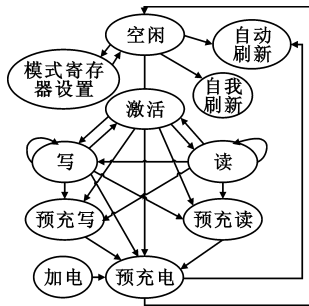


图 3 接口控制模块

Fig.3 Interface controller module

3.2 命令解析模块

该模块主要实现对输入的指令请求进行仲裁判断,并将仲裁后要执行的指令解码成 SDRAM 需要的 RAS、CAS 等信号,从而实现对 SDRAM 的控制^[8],如图 4 所示。

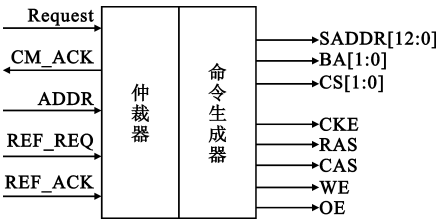


图 4 命令解析模块
Fig.4 Command analyzer module

```
部分代码如下：
assign rowaddr = SADDR[‘ROWSTART + ‘ROWSIZE -
1: ‘ROWSTART];
// assignment of the row address bits
assign coladdr = SADDR[‘COLSTART + ‘COLSIZE -
1: ‘COLSTART];
// assignment of the column address bits
assign bankaddr = SADDR[‘BANKSTART + ‘BANKSIZE
- 1: ‘BANKSTART];
// assignment of the bank address bits
if (do_refresh == 1)
begin
// Refresh: S = 00, RAS = 0, CAS = 0, WE = 1
RAS_N <= 0;
CAS_N <= 0;
WE_N <= 1;
else if (do_load_mode == 1)
begin
// Mode Write: S = 00, RAS = 0, CAS = 0, WE = 0
RAS_N <= 0;
WE_N <= 0;
CAS_N <= 0;
else if (do_rw == 1)
begin
// Read/Write: S = 01 or 10, RAS = 1, CAS = 0, WE = 0 or 1
RAS_N <= 1;
CAS_N <= 0;
WE_N <= rw_flag;
```

3.3 数据通路模块

数据通路模块主要是在读写命令期间处理数据的路径操作。模块结构图如图 5 所示。其中 DQ 是双向数据线,用来传输从 SDRAM 读出的数据和向 SDRAM 写入的数据。无论是数据在读出还是写入时,都是在 OE 为高时有效。DM 是由主机输出的数据掩码,通过 DQM 输出到 SDRAM 的 LDQM 和 UDQM 管脚,进而控制 SDRAM I/O 缓冲的低字节和高字节^[9],实现数据的有效传输。

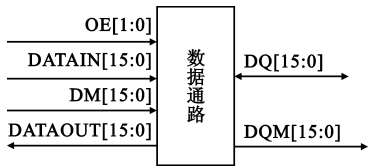


图 5 数据通路模块
Fig.5 Data path module

3.4 缓存控制模块与乒乓操作

在本测试设备中,数据是按帧传输的。FPGA 把接收到的数据先存储在其外接的 SDRAM 中,FPGA 控制 SDRAM 再把数据通过 PCI9054 上传至上位机。如果 FPGA 外接一片 SDRAM 会使数据传输效率大打折扣。为了提高传输速度,体现面积换取速度的思想,测试设备数据流传输使用两片 SDRAM 进行乒乓操作^[10],如图 6 所示。乒乓操作的最大特点是通过“输入数据选择单元”和“输出数据选择单元”按节拍相互配合地切换,将经过缓冲的数据流没有停顿地送到“数据流运算处理模块”进行运算与处理。对于整个控制器而言输入数据流和输出数据流都是连续不断的,很好地实现了数据的无缝缓冲与处理。

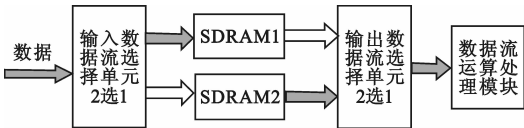


图 6 乒乓操作工作原理图
Fig.6 Schematic diagram of ping-pong operation

其部分代码如下：

```
case(wr_flag)
1'b0 : buffer1 <= data_in;
//wr_flag = 0 ,数据写入 buffer1
2'b1 : buffer2 <= data_in;
//wr_flag = 1 ,数据写入 buffer2
```

4 SDRAM 控制器的 FPGA 实现

本文设计的 SDRAM 控制器基于 Verilog 语言编写程序,所选用的软件为 QuartusII8.1,利用软件进行综合优化。代码下载到系统后运行性能良好,能够较好地完成 SDRAM 与 FPGA 的数据交换。图 7 为在 Quartus 环境下的功能仿真。当 CMD[2:0]为 001 时开始读取数据总线上的数据,行、列选通信号依次有效,SDRAM 内部数据读出至 DATAOUT[15:0]。

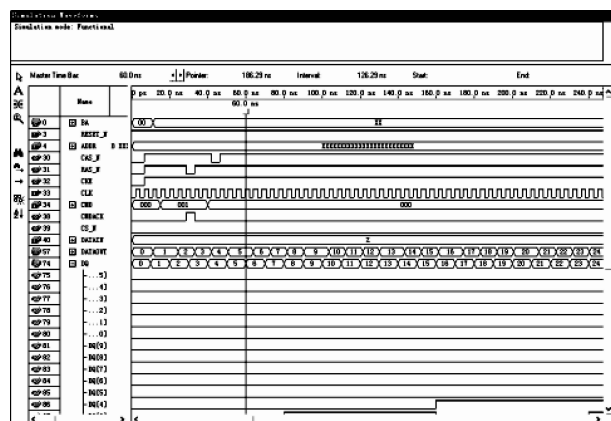


图 7 读数据时功能仿真
Fig.7 Function simulation for reading data

5 总结

本文结合 SDRAM 控制指令的特点,详细地介绍了一种基于 FPGA 的双 SDRAM 控制器的设计方案。重点研究了 SDRAM 各个基本操作如初始化、行有效、列读写以及突发操作等等,分析了 SDRAM 控制器的基本功能以及指令操作特点。经过软件仿真和代码调试,证明本控制器能够应用于多总线地面测试设备中,具有良好的开发利用前景。

参考文献:

- [1] Klehn B, Brox M. A Comparison of current SDRAM types: SDR, DDR, and RDRAM[J]. Advances in Radio Science, 2003(1):265 - 271.
- [2] 高子旺,顾美康.一种基于FPGA的低复杂度SDRAM控制器实现方法[J].计算机与数字工程,2010,38(1):194 - 196.
GAO Zi - wang, GU Mei - kang. Low Complexity Implementation Method of SDRAM Controller based on FPGA[J]. Computer and Digital Engineering, 2010,38(1):194 - 196. (in Chinese)
- [3] 吴继华,王诚. Altera FPGA/CPLD 设计(高级篇)[M]. 北京:人民邮电出版社, 2005:80 - 101.
WU Ji - hua, WANG Chen. FPGA/CPLD design for Altera (Advanced Level)[M]. Beijing: People's Posts & Telecommunication Press, 2005: 80 - 101. (in Chinese)
- [4] 朱新平,基于CPLD和SDRAM的视频多功能卡设计[J]. 电视技术,2009,33(2):223 - 224.
ZHU Xin - ping. Design of Video Multi - function Board Based CPLD and SDRAM[J]. Video Engineering, 2009, 33(2):223 - 224. (in Chinese)
- [5] 陈焱辉.嵌入式SDRAM控制器设计研究[D].西安:西安电子科技大学,2009.
CHEN Yan - hui. Research on the Design of Embedded SDRAM Controller[D]. Xi'an: Xidian University, 2009. (in Chinese)
- [6] 孙睿.基于SDRAM基本结构、操作及相关时序参数的

研究[J].中国集成电路,2010,129(2):56-60.

SUN Rui. A Research of Basic Structure Operations and Relative Timing Parameters of SDRAM[J]. China Integrated Circuit, 2010, 129(2): 56 – 60. (in Chinese)

- [7] WANG Xiaohui, ZHAO Yiqiang, XIE Xiaodong, et al. Design and implementation of an efficient SDRAM controller for HDTV decoder[J]. High Technology Letters, 2007, 13(4): 1288 - 1290.
- [8] GUO Li, ZHANG Ying, LI Ning, et al. The Feature of DDR SDRAM and the Implementation of DDR SDRAM Controllers via VHDL[J]. Journal of China Universities of Posts and Telecommunications, 2002, 9(1): 61 - 65.
- [9] BI Zhankun, HUANG Zhiping, WANG Yueke. Application in high speed signal acquisition of DDR SDRAM MegaCore Controller[C]//Proceedings of the Seventh International Conference on Electronic Measurement and Instruments. [S. l.]: IEEE, 2005: 362 - 365.
- [10] 徐欣, 于红旗, 易凡, 等. 基于 FPGA 的嵌入式系统设计 [M]. 北京: 机械工业出版社, 2005: 79 - 102.
XU Xin, YU Hong-qi, YI Fan, et al. Embedded system design based on FPGA [M]. Beijing: China Machine Press, 2005: 79 - 102. (in Chinese)

作者简介:

刘延飞(1975—),男,陕西咸阳人,2005年获硕士学位,现为副教授,主要研究方向为机器人智能控制、光学导引头在线测试技术;

LIU Yan - fei was born in Xianyang, Shaanxi Province, in 1975. He received the M. S. degree in Nanjing University of Aeronautics and Astronautics in 2005. He is now an associate professor at the Second Artillery Engineering College. His research interests include intelligent robot control and on - line test technique for optical seeker.

Email: bbdsp@126.com

杨铁阡(1987—),男,四川泸县人,硕士研究生,主要研究方向为智能化仪器仪表;

YANG Tie - qian was born in Luxian, Sichuan Province, in 1987. He is now a graduate student. His research direction is intelligentized instrumentation.

Email: youngsky2006@163.com

李 琪(1974—),女,山西晋城人,2005 年获硕士学位,现为讲师,主要研究方向为嵌入式系统应用技术;

LI Qi was born in Jincheng, Shanxi Province, in 1974. She received the M.S. degree in the Second Artillery Engineering College in 2005. She is now a lecturer. Her research direction is application of embedded system.

Email: youngsky.2000@yahoo.com.cn

倪 亮(1985—),男,江苏宿迁人,硕士研究生,主要研究方向为智能化仪器仪表。

NI Liang was born in Suqian, Jiangsu Province, in 1985. He is now a graduate student. His research concerns intelligentized instrumentation.

Email: nlfpga@163.com