

文章编号: 1001 - 893X(2011)01 - 0018 - 05

RapidIO 背板信号完整性测试方法*

曹 劲

(中国西南电子技术研究所, 成都 610036)

摘 要: RapidIO 背板的信号完整性优劣直接影响了 RapidIO 总线性能。结合行业规范, 分解出 RapidIO 背板信号完整性的相关指标要求, 并推导出一套完整的背板测试方法, 结合一个典型的背板系统, 对测试方法进行了详细的分析说明。该套测试方法切实可行, 可直接应用于类似的 RapidIO 背板测试。

关键词: RapidIO 总线; 背板; 信号完整性; 测试方法

中图分类号: TP302 **文献标识码:** A **doi:** 10.3969/j.issn.1001-893x.2011.01.004

Signal Integrity Test Method for RapidIO Backplane

CAO Jin

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: The signal integrity (SI) problem of RapidIO backplane has direct effect on the RapidIO bus performance. According to the industrial specification, this paper analyses the related SI performance requirement for the RapidIO backplane and introduces an integrated test method which is demonstrated particularly for a typical backplane system. The test method is feasible and can be applied to the similar RapidIO backplane test.

Key words: RapidIO bus; backplane; signal integrity; test method

1 引 言

随着集成电路工艺技术的发展, 时钟频率、数字电路的速率不断提高, 对于传输速率达到每秒几百兆比特甚至吉比特的高速数字信号, 其有效频谱已经扩展到微波甚至毫米波频段, 信号体现出明显的波特特性。速率的提高意味着信号边沿(上升沿/下降沿)变化越来越快。一般来讲, 如果信号在信号线中的传播延迟大于 $1/6$ 倍信号驱动端的上升时间, 则认为该类信号属于高速信号, 应采用微波领域中的传输线理论对信号传输特性进行分析。信号完整性(Signal Integrity, SI)是指在信号传输线上的信号质量, 在分层传输模型中属于物理电气层范畴。良好的信号完整性是指信号必须达到相应的电压电平和

时间指标, 引起信号完整性问题的主要因素包括了反射、延迟、串扰、开关噪声、电磁干扰等。

RapidIO 总线是目前高性能嵌入式系统最常用的系统总线之一, 可实现芯片级、电路板级、跨背板的多板级互联, 串行 RapidIO 总线速率高达 $1.25 \sim 6.25$ Gbit/s, 信号上升沿已经小于 0.1 ns, 属于高速信号范畴。同时, 越来越多的分布式处理系统采用背板实现多个处理节点间的 RapidIO 信号互联, 因此背板设计的好坏, 也会从一定程度上对信号完整性产生影响。

信号完整性问题的研究目前已经取得了大量成果, 文献[1-3]对高速信号的信号完整性进行了介绍, 对引起信号完整性问题的原因进行了分析; 文献[4]以每秒吉比特的传输速率下跨背板的互联情况为例, 分析了引起信号完整性问题的反射、串扰、抖

* 收稿日期: 2010-08-04; 修回日期: 2010-11-26

动现象,并提出了解决思路;文献[5]专门就信号完整性问题中的阻抗匹配进行了探讨,给出了优化设计的方法;文献[6]利用时域反射计 TDR 对阻抗连续性的测试进行了介绍;文献[7-8]对串行 RapidIO 总线的信号完整性进行了测试和仿真,给出了定性的分析结论。

虽然信号完整性问题在理论研究方面取得了丰富的成果,但在实际工程应用中,还缺乏准确的标准来对 RapidIO 背板的信号完整性问题进行定义和测量。本文结合相关行业规范,首次提出了 RapidIO 背板信号完整性的测试标准和方法,并结合典型的背板总线系统,对各项指标进行了测试和分析。

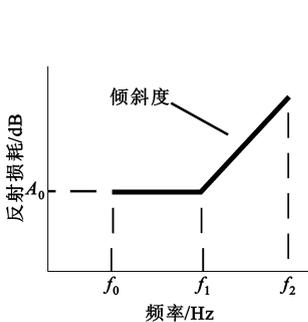
2 测试标准

2.1 RapidIO 规范简介

RapidIO 行业发展委员会在很早前就已经意识到信号完整性的重要性,因此在 RapidIO 标准规范的第 6 部分^[9],专门对串行 RapidIO 物理层信号的信号完整性进行了明确的规定和要求,内容覆盖 Level-1(速率为 1.25 Gbaud、2.5 Gbaud、3.125 Gbaud)和 Level-2(速率为 5 Gbaud、6.25 Gbaud)的近程和远程传输模式。由于跨背板的传输属于远程传输模式,因此以 Level-1 为例,简要介绍了规范中对信号完整性的规定和要求,如表 1 所示。

表 1 信号完整性要求
Table 1 Requirement of SI

| 指标项 | 发射端要求 | 接收端要求 |
|----------|--|--|
| 负载特性 | 100 Ω ± 5% | |
| 波特率 | 1.25 Gbaud、2.5 Gbaud、3.125 Gbaud, 误差小于 ± 100 ppm(百万分之一) | 同发射端 |
| 信号幅度和摆动 | 差分峰值电压: 500 ~ 1 000 mV 绝对电压: -0.4 ~ 2.4 V | 最大差分峰值电压: 大于 1 600 mV 最小差分峰值电压: 小于 200 mV 绝对电压: -0.4 ~ 2.3 V |
| 信号上升/下降沿 | 建议为 60 ps(按信号峰值的 20% 到 80% 之间的变化计算) | |
| 差分线对错位 | 建议如下: ≤ 25 ps(1.25 Gbaud) ≤ 20 ps(2.5 Gbaud) ≤ 15 ps(3.125 Gbaud) | |
| 阻抗和反射损耗 | 差分阻抗: 80 ~ 120 Ω 反射损耗: 如图 1 所示 | 差分阻抗: 80 ~ 120 Ω 反射损耗: 如图 1 所示 |
| 通道间错位 | < 1000 ps(通道数 ≤ 4) < 2UI + 1000 ps(通道数多于 4) | < 在单通道上传输 7 个码组的时间 |
| 短路电流 | 能够承受 ± 100 mA 的短路电流 | |
| 模板和抖动 | 如图 2 所示 | 如图 2 所示 |

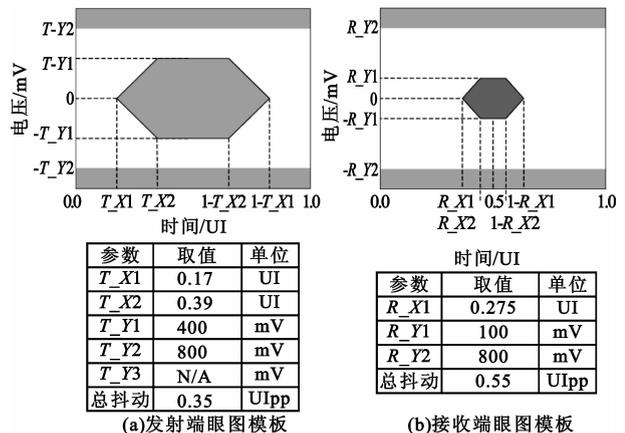


| 参数 | 取值 | 单位 |
|-------|-----------|--------|
| A_0 | -8 | dB |
| f_0 | T-baud/10 | Hz |
| f_1 | T-baud/2 | Hz |
| f_2 | T-baud | Hz |
| 倾斜度 | 16.6 | dB/dec |

| 参数 | 取值 | 单位 |
|-------|----------|--------|
| A_0 | -8 | dB |
| f_0 | 100 | MHz |
| f_1 | R-baud/2 | Hz |
| f_2 | R-baud | Hz |
| 倾斜度 | 16.6 | dB/dec |

图 1 发射/接收端反射损耗

Fig. 1 Transmitter/receiver return loss parameters



(a) 发射端眼图模板

(b) 接收端眼图模板

图 2 发射/接收端眼图模板

Fig. 2 Transmitter/receiver eye mask

2.2 背板测试标准

制定 RapidIO 行业规范的主要目的就是向用户提供通用、标准的设计指导,规范中涉及的所有内容适用于采用任何拓扑结构设计的 RapidIO 网络。正因为通用性的考虑,从规范中并不能直接找到专门针对 RapidIO 背板设计的具体要求,因此确定背板设计和测试的标准和依据是首先需要解决的问题。

通过对 RapidIO 规范的分析研究可以发现,发射端信号完整性的相关要求,主要对发射端输出信号的质量进行了规定,与背板设计是无关的。接收端信号完整性的相关要求,主要反映了接收端的信号接收能力,其本身也与背板设计毫无关系。背板作为信号传输的载体,必将对信号的质量产生影响,通过对表 1 的分析发现,背板对信号幅度摆动、错位、阻抗反射、模板抖动指标均会产生影响,而影响程度则正好间接地反映了背板信号完整性的优劣。

信号在背板上的劣化程度可以作为背板信号完整性判定的依据和标准。为此,需要模拟一个极端的环境,在该环境下,发射端发出的信号是刚好满足发射端规范要求但质量最差的信号,该信号经背板传输时发生了质量劣化,而劣化程度必须限定在某个范围内,以保证信号到达接收端时满足接收端规范的最低要求。从规范中发射端和接收端相关指标的差异可以直观地看出在这个极端环境下信号质量所允许的最大程度的劣化,而这个最大劣化程度就可以作为对背板信号完整性进行评定的标准。

3 测试方法

通过上述分析可知,与背板信号完整性相关的指标包括了模板和抖动、信号幅度和摆动、错位、阻抗和反射损耗。本节介绍了这些指标的测试方法,并结合具体的工程项目,对 2.5 Gbit/s 的 RapidIO 背板进行了实测,并对测试结果进行了分析说明。

3.1 模板和抖动测试

模板和抖动测试主要对信号经过背板传输后的眼图和抖动指标进行了测试,使用的仪器包括误码仪和示波器,需要注意的是示波器的采样率必须至少大于两倍信号波特率,这里采用了 Tektronix 的 DSA70804B 系列示波器,采样速率 25 GSample/s,满足采样率要求。为了便于测试,同时兼顾部分仪器不具备数字差分探头,因此专门制作了测试夹具,将背板的 LVDS 信号通过 SMA 射频连接器引出(背板

和模块上均选用 Tyco 公司的 RT-2 系列连接器),测试夹具满足单端阻抗 50 Ω、差分阻抗 100 Ω 的指标要求。

为了模拟最极端的测试环境,首先需要在发送端产生一个满足规范要求但质量最差的发射信号。这里先将误码仪与示波器直接连接,让误码仪输出 2.5 Gbit/s 的差分 LVDS 信号,并在示波器上对输出波形的眼图进行观测。通过对误码仪抖动参数的微调,改变信号的眼图质量,使其刚好达到 RapidIO 规范中发射端信号眼图模板要求(如图 2(a)所示)。

对误码仪的输出信号调整完毕后,将误码仪和示波器与背板进行连接,如图 3 所示。打开误码仪的输出端口,使其输出调节好的“最差”发射信号,示波器在远端对该信号进行接收。

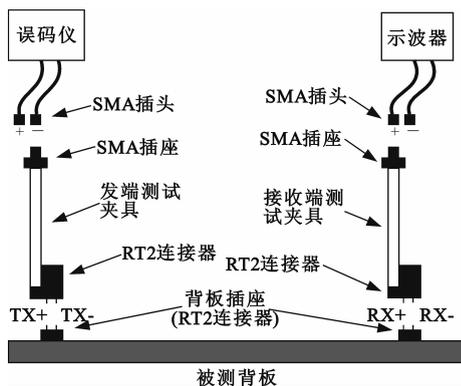


图 3 眼图和抖动测试
Fig.3 Eye mask and jitter test

示波器对接收信号的眼图、抖动指标进行了自动测量和分析。眼图测试结果如图 4 所示,通过与接收端模板的对比可以发现,接收信号的眼图质量较好,满足规范要求。

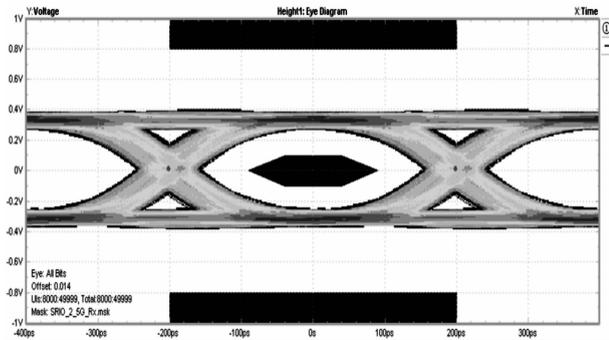


图 4 接收端信号眼图
Fig.4 Eye mask of receiver

抖动定义为数字信号在重要时刻上偏离理想时间位置的短期变化。利用示波器自带的抖动分析软

件可以对接收信号的抖动特性进行直接的测量分析。在本例中,实际测得的 TIE(定时间隔误差)和 Bathtub(浴盆)曲线如图 5 所示,在误码率为 10^{-12} 时,测得信号的随机抖动(RJ)为 5.489 5 ps,确定性抖动(DJ)为 54.618 ps,总抖动(TJ)为 131.47 ps (0.327 5 UI),抖动指标满足规范要求。

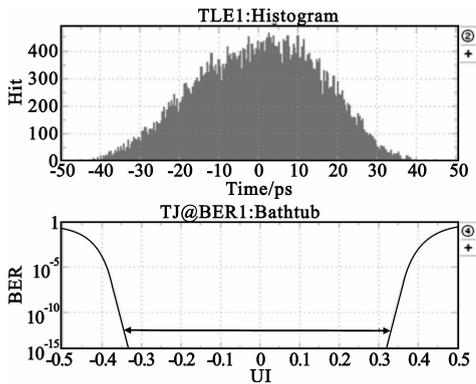


图 5 接收端信号抖动分析
Fig. 5 Receiver signal jitter analysis

3.2 幅度和摆动测试

接收信号的幅度和摆动指标反映了信号在背板传输过程中的衰减,测试方法参考模板测试,示波器可以直接对信号幅度和摆动指标进行测量,在本例中测得的差分信号平均摆幅为 524.11 mV,信号上升沿和下降沿分别为 58 ps 和 62 ps,满足规范要求。

3.3 错位测试

通道间的错位(Lane-to-lane Skew)主要指多个 LVDS 通道间信号的偏离,从时域来看,不同差分信号间存在时间上的“错开”,如图 6 所示。该项指标主要与多个差分对在背板 PCB 上走线的长度差有关,通常会对多通道传输的情况(即 RapidIO 的 4x 传输模式)造成影响。由于本例中采用的是 1x 传输模式,因此不存在错位问题。对于 4x 传输模式,利用示波器的多个测量通道对 4 路 LVDS 通道同时进行测量,就可以直接获取到各个通道之间的错位指标。

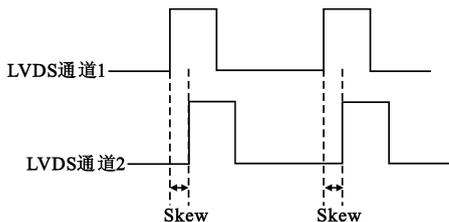


图 6 通道间的错位
Fig. 6 Skew between lanes

3.4 差分阻抗测试

根据传输线理论,传输线上的阻抗不连续会导致信号的反射,这可以由驱动源、传输线和负载的阻抗不同引起,也可以由传输线的不连续性(如过孔、短截线)等引起。高速数字信号系统的很多工程经验表明,大多数信号完整性问题都归结于阻抗的不连续性,而这又往往是设计师最容易忽略的地方。背板作为 RapidIO 信号传输的主要路径,其阻抗的设计应格外引起重视。

标准 LVDS 总线要求负载的差分阻抗为 100 Ω (RapidIO 规范也有明确要求),应用到本例中,这个负载就是接收端模块。从接收端模块连接器的 RapidIO 输入引脚看进去,其差分阻抗为 100 Ω,当接收端模块插入背板后,为保持阻抗的连续性,从背板上对应的发射端模块槽位的连接器引脚看进去,其差分阻抗也应该为 100 Ω。

为了测试背板的阻抗连续性,使用了时域反射计(TDR),这里使用了 Agilent 的 DCA - J86100C 数字通信分析仪,将分析仪设置到 TDR 差分工作模式,完成端口的校正后,按照如图 7 所示进行连接,在背板的远端槽位上保持开路状态(不插入模块)。TDR 的双端口输出差分阶跃信号,通过测量反射回来的信号强度,可以得到信号传输路径上各个位置的阻抗特性,从而判断背板的阻抗连续特性。由于篇幅的限制,这里仅给出了一个槽位上的阻抗测试结果,如图 8 所示。

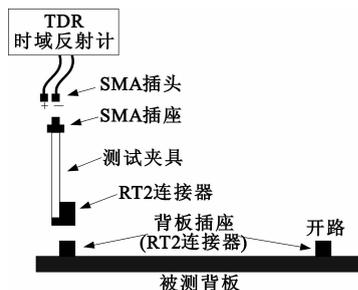


图 7 背板阻抗测试
Fig. 7 Backplane resistance test

在图 8 中,阻抗曲线左侧的振荡部分代表了背板与测试夹具连接部分的阻抗特性,该部分阻抗存在明显的振荡变化,在 A 点处阻抗下降到最低点 80.28 Ω。阻抗曲线中 A 点到 B 点之间的部分则代表了背板上差分信号线的阻抗特性,该部分阻抗连续性较好,基本保持在 100 Ω 左右;在 B 点处阻抗有

一个较明显的下降,随后又趋于无穷大,因此 B 点代表了背板远端槽位上高速连接器位置处的阻抗,由于远端未插入模块,保持开路状态,因此 B 点右侧的阻抗趋于无穷大。测试结果显示,背板的差分阻抗介于 $80.28 \sim 105 \Omega$ 之间,满足规范 $80 \sim 120 \Omega$ 的要求。

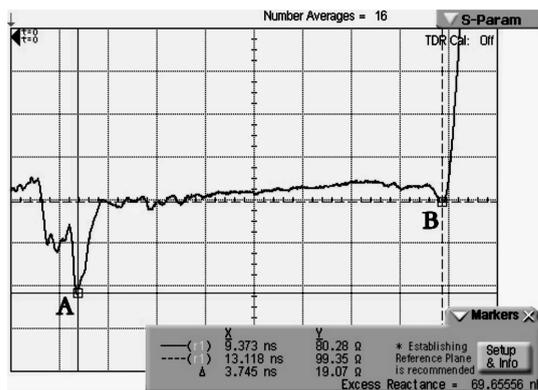


图8 阻抗测试结果
Fig.8 Resistance test result

通过测试结果可以发现,背板差分阻抗的不连续性通常发生在连接器的位置处,其主要原因就是连接器的过孔、个体差异对阻抗连续性造成的影响,通过选用优质的连接器,并改善安装工艺可以改善阻抗连续性指标。

4 结束语

本文对高速数字信号的信号完整性问题进行了简介,引出了背板设计中的信号完整性问题,结合行业规范,推导出一套 RapidIO 背板信号完整性的测试标准和方法,并结合一个典型的工程实例,对测试方法进行了详细的分析说明。该套测试方法切实可行,可直接应用于类似的 RapidIO 背板测试。下一阶段的工作是针对 FC 总线和 10G 以太网,深入开展背板信号完整性测试方法的分析和研究。

参考文献:

- [1] 吴伯春, 龚清萍. 信号完整性分析技术[J]. 航空电子技术, 2004, 35(2):20-24.
WU Bo-chun, GONG Qing-ping. Signal Integrity Analysis Technology [J]. Avionics Technology, 2004, 35(2):20-24. (in Chinese)
- [2] 王卿, 崔海燕. 高速电路设计中的信号完整性分析[J]. 电子元器件应用, 2008, 10(3): 69-72.

- WANG Qing, CUI Hai-zheng. Signal Integrity Analysis for High-Speed Circuit Design [J]. Electronic Component & Device Applications, 2008, 10(3): 69-72. (in Chinese)
- [3] 黄德勇, 张扬, 杨云志. 高速电路设计中的信号完整性研究[J]. 电讯技术, 2004, 44(2):149-152.
HUANG De-yong, ZHANG Yang, YANG Yun-zhi. Signal Integrity in the Design of High Speed Circuit[J]. Telecommunication Engineering, 2004, 44(2):149-152. (in Chinese)
- [4] 胡军, 李晋文, 曹跃胜. Gbps 串行链路信号完整性分析与设计[J]. 计算机工程与科学, 2009, 31(7):102-105.
HU Jun, LI Jin-wen, CAO Yue-sheng. SI Analysis and Design of the Gbps Serial Link [J]. Computer Engineering & Science, 2009, 31(7):102-105. (in Chinese)
- [5] 秦德淳, 陈雷, 蒲有珠. 基于信号完整性分析的阻抗匹配问题研究[J]. 科学技术与工程, 2008, 8(4):1052-1055.
QIN De-chun, CHEN Lei, PU You-zhu. Method Research of Impedance Matching Based on Analyse of Signal Integrity [J]. Science Technology and Engineering, 2008, 8(4):1052-1055. (in Chinese)
- [6] 唐亮, 赵春宇. 时域反射(TDR)测试问题分析[J]. 电子测量技术, 2008, 31(5): 42-44.
TANG Liang, ZHAO Chun-yu. Analysis of time domain reflection test [J]. Electronic Measurement Technology, 2008, 31(5): 42-44. (in Chinese)
- [7] 侯红英. RapidIO 高速串行总线的信号完整性测试[J]. 电讯技术, 2008, 48(7):94-97.
HOU Hong-ying. Signal Integrity Test for RapidIO High Speed Serial Bus [J]. Telecommunication Engineering, 2008, 48(7):94-97. (in Chinese)
- [8] 侯红英. RapidIO 高速串行总线的信号完整性仿真[J]. 电讯技术, 2008, 48(9): 67-70.
HOU Hong-ying. Signal Integrity Simulation of RapidIO High Speed Serial Bus [J]. Telecommunication Engineering, 2008, 48(9): 67-70. (in Chinese)
- [9] RapidIO Interconnect Specification Rev. 2.0.1, Part 6: LP - Serial Physical Layer Specification 2008[S].

作者简介:

曹劲(1981-),男,四川成都人,2007年于电子科技大学获博士学位,现为工程师,主要研究方向为航空电子系统、通信系统等。

CAO Jin was born in Chengdu, Sichuan Province, in 1981. He received the Ph. D. degree in Communication and Information System from Communication Institute of University of Electronic Science and Technology of China, in 2007. He is now an engineer. His research interests include avionics system and communication system, etc.

Email:caojin_cetc10@163.com