

文章编号: 1001-893X(2010)08-0116-05

主子板结构的 ГОCT18977 多用途接口板设计*

任沛阁^{1,2}, 王 勇¹, 武 杰¹, 胡洪宇^{1,3}

(1. 空军工程大学 工程学院, 西安 710038; 2. 空军通信训练基地, 河北 保定 071051;
3. 解放军驻成都飞机工业公司军事代表室, 成都 610092)

摘 要:为有效解决现有 ГОCT18977 航空总线接口板接口少的问题,提出了一种采用主子板结构来设计实现 USB、CPCI 和 PXI 三种接口用途的总线接口板的方案。介绍了俄罗斯军用标准 ГОCT18977,从系统硬件设计的角度出发,采用模块化设计方法设计了系统的硬件电路,分析了主板和各接口子板的功能,并对各接口子板进行了详细的设计,重点论述了基于双口 RAM 设计实现系统多接口用途的方法。经测试验证用本方法设计的接口板可以满足当前多种接口的需求。

关键词:航空总线;接口;ГОCT18977;主子板;双口 RAM;模块化设计

中图分类号:TP205; V243.1 **文献标识码:**A doi:10.3969/j.issn.1001-893x.2010.08.024

Design of Multi - purpose ГОCT18977 Bus Card Based on Main - board and Sub - board

REN Pei - ge^{1,2}, WANG Yong¹, WU Jie¹, HU Hong - yu^{1,3}

(1. The Engineering Institute, Air Force Engineering University, Xi'an 710038, China;
2. Air Force Communication Training Base, Baoding 071051, China;
3. PLA Military Representative Office for Chengdu Aircraft Corporation, Chengdu 610092, China)

Abstract:To solve the problem that existing ГОCT18977 interface buses have few interfaces, a scheme of adopting main - board and sub - board to design the aero bus interface board is proposed, which can realize the multi - interface purpose of USB, CPCI and PXI. Russia military standard ГОCT18977 is introduced. In terms of hardware design, the modularization method is adopted to design the system circuit, the functions of main - board and each sub - board are analysed, and the sub - board interfaces are designed, with emphasis on the design and realization of multi - interface purpose of the system based on dual - port RAM. Test results show that the designed interface board can meet the need of many kinds of interfaces.

Key words:aviation bus; interface; ГОCT18977; main - board and sub - board; dual - port RAM; modularization design

1 引 言

俄罗斯标准 ГОCT18977 - 79^[1] (以下简称 ГОCT18977)和 PTM1495 - 75^[1] (以下简称 PTM1495)采用 32 位双极性归零串行数据(简称为 32 位码)传送方式来进行数字信息的传送和交换。ГОCT18977 规定的是飞机和直升机的成套机载设备功能互联的

类型、电信号的形式和电平,其中一部分规定了与美国标准 ARINC429^[1]相对应的串行码信号的类型及其电气标准,而与之配套的 PTM1495 技术资料中则规定了按照 ГОCT18977 采用双极性码进行信息交换的具体方法^[1]。该标准在俄制军用飞机的机载设备上得到了广泛的应用。目前,我国对符合俄罗斯标准 ГОCT18977 的接口板不多,并且接口种类少,

* 收稿日期:2010-03-30;修回日期:2010-05-06

不能同时满足多种主机接口的要求,影响了部队战斗力的提高,因此对符合 Γ OCT18977 标准的多用途接口板的研制,具有重要的军事意义和应用前景。根据以上需求,本文设计开发了一种能够兼容 USB、CPCI 和 PXI 3 种接口的通用多用途接口板。

2 Γ OCT18977 总线简介

在电气标准方面,依照 Γ OCT18977 的规定采用与 ARINC429 标准相同的双极性归零制的三态码调制方式,而在对信号电平的定义上, Γ OCT18977 的定义见表 1(表中所列均为 A 线到 B 线电位差)所示。

表 1 Γ OCT 18977 信号的电平标准

Table 1 The standard off Γ OCT 18977 signal voltage

状 态	发送端/V	接收端/V
HI	$+10 \pm 1.0$	$+10 \pm 3$
NULL	0 ± 1.1	0 ± 1.3
LO	-10 ± 1.0	-10 ± 3

根据 Γ OCT18977 和 PTM1495 的规定,采用二进制码作为所有系统间、全套设备间通信的统一语言。而它同时又规定了通信中可以采用二进制码、二 - 十进制码(BCD)、指令和标志码,以及由字母、符号、数字组成的字符码等 4 种数据的格式。这 4 种数据的通信都要按照 Γ OCT18977 规定的 32 位串行数据的方式来发送和接收,具体在 32 位的字中格式定义如图 1 所示。

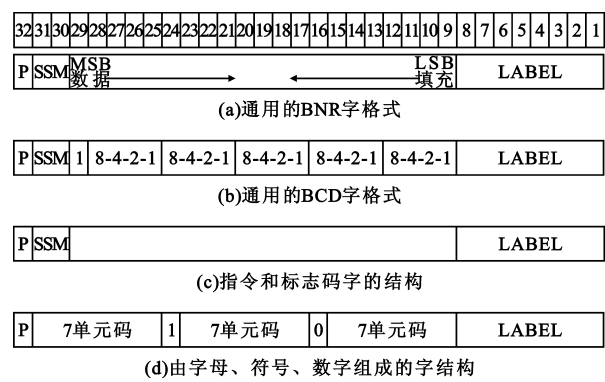


图 1 Γ OCT18977 传输字格式

Fig.1 Format of Γ OCT18977 transmission word

3 系统硬件设计

3.1 硬件整体设计

目前国内外已有产品的接口电路均仅支持一种

接口用途。这样做的缺点是当需要更换为另一种主机总线接口时,不但要更改 FPGA 内的程序,还需重新设计接口电路,导致开发时间延长、经费增加。此外,国内的工控机普遍采用的是 CPCI 或 PXI 插槽,普通的台式机电脑则采用 PCI 和 USB 接口,而在没有 PCI 和 PXI 等插槽的笔记本电脑上均具有 USB 接口。因此,本系统采用主子板结合的方式同时实现 USB、CPCI 和 PXI 3 种接口用途的接口电路,可使该接口卡满足当前各种主机的接口要求。

鉴于上述原因,本系统采用 FPGA、USB、CPCI 及 PXI 技术,依据 Γ OCT18977 航空总线规范,设计并开发一种兼容 3 种接口的多通道总线接口板,可以满足当前各种主机的接口要求,节省大量经费。并设计了采用双口 RAM IDT70V658S^[2]作为 FPGA 和接口控制器件之间的共享存储器,通过它来协调 FPGA 和各个接口控制器件之间传输的信息,从而实现系统多接口用途的设计。

本系统的硬件设计在结构上采用主子板的方式,主板主要由 FPGA、双口 RAM 和电平转换 3 部分组成,子板主要由接口控制芯片和总线接口组成,具体分为 USB 接口子板、CPCI 接口子板以及 PXI 接口子板 3 个子板。主板和子板间通过连接电缆相连,用户需要什么接口便可选择相应的接口子板与主板相连。系统总体结构如图 2 所示。

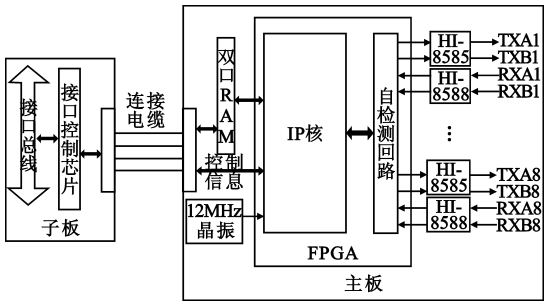


图 2 系统结构图
Fig.2 System architecture

3.2 主板设计

主板主要由 FPGA、DPRAM 和电平转换 3 部分组成,其功能主要是实现 Γ OCT18977 航空总线协议。其功能分为两部分:一是接收经过转换成数字信号的符合 Γ OCT18977 航空总线的数据并将其送入双口 RAM;二是将双口 RAM 中暂存的数字信号按照 Γ OCT18977 航空总线协议的数据格式输出。

3.3 USB 子板总体设计

USB 接口子板主要由 USB 控制器件组成,其功能主要分为两部分:一是将主机的 USB 信号转换成并行信号传给双口 RAM;二是将双口 RAM 中暂存的并行信号转换成串行信号通过 USB 接口传给主机。USB 接口子板结构如图 3 所示。

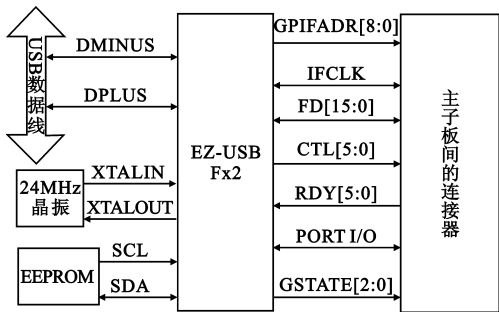


图 3 USB 接口子板结构图

Fig.3 Architecture of USB interface sub-board

3.4 CPCI 子板总体设计

CPCI 接口子板主要由 PCI 控制器件 PCI9054^[3]和热插拔控制器件 LTC1644^[4]组成。PCI9054 主要用来处理 CPCI 接口的 PCI 特性,它将复杂的 PCI 总线的数据传输逻辑转化为简单的本地控制逻辑;LTC1644 则主要用来处理 CPCI 接口的热插拔特性。

CPCI 接口子板的功能主要分为两部分:一是将主机的 CPCI 信号转换成并行信号传给双口 RAM;二是将双口 RAM 中暂存的并行信号转换成串行信号通过 CPCI 接口传给主机。CPCI 接口子板结构如图 4 所示。

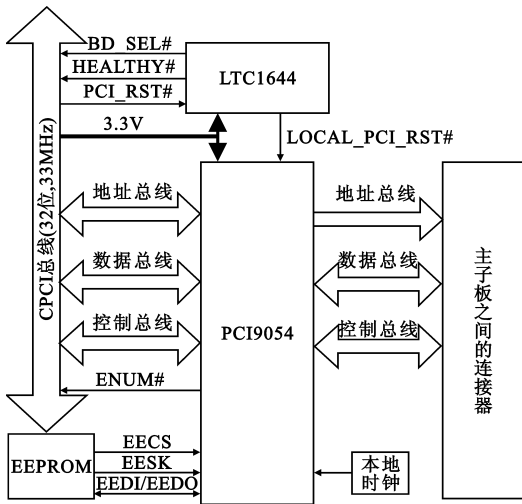


图 4 CPCI 接口子板结构图

Fig.4 Architecture of CPCI interface sub-board

3.5 PXI 子板总体设计

PXI 接口子板主要由 PCI 控制器件 PCI9054^[3]、热插拔控制器件 LTC1644^[4]和 FPGA^[5]组成。其功能主要分为两部分:一是将主机的 PXI 信号转换成并行信号传给双口 RAM;二是将双口 RAM 中暂存的并行信号转换成串行信号通过 PXI 接口传给主机。PXI 接口子板结构如图 5 所示^[6-7]。

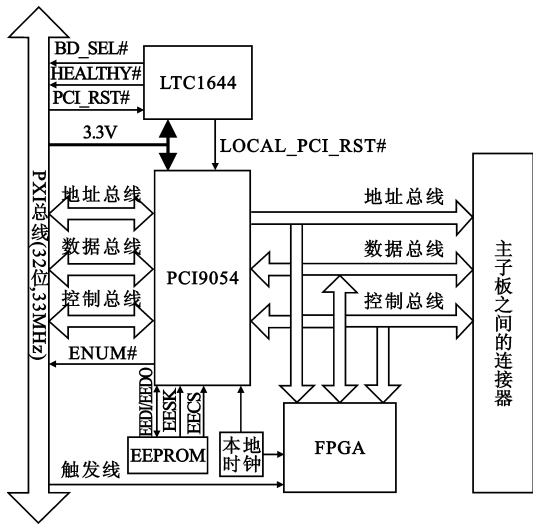


图 5 PXI 接口子板结构图

Fig.5 Architecture of PXI interface sub-board

4 多接口用途的设计与实现

本接口卡支持 3 种接口用途,各个接口传输的数据字格式、控制信号等均有差异,所以采用了双口 RAM IDT70V658S^[2]作为 FPGA 和接口控制器件之间的共享存储器,通过它来协调 FPGA 和各个接口控制器件之间传输的信息,从而实现系统多接口用途的设计。另外,各个接口总线和 IOCT18977 航空总线标准传输速率相差很大,采用双口 RAM 可以很好地解决两者之间读写速度问题。

4.1 双口 RAM 主要引脚设计

双口 RAM 的存储器端口一边由各子板上的控制器件通过连接电缆来使用,另一边由主板上实现 IOCT18977 航空总线协议的 FPGA 器件来使用。存储器的主要用途是保存 IOCT18977 数据字,由于本系统可用于多种接口用途,存储器访问单元可根据需要选择 8 位、16 位或 32 位字,具体是通过控制信号 - BE_{0L} ~ - BE_{3L} 进行选择。IDT70V658S 共有 36 根数据总线,而 IOCT18977 数据字为 32 位,所以设计时将 IDT70V658S 左端口的 I/O_{8L}、I/O_{17L}、I/O_{25L}、

I/O_{35L} 数据线不连,呈高阻态。32 位数据字从高到低依次为 I/O_{34L} ~ I/O_{26L}、I/O_{24L} ~ I/O_{18L}、I/O_{16L} ~ I/O_{9L}、I/O_{7L} ~ I/O_{0L}。右端口的数据线连接与左端口相同。IDT70V658S 主要引脚说明如表 2 所示。

表 2 IDT70V658S 主要引脚说明

Table 2 The description of IDT70V658S main pins		
左端口	右端口	引脚说明
-CE _{0L} , CE _{1L}	-CE _{0R} , CE _{1R}	片选使能信号
R/-W _L	R/-W _R	读/写使能信号
-OE _L	-OE _R	输出使能信号
A _{0L} ~ A _{15L}	A _{0R} ~ A _{15R}	16 位地址总线(寻址空间 64k)
I/O _{0L} ~ I/O _{35L}	I/O _{0R} ~ I/O _{35R}	数据总线(36 位字)
-SEM _L	-SEM _R	信号量使能信号
-INT _L	-INT _R	中断位
-BUSY _L	-BUSY _R	总裁忙位
-BE _{0L} ~ -BE _{3L}	-BE _{0R} ~ -BE _{3R}	字节使能信号(9 位字节)
M/-S		主/从设备选择

使用双口 RAM 时,若两端同时对同一地址单元执行写操作或者一读一写操作,就会发生冲突,造成写错误或者读错误,即争用问题。该设计中选择使用双口 RAM 的硬件判优方式来解决这个问题。这样,当存储器两端同时对同一地址单元访问时,只有一方可以进行有效访问,而另一端的访问为不确定。所以存储器使用 -BUSY 信号表示双方访问的有效性(-BUSY = 0 有效, -BUSY = 1 无效),即 -BUSY 有效的一方表示访问不确定,不确定方访问操作需要重复。在连线存储器时,把存储器左右端口的 -BUSY 都引入 FPGA 中。可以使用 FPGA 硬件逻辑对 -BUSY 进行判断,使访问无效一方重新访问存储器^[2]。

4.2 双口 RAM 存储单元的划分及数据缓冲区的维护

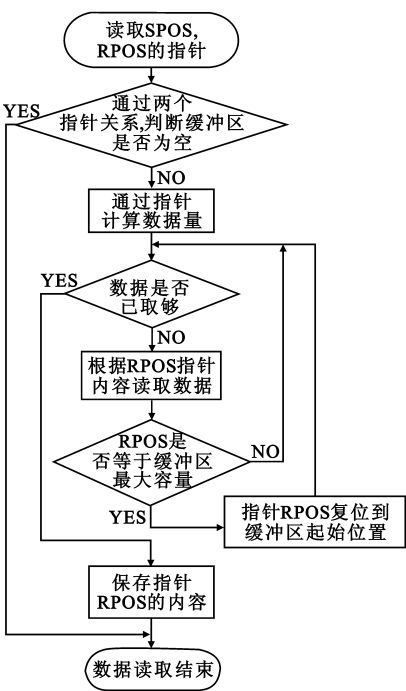
根据研制的需要,将双口 RAM 分为发送、接收两部分。结合对双口 RAM 可以同时读写的特点,又将发送、接收 RAM 地址区各划分为 8 部分,分别对应 8 个发送、接收通道。双口 RAM 的分配见文献[8-9]。

每个发送缓冲区的前 5 个单元用来存储发送控制字、SPOS 指针、RPOS 指针,每个接收的前 7 个单元用来存储发送控制字、LABEL 标志、SPOS 指针、RPOS 指针。存储发送命令或接收命令的单元均只用最后 8 位,这是由本设计中双口 RAM 的最小访问单元为 8 位所决定的。

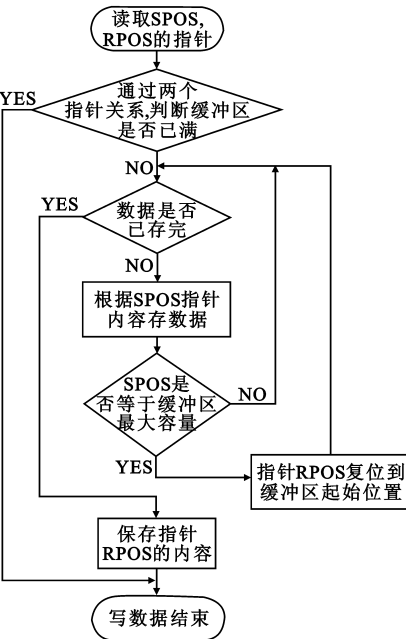
发送控制字位宽为 8 位;接收控制字位宽为 16 位;LABEL 为 8 位标志数据;SPOS 和 RPOS 为每个缓

存区的两个指针,每个指针大小为 16 位,用来控制读写,指针 SPOS 指向缓冲区中当前第一个空闲存储单元,指针 RPOS 指向缓冲区中当前第一个保存有效数据的存储单元。

双口 RAM 缓冲区的读写数据流程如图 6 所示。



(a) 读数据流程



(b) 写数据流程

图 6 双口 RAM 缓冲区读写流程
Fig. 8 Process of reading and writing dual-port RAM buffer

数据的保存采用循环缓冲区结构。双口 RAM 的两端通过读取 SPOS 和 RPOS 两个指针变量来判断当前缓冲区的状态是空还是满。本系统规定缓冲区满时存储数据的容量为 $\Delta - 1$, 其中 Δ 为缓冲区最大容量。

在对缓冲区进行读写操作后, 应用程序要判断两个指针内容。当两个指针所指地址到达缓冲区终端时, 应用程序把这两个指针复位到缓冲区的起始地址, 这样即实现了循环缓冲区的存取。循环缓冲区结构见文献[10]。

当读数据一方进入缓冲区后, 先读取 SPOS 和 RPOS 指针变量, 然后判断当前缓冲区是否为空。如果缓冲区非空, 则根据 RPOS 指针把数据取出。每取出一个数据后, 应用程序要判断 RPOS 指针是否已到达缓冲区终端, 如果 RPOS 到达缓冲区终端, 则复位该指针指向该缓冲区的起始地址。最后读数据一方要把 RPOS 指针值更新到固定内存单元中。

当写数据一方进入缓冲区后, 先读取 SPOS 和 RPOS 指针变量, 然后判断当前缓冲区是否已满。如果缓冲区仍有空闲单元, 则根据 SPOS 指针把数据存入存储器中。每保存一个数据后, 应用程序要判断 SPOS 指针是否已到达缓冲区终端, 如果 SPOS 指针到达缓冲区终端, 则复位该指针指向该缓冲区的起始地址。最后写数据一方要把 SPOS 指针值更新到固定的内存单元中。

5 结 论

本接口板具有 USB、CPCI 和 PXI 多接口的设计, 使得该接口板具有很好的通用性和兼容性。经测试表明, 采用双口 RAM 作为 FPGA 和接口控制器件之间的共享存储器, 可以很好地协调 FPGA 和各个接口控制器件之间传输的信息, 从而实现系统多接口用途的设计。另外, 各个接口总线和 GCT18977 航空总线标准传输速率相差很大, 采用双口 RAM 也可以很好地解决两者之间读写速度的问题。

参考文献:

- [1] 王勇, 于宏坤. 机载计算机系统[M]. 北京: 国防工业出版社, 2008.
WANG Yong, YU Hong - kun. Airborne Computer System[M]. Beijing: National Defense Industry Press, 2008. (in Chinese)
- [2] Integrated Device Technology, Inc. High - speed 3.3V 128/64/32K 36 Asynchronous Dual - Port Static RAM[M]. CA, USA: Integrated Device Technology, Inc., 2005.
- [3] PLX Technology, Inc. PCI 9054 Data Book V2.1[M]. CA, USA: PLX Technology, Inc., 2000.

- [4] Linear Technology Corporation. LTC1644 Data Sheet [M]. CA, USA: Linear Technology Corporation, 2001.
- [5] Altera Corporation. Cyclone_ device_ handbook [M]. CA, USA: Altera Corporation, 2008.
- [6] 何光亚. 基于 PXI 总线的 QPSK 解调模块设计[D]. 成都: 电子科技大学, 2007.
HE Guang - ya. The design of a PXI bus - based QPSK demodulation module[D]. Chengdu: University of Electronic Science and Technology of China, 2007. (in Chinese)
- [7] 聂玉庆. 基于 PXI 总线的 QPSK 解调器设计实现[D]. 成都: 电子科技大学, 2007.
NIE Yu - qing. The design and realization of QPSK modulator based on PXI bus[D]. Chengdu: University of Electronic Science and Technology of China, 2007. (in Chinese)
- [8] 蒋谢芳. 基于嵌入式微处理机和 Compact PCI 的 ARINC429 总线接口板的设计[D]. 西安: 西北工业大学, 2006.
JIANG Xie - fang. The design of ARINC 429 bus interface card based on the embedded microprocessor and Compact PCI [D]. Xi' an: Northwestern Polytechnical University, 2006. (in Chinese)
- [9] 宾辰忠. 基于 MCF5206 的 ARINC429 通信板卡的设计与实现[D]. 西安: 西北工业大学, 2005.
BIN Chen - zhong. The design and realization of ARINC 429 communication card based on MCF5206[D]. Xi' an: Northwestern Polytechnical University, 2005. (in Chinese)
- [10] 严蔚敏, 吴伟民. 数据结构[M]. 北京: 清华大学出版社, 2004.
YAN Wei - min, WU Wei - min. Data Structure[M]. Beijing: Tsinghua University Press, 2004. (in Chinese)

作者简介:

任沛阁(1985 -), 男, 河北保定人, 2007 年获空军工程大学工学学士学位, 现为空军工程大学硕士研究生, 主要研究方向为机载计算机;

REN Pei - ge was born in Baoding, Hebei Province, in 1985. He received the B.S. degree from Air Force Engineering University (AFEU) in 2007. He is now a graduate student. His research direction is airborne computers.

Email: renpeige@163.com

王 勇(1963 -), 男, 黑龙江哈尔滨人, 副教授、硕士研究生导师, 主要研究方向为机载计算机;

WANG Yong was born in Harbin, Heilongjiang Province, in 1963. He is now an associate professor and also the instructor of graduate students. He is interested in airborne computers.

武 杰(1985 -), 男, 山西运城人, 现为空军工程大学博士研究生, 主要研究方向为鲁棒自适应控制、机载计算机;

WU Jie was born in Yuncheng, Shanxi Province, in 1985. He is currently working toward the Ph.D. degree in AFEU. His research concerns robust adaptative control and airborne computers.

胡洪宇(1983 -), 男, 四川成都人, 助理工程师, 主要研究方向为航电计算机。

HU Hong - yu was born in Chengdu, Sichuan Province, in 1983. He is now an assistant engineer. His research direction is avionic computers.