

文章编号: 1001-893X(2010)07-0110-05

锁相式频率合成器的设计与改进^{*}

马宇飞, 李署坚

(北京航空航天大学 电子信息工程学院, 北京 100191)

摘要:针对目前的锁相式频率合成器分辨能力不高和频率转换时间较长的问题,采用 DDS/PLL 组合式频率合成器,信号频率的转换时间最短可达到 80 ns;在输出前端采用增益可控放大电路,有效解决了信号输出强度随着频率升高而不断衰减的问题,使输出信号幅度稳定在 1~1.05 V 之间。详细论述了系统的总体结构、软硬件结构,并给出了实验测试结果。

关键词:频率合成器;锁相环;信号发生器;增益可控放大器

中图分类号: TN742.2 **文献标识码:** A doi:10.3969/j.issn.1001-893x.2010.07.023

Design and Improvement of a Frequency Synthesizer Based on Phase-locked Loop

MA Yu-fei, LI Shu-jian

(College of Information and Electrical Engineering,
Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Abstract: In allusion to the problem of weak discernibility and long conversion time of phase-locked loop(PLL) frequency synthesizer, the DDS/PLL combined frequency synthesizer is used, and the frequency conversion time is as short as 80ns. By using gain-controllable amplifier circuit in output port, the problem that the intensity of signal will be decaying with the increasing of frequency can be solved effectively, and the signal amplitude can stay 1~1.05 V. The system structure, hardware and software composition are detailed. The experimental results are also given.

Key words: frequency synthesizer; phase-locked loop(PLL); signal generator; gain-controllable amplifier

1 引言

频率合成是通信、测量系统中常用的一种技术,它是将一个或若干个高稳定度和高准确度的参考频率经过各种处理技术生成具有同样稳定度和准确度的大量离散频率的技术。频率合成器通常分为直接式频率合成器、间接式频率合成器、直接式数字频率合成器(DDS)^[1]。这 3 种合成法的实现手段和技术指标各有特点,往往某类合成器的优点正好是另一类合成器的缺点,设计时将这 3 类合成法有机结合、

优势互补是频率合成器的发展趋势。间接式频率合成器也称锁相式频率合成器,其优点是可以实现任意频率和带宽的频率合成,具有极低的相位噪声和杂散,它与 DDS 相结合,可以有效克服 DDS 杂散和输出带宽的缺陷^[1-3]。本文论述了一种改进的锁相式频率合成器的设计方法,能有效提高输出信号的频率分辨能力和转换时间;并且在输出端提出一种增益可控的放大电路,解决输出信号幅度随频率提高而衰减的问题。该频率合成器可广泛应用于现代工业的各个领域。

^{*} 收稿日期:2010-04-13;修回日期:2010-05-14

2 系统基本原理与总体结构设计

锁相频率合成器由鉴相器、环路滤波器、压控振荡器和程序分频器组成^[1],如图 1 所示。

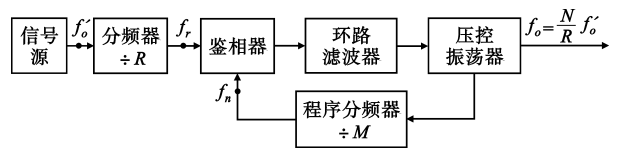


图 1 锁相频率合成器的原理框图

Fig.1 Principle diagram of frequency synthesizer based on PLL

信号源产生一个标准的参考信号源,输出频率为 f_0' ,经过 R 次分频后,得到参考信号频率 f_r ,且 $f_r = f_0'/R$, f_r 加至鉴相器。另一方面,压控振荡器产生频率为 f_0 的信号,并经过程序分频器的 N 次分频后获得反馈信号,频率为 f_n 。鉴相器输出相位误差信号,经过环路滤波器后,送到压控振荡器,调整其输出频率 f_o ,使得 $f_o/M = f_n$,锁相环路进入锁定状态,即 $f_n = f_r$ 。此时,压控振荡器的输出频率为

$$f_o = \frac{M}{R}f_0'$$

(1)

图 2 为整个系统的总体设计框图。频率合成器主要采用 DDS/PLL 组合频率合成法。信号源采用 DDS,当锁相环锁定时,频率合成器的输出频率 f_o 及频率分辨率 f_r 分别为

$$\begin{cases} f_o = Mf_{\text{DDS}} = \frac{MR}{2^n}f_c = R \cdot f_r \\ f_r = \frac{M}{2^n}f_c \end{cases}$$

(2)

式中, f_c 为 DDS 的时钟频率, $f_c/2^n$ 为 DDS 频率分辨率。

当相位累加器的字长 n 较大时,合成器仍可以得到较高的频率分辨率。同时,限幅器可以改善输出信号的杂散电平。DDS 和 PLL 组合而成的组合式频率合成器一方面可以克服 DDS 杂散和输出带宽缺陷,另一方面可以解决锁相频率合成器分辨能力不高和频率转换时间较长的问题,同时满足带宽和高速跳频的需要,还具有成本低、结构简单的特点,是高性能频率合成器发展的主要方向。

由于不同频率的信号输出幅度不同,因此,在 PLL 输出后加上一个增益可控的放大器,如图 2 所示。这样,能够保证各种频率的信号的输出幅度稳定在一个范围内,信号不会随着输出频率的变化而

减弱或加强。

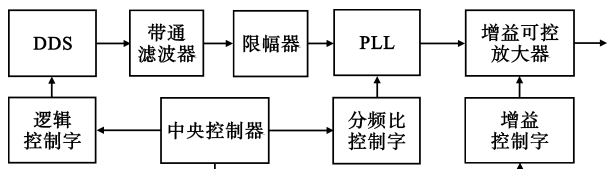


图 2 频率合成器系统总体设计框图

Fig.2 General block diagram of frequency synthesizer

通过中央控制器输出分频比控制字和 DDS 的逻辑控制字,可以改变 PLL 的程序分频比和 DDS 的频率分辨率,从而得到不同输出频率和输出频率的分辨力的信号。同时,输出信号的幅度通过中央控制器改变控制字来调整,保证输出信号幅度的稳定。

3 系统设计与实现

3.1 信号产生电路

本文主要着重研究锁相环频率合成器的设计,因此对于 DDS 电路部分不详细阐述。本文所需要的频率合成器产生信号的频率范围为 90 ~ 180 MHz,信号产生电路如图 3 所示。鉴相器电路采用 MC145152 来实现^[4],它是美国 MOTOROLA 公司生产的一个大规模并行输入的集成电路,内部包括“ $\div R$ ”前置分频器,“ $\div A$ 计数器”、“ $\div N$ 计数器”。“ $\div R$ ”分频器参考分频比预置码分别接在 RA0、RA1、RA2 端,由它们决定信号源的分频比 R ,随着 RA0、RA1、RA2 的变化, R 的取值分别为 8、64、128、256、640、1 000、1 024、2 048,本文取 R 为 1 024。设信号源频率 f_0' 为 10.24 MHz(DDS 电路频率可以由中央控制器设定,本文设为一个常量),因此锁相环电路频率变化步进为 10 kHz。“ $\div A$ 计数器”、“ $\div N$ 计数器”与前置分频器共同构成吞脉冲程序分频器,分频比为

$$M = P \times N + A$$

(3)

式中, P 为前置分频器的工作分频比。

前置分频器由 MB501L 来实现,这是一个 32/64 分频器,SW 脚为分频比选择端,当 SW 接高电平时,前置分频器分频比为 64,即 $P = 64$ 。由公式(3)可以得到,程序分频器分频值 M 的变化范围是 9 000 ~ 18 000。 N 为 10 位计数器,变化范围是 140 ~ 281, A 为 6 位计数器,变化范围是 0 ~ 63。

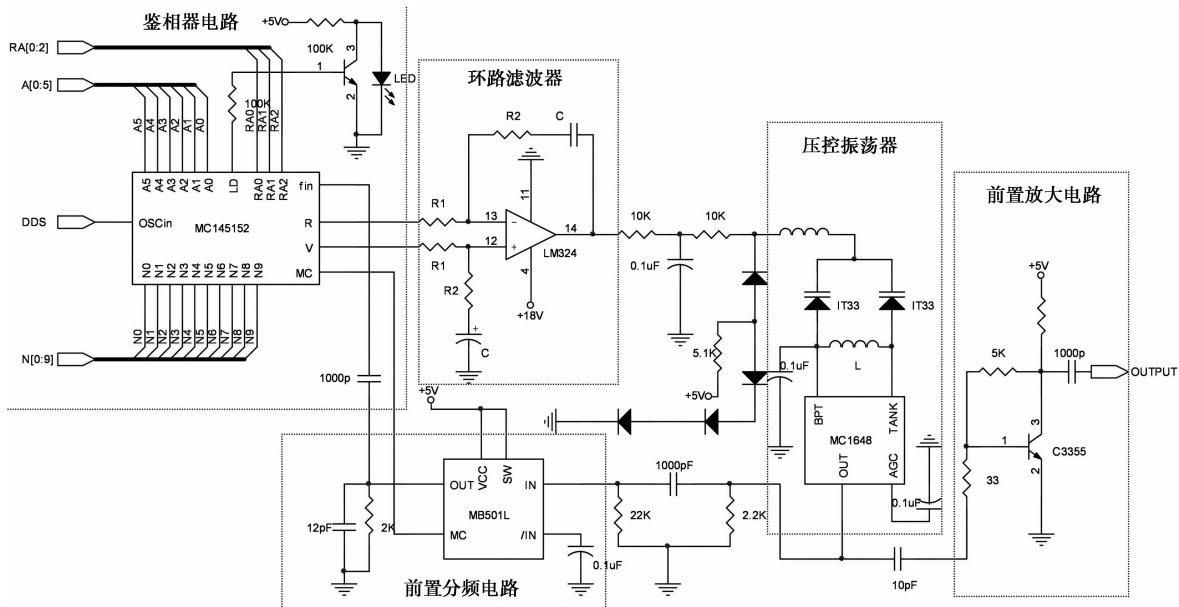


图 3 锁相式频率合成器电路图
Fig.3 Circuit diagram of frequency synthesizer based on PLL

压控振荡器由中规模单片集成压控振荡器 MC1648 构成,变容二极管选用两只特性一致的 IT33 背对背连接,作为回路的可控电容。变容二极管的这种连接方式可以改善互调特性,改善控制特性曲线,提高回路的有载 Q 值,降低 VCO 的开环相位噪声。MC1648 采用 +5 V 电源时,变容二极管的正极有 1.6 V 的电压,为防止正偏,加于变容二极管上的控制电压应大于 1.6 V,因此在输入端加上了 3 个二极管钳位电路,防止控制电压小于 1.6 V。控制电压范围约为 2 ~ 17 V,变容二极管的电容变化范围为 30 ~ 120 pF。计算回路电感:

$$L = \frac{1}{(2\pi f_{\min})^2 \frac{1}{2} C_{D\max}} = \frac{1}{(2 \times 3.14 \times 90 \times 10^6)^2 \times \frac{1}{2} \times 120 \times 10^{-12}} = 62 \text{ nH} \tag{4}$$

环路滤波器采用有源比例积分滤波器^[5],放大器用集成运放 LM324,图 3 的环路滤波器电路中, R_1 、 R_2 、 C 的取值直接影响到整个环路的带宽、捕捉时间等。对于锁相环而言,其阻尼系数 ξ 和自然角频率 ω_n 对环路性能都有很大影响, ξ 较大时,环路低通特性较差,对于滤除 f_r 不利;当 ξ 较小时,环路的瞬态特性有较大过冲,捕捉时间太长。兼顾这两方面,通常取 $\xi = 1$ 为最佳。本设计中,选取 $\xi = 1$ 。 ω_n 对环路的捕捉时间也有较大影响(环路的捕获时

间 $T_p = \Delta\omega_0 / (2\xi\omega_n^3)$,其中 $\Delta\omega_0$ 是环路的固有频差),为了增加对 f_{PLL} 的滤除能力,应使 $\omega_n \ll 2\pi f_{\text{PLL}}$,其中, f_{PLL} 为锁相环鉴相频率,取值为 0.1 ~ 0.24 MHz。为了减小环路的捕获时间,应当增大 ω_n ,一般选取

$$\omega_n = 2\pi f_{\text{PLL}} / 10 = 2\pi \times 0.1 \times 10^6 / 10 = 2\pi \times 10^4 \text{ rad/s} \tag{5}$$

资料表明,VCO 的压控灵敏度为

$$K_{\text{VCO}} = \frac{2\pi \times \Delta f_o}{\Delta U_c} = \frac{2\pi \times (180 - 90) \times 10^6}{17 - 2} = 12\pi \times 10^6 \text{ rad}/(\text{V} \cdot \text{s}) \tag{6}$$

式中, Δf_o 为输出信号频率差, ΔU_c 为控制电压差。鉴相器的灵敏度为

$$K_d = \frac{V_{\text{DD}}}{2\pi} = \frac{18}{2\pi} = \frac{9}{\pi} \text{ V/rad} \tag{7}$$

环路采用了有源比例积分滤波器,由于运算放大器有足够大的增益,因而滤波器可以视为理想积分滤波器,取电容 $C = 4\,700 \text{ pF}$,可以得到滤波器的电阻参数为

$$\begin{cases} R_1 = \frac{K_{\text{VCO}} K_d}{M\omega_n^2 C} = 432 \, \Omega \\ R_2 = \frac{2\xi}{\omega_n C} = 6776 \, \Omega \end{cases} \tag{8}$$

3.2 信号放大电路

前文所述的信号产生电路虽然能够产生稳定、宽频带的信号,但是输出信号的强度会随着频率的

增大而衰减,因此,在信号的后置放大电路中应当对此作适当处理,以减小这种随着频率变化信号强度不断衰减对整个系统造成的影响。

本文采用继电器 EB2-5NU 组成多通道放大器对信号进行选择放大,从而解决信号衰减问题。继电器 EB2-5NU 原理如图 4 所示。当继电器不通电时,继电器上吸合,信号即可通过上放大电路放大输出,当继电器通电时,继电器下吸合,信号通过下放大电路放大输出。因此,通过中央控制器控制继电器的通断电,就可以实现信号经过两路不同的放大器放大输出,这里设两路放大器的信号增益分别为 A 和 B 。

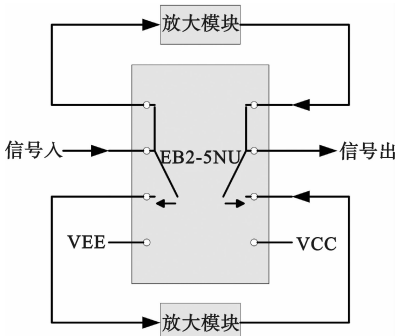


图 4 EB2-5NU 单继电器电路原理图
Fig.4 Principle diagram of EB2-5NU relay

若需要得到更多放大倍数输出的电路,可以采用多个继电器电路串联的方法,如图 5 所示,即可得到不同放大倍数的输出。设继电器组是由 n 个继电器电路串联而成的,则可以形成增益分别为 A^n , $A^{n-1} \cdot B$, $A^{n-2} \cdot B^2, \dots, A \cdot B^{n-1}, B^n$ 的放大电路,中央控制器可以根据输出信号的频率选择不同的增益对信号进行放大或衰减。

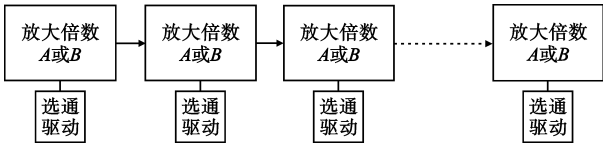


图 5 继电器组放大电路
Fig.5 Amplifying circuit composed of relays

3.3 中央控制电路

采用 AT89C52 单片机作为中央控制器对整个电路进行逻辑控制,如图 6 所示。51 单片机电路目前已经比较成熟,本文简单介绍一下本设计所采用的基本结构。单片机 P0、P1 口分别通过锁存器对 DDS、PLL、放大电路进行控制,由 P2 口进行锁存选

通。系统既可以通过板载键盘进行频率控制,也可以通过 232 串口与 PC 机进行通信,由 PC 机进行频率控制,将处理结果通过板载数码管显示出来。

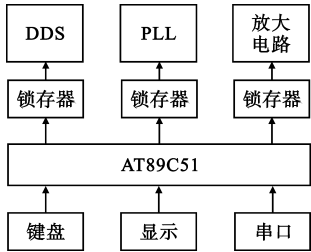


图 6 单片机控制电路
Fig.6 The controlling circuit of singlechip

3.4 软件控制部分

系统通过板载键盘或者 Visual C++ 编写的 PC 控制软件对系统进行频率控制,让系统既可以在稳定频率范围内按照一定的时间间隔和频率步进扫频(扫频模式)。系统主要以 51 单片机为核心来进行数据处理和逻辑控制,单片机程序流程图如图 7 所示。单片机接收键盘或 PC 端发出的控制信息,经过处理后转化为系统逻辑控制字,单片机通过控制字对频率合成器的工作模式(点频/扫频)、DDS 产生频率、锁相环路分频比、放大电路增益进行控制,系统就能根据控制字输出所需信号。

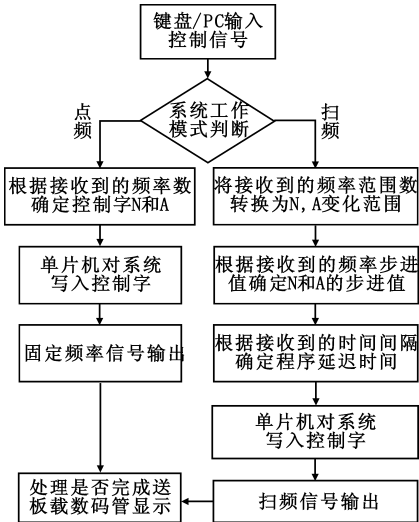


图 7 单片机程序流程图
Fig.7 Program flowchart of singlechip

4 硬件测试结果

本文用示波器分别对系统在不同频点的波形进行观察,得到结果如图 8 所示。可见,波形基本稳定

在所需频点,误差率为 1% (锁相环内部步进频率 10 kHz,误差约为 0.1 kHz)。通过对扫频模式时鉴相器锁定信号的观察,可以得到环路的转换时间最快达到 80 ns,且输出信号幅度稳定在 1 ~ 1.05 V 之间,若需要输出幅度更稳定,可以多加几级继电器电路。

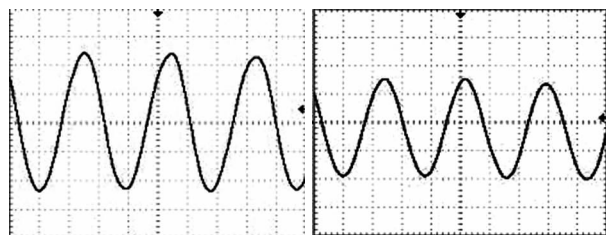
(a) $f = 133.12 \text{ MHz}$ (b) $f = 144.52 \text{ MHz}$

图 8 输出信号示波器截图

Fig.8 Oscilloscope print screen of output signal

通过频谱仪对信号在各频点观察,得到信号的噪声在 110 MHz、120 MHz、130 MHz 时的噪声分别为 -15 dBc、-21 dBc、-35 dBc,说明频率合成器具有较弱的噪声。

5 结 论

本文设计了一种基于锁相环的频率合成器,该合成器具有可变频带范围宽、转换时间短、输出信号强度稳定、控制方式简单等特点,与传统间接式频率合成器相比,性能有了很大提高,并且硬件结构简单,成本低,可以满足不同用户的需求。本文的创新点在于:第一,有效地结合了 DDS 电路与 PLL 电路的优点,让它们优势互补;第二,有效地利用继电器组成增益可控放大电路,满足输出信号幅度稳定的要求;第三,采用 PC 机与板载键盘同时控制系统,让系统操作更简便。该频率合成器在通信以及现代工业各个领域都将有广泛的应用前景。

参考文献:

[1] 韦惠民. 扩频通信技术及应用[M]. 西安:西安电子科技大学出版社,2007.

WEI Hui-min. Technology and Application of Spread Spectrum Communication [M]. Xi'an: Xidian University Press, 2007. (in Chinese)

[2] David W Boerstler. A Low-Jitter PLL Clock Generator for Microprocessor with Lock Range of 340 ~ 612 MHz[J]. IEEE Journal of Solid-State Circuits, 1999, 34(4): 513 ~ 519.

[3] Chi B, Shi B. New implementation of phase-switching technique and its applications to GHz dual modulus prescalers [J]. IEEE Proceedings of Circuits Devices System, 2003, 150(5): 429 ~ 433.

[4] 潘勃, 陈高平. 基于 MC145152 的 VOR 地面信标模仿仪频率合成器的设计与实现[J]. 飞机设计, 2007, 27(3): 52 ~ 55.

PAN Bo, CHEN Gao-ping. Design and Realization of VOR Marker Simulator Frequency Synthesizer Based on MC145152 [J]. Aircraft Design, 2007, 27(3): 52 ~ 55. (in Chinese)

[5] 赵彦芬. 频率合成器环路滤波器的设计[J]. 无线电工程, 2006, 36(4): 39 ~ 41

ZHAO Yan-fen. Design of Frequency Synthesizer Loop Filter [J]. Radio Engineering of China, 2006, 36(4): 39 ~ 41. (in Chinese)

作者简介:

马宇飞(1985-),男,浙江人,硕士研究生,主要研究方向为扩频通信、高动态 GPS 信号接收技术;

MA Yu-fei was born in Zhejiang Province, in 1985. He is now a graduate student. His research interests include spread spectrum communication and reception technology of HDR GPS signal.

Email: flytiger_1985@yahoo.com.cn

李署坚(1953-),男,湖南人,高级工程师、硕士生导师,主要研究方向为高动态直序扩频/跳频扩展频谱通信、高动态 GPS 信号接收技术、高动态扩频信号接收技术、CDMA 通信、RFID 关键技术、卫星通信、卫星导航等。

LI Shu-jian was born in Hunan Province, in 1953. He is now a senior engineer and also the instructor of graduate students. His research interests include receiving technology of HDR DS/FH spread spectrum signal, receiving technology of HDR GPS signal, CDMA communication technology, RFID key technology, satellite communications and satellite navigation.

Email: goodluc6789@sina.com