

文章编号:1001-893X(2012)07-1112-04

基于 FPGA 的高速 DUC 设计与高效实现^{*}

张海峰,赵爱玲

(安阳工学院 机械工程学院,河南 安阳 455000)

摘 要:提出了一种基于 FPGA 实现高速数字上变频(DUC)的方法。该方法采用一种新的多相内插滤波器的高效实现结构,利用多相内插滤波器中各分支滤波器间系数的特点,使多相内插滤波器消耗的乘法器数量减少一半;并采用一种并行结构的数控振荡器(NCO),可产生高数据率的上变频本振信号。利用该方法为某雷达中频回波模拟器设计了 DUC 模块,其输出数字中频信号的数据率可达 1.2 Gsample/s,只消耗了少量资源,满足项目需求。

关键词:雷达回波模拟器;高速 DUC;高效多相内插滤波器;并行 NCO;数字中频信号

中图分类号:TN955 **文献标志码:**A doi:10.3969/j.issn.1001-893x.2012.07.012

Design and Efficient Realization of High Speed DUC Based on FPGA

ZHANG Hai-feng, ZHAO Ai-ling

(Department of Mechanical Engineering, Anyang Institute of Technology, Anyang 455000, China)

Abstract: This paper proposes an access to the realization of high data rate digital up converter(DUC) based on FPGA. This method adopts a novel implementation structure of poly-phase interpolation filter and makes use of the characteristic of branch between filter coefficients to reduce the consumption of multiplier by half. Besides, the adoption of parallel processing Numerically-controlled Oscillator(NCO) can generate high data rate vibration signal. By following these methods, a DUC module is designed for a certain radar IF echo simulator, which can generate digital IF signal with data rate up to 1.2 Gsample/s. Few resources are consumed and the program needs are satisfied.

Key words: radar echo simulator; high speed DUC; poly-phase interpolation filter; parallel processing NCO; digital IF signal

数字上变频(DUC)是软件无线电的关键技术之一,其基本功能是将基带信号上变频到载波频率上,用于提高数据率、实现频谱搬移,已广泛应用于通信数字发射机和中频信号模拟器等领域。

DUC 一般可采用专用集成芯片(ASIC)、数字信号处理器(DSP)、现场可编程门阵列(FPGA)实现。ASIC 集成度高、功耗低,但可编程性差;DSP 可编程性高但功耗也高;FPGA 片内具有丰富的逻辑资源、寄存器资源并集成有乘法器、存储器等硬核,可编程

性强,采用 FPGA 实现 DUC 具有更大的灵活性^[1-3]。

1 DUC 基本结构分析

DUC 主要由数据率提升和频谱搬移两部分组成,其中数据率提升包含 M 倍内插和低通滤波,低通滤波用以滤除 M 倍内插带来的延拓频谱;数控振荡器(NCO)用来生成上变频所需的本振信号。其典型结构如图 1 所示。

^{*} 收稿日期:2011-11-01;修回日期:2012-04-05

基金项目:河南省高等学校青年骨干教师基金项目(2011GGJS-212)

Foundation Item: The College Young Teachers Foundation Item of Henan Province(2011GGJS-212)

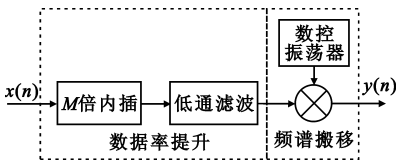


图 1 DUC 的典型实现结构
Fig.1 Common structure of DUC

低通滤波常用积分梳状(CIC)滤波器或有限长冲激响应(FIR)滤波器完成。CIC 滤波器无乘法运算,结构简单,但单级应用时阻带衰减很小,多级串联应用虽然能够提高阻带衰减却导致通道平坦度变差,适用于窄带信号。FIR 滤波器实现结构中没有反馈环路且对系数的定点量化不敏感,具有理想的线性相位,适用于宽带信号。

NCO 常用坐标旋转数字计算(Cordic)或查找表(LUT)实现。Cordic 算法性能与迭代次数等因素相关,好的性能需要更多迭代次数,这将增加频率改变的反应时间;当需要高数据率的本振信号时,Cordic 算法变得非常复杂。基于查找表法的 NCO 结构简单,具有频率切换反应时间小、便于采用并行运算等特点,适用于高数据率本振信号。

鉴于传统 DUC 的运算资源量和处理速度难以满足项目高数据率要求,而目前高速 DUC 实现方法的文献相对较少,本文设计了一种基于 FPGA、高效多相内插 FIR 滤波器和并行查找表的 NCO 相结合结构的高速 DUC,该 DUC 具有内插倍数大、输出信号数据率高等特点。

2 高速 DUC 的结构实现

“资源”和“速度”是 FPGA 开发中的两个关键因素。高速 DUC 的基本特点是内插倍数大,内插后的数据率高。由于内插倍数大,低通滤波器的过渡带相对变小,为获得同样的杂散抑制性能,滤波器阶数会相应地增大,意味着实现低通滤波所使用的乘法器将增多。用 FPGA 实现高速 DUC 时,需要设计、采用合适的滤波器实现结构以减少乘法器的使用量,以及合适的数控振荡器结构以生成高数据率的上变频本振信号。

2.1 使乘法器消耗减半的高效多相内插滤波器结构

在实现 DUC 时,乘法器主要用来构建 FIR 滤波器。实现 DUC 时节省乘法器资源主要有 5 种方法:一是采用多级内插结构代替单级内插结构;二是当内插因子为 2 时使用半带滤波器;三是利用线性相位 FIR 滤波器系数的对称性减少乘法器使用;四是硬件分时复用减少乘法器的使用;五是以上方法的组合使用等^[4]。

多相内插滤波器可看作是“内插”和“低通滤波”的并行实现结构,在实现高速 DUC 时常被采用。多相内插滤波器的基本实现结构如图 2 所示^[5]。

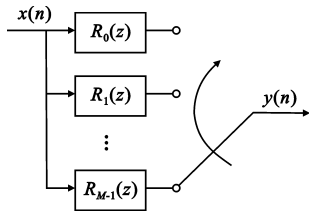


图 2 多相内插滤波器的基本实现结构
Fig.2 Basic structure of poly-phase interpolation filter

各分支滤波器的定义如下:

$$R_l(z) = \sum_{n=0}^{N/M-1} h(Mn + M - 1 - l)z^{-n}, \quad l = 0, 1, \dots, M - 1 \quad (1)$$

式中, $h(n)$ 是图 1 中低通滤波器的系数, N 是低通滤波器的阶数。设内插滤波后 $y(n)$ 的数据率为 f_h , 则各多相分支滤波器的工作频率为 f_h/M , M 个分支滤波器在同一时刻的输出 $\tilde{y}_l(n)$ 是 $y(n)$ 中顺序的 M 个样点, 即:

$$\tilde{y}_l(n) = y(Mn + M - 1 - l) \quad (2)$$

由此可知,多相内插滤波器的基本实现结构需要 N 个乘法器,需要寻找适用于多相内插滤波器的节省乘法器的方法。由式(1)知,第 l 和第 $M - 1 - l$ 个分支滤波器可表示如下:

$$R_l(z) = \sum_{n=0}^{N/M-1} h(Mn + M - 1 - l)z^{-n} \quad (3)$$

$$R_{M-1-l}(z) = \sum_{n=0}^{N/M-1} h(Mn + l)z^{-n} \quad (4)$$

在以上两式中, $0 \leq n \leq N/M - 1$, 则 $0 \leq (N/M - 1 - n) \leq N/M - 1$, 故式(4)可改写成

$$\begin{aligned} R_{M-1-l}(z) &= \sum_{n=0}^{N/M-1} h(M(\frac{N}{M} - 1 - n) + l)z^{-(\frac{N}{M}-1-n)} = \\ &= \sum_{n=0}^{N/M-1} h(N - M - Mn + l)z^{-(\frac{N}{M}-1-n)} = \\ &= \sum_{n=0}^{N/M-1} h(N - 1 - (M + Mn - 1 - l))z^{-(\frac{N}{M}-1-n)} \end{aligned} \quad (5)$$

线性相位 FIR 滤波器的系数满足^[6]

$$h(n) = h(N - 1 - n), n = 0, 1, \dots, N - 1 \quad (6)$$

由此可见, $R_l(z)$ 中第 n 个系数和 $R_{M-1-l}(z)$ 中第 $N/M - 1 - n$ 个系数相等, 也即:

$$r_l(n) = \text{fliplr}(r_{M-1-l}(n)), n = 0, 1, \dots, N/M - 1 \quad (7)$$

式中, $r_l(n)$ 是分支滤波器 $R_l(z)$ 的单位冲激响应, fliplr 代表时间反褶。

在多相内插滤波器中, $R_l(z)$ 和 $R_{M-1-l}(z)$ 的直

该 DUC 由两级内插完成,第一级完成 2 倍内插,采用了 26 阶的半带滤波器,该滤波器中有 12 个系数为 0,并利用系数偶对称性进一步减少乘法器的使用量;第二级使用 79 阶多相内插滤波器完成 8 倍内插,该多相滤波器使用图 5 所示结构减少乘法器的消耗;使用改进的 NCO 结构,由 8 个运行在 150 MHz 的 NCO 合成一个等效数据率为 1 200 MHz 的 NCO。取混频结果的实部经并串转换后传给 DAC 转换为模拟中频信号输出,其中并串转换由 Xilinx 公司提供的 OSERDES 硬核完成。

3.1 乘法器使用量统计

表 1 乘法器资源使用量		
Table 1 The summary of multiplier usage		
用 途	乘法器 使用个数	工作频率/MHz
用于 26 阶 HB 滤波器 完成 I/Q 滤波	16	150
用于 79 阶多相滤波器 完成 I/Q 滤波	80	150
混频	16	150

可见该 DUC 实现时共使用了 112 个乘法器,占 FPGA 中总资源的 17.5%;若不采用节省乘法器的措施,乘法器使用量将为 206 个,占总资源的 32.2%。

3.2 上变频结果

使用上述 DUC 将带宽为 40 MHz 的基带 chirp 信号上变频至载频为 300 MHz 的数字中频信号,上变频后信号的频谱如图 8 所示,其中滤波器系数量化成 16 bit,中间运算节点保留 16 bit,上变频输出结果保留 14 bit。

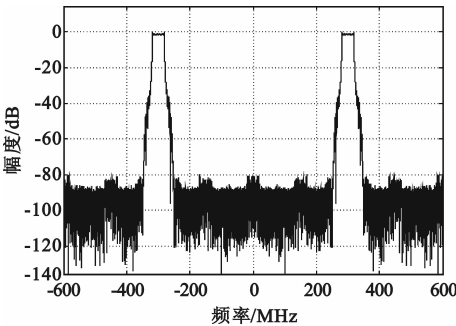


图 8 数字中频信号的输出频谱
Fig. 8 The output spectrum of the DUC

可见,在表 1 所示乘法器消耗及上述定点截位条件下,该 DUC 输出信号的杂散抑制优于 80 dB,满足项目需求。

4 结 论

本文从“节省乘法器资源”和“应对高数据率”的角度论述了用 FPGA 实现高速 DUC 的方法。针对多相内插滤波器,利用 FIR 滤波器系数的对称性及多相滤波器系数的分配特点设计了一种可节省乘法器资源的高效实现结构;采用并行处理的思想,设计了基于并行查找表的 NCO 实现结构,可产生高数据率的本振信号。实践应用证明了本文所提出的方法是可行的、有效的。

参考文献:

[1] Zawawi N M, Ain M F, Hassan S I S, et al. Implementing WCDMA Digital Up Converter In FPGA[C]//Proceedings of 2008 IEEE International Conference on RF and Microwave. Kuala Lumpur:IEEE,2009:91 – 95.

[2] Wang Wei, Zeng Yifang, Yan Yang. Efficient Wireless Digital Up Converters Design Using System Generator[C]// Proceedings of the 9th International Conference on Signal Processing. Beijing:IEEE,2008:443 – 446.

[3] Xu Xiaoxiao, Xie Xianzhong. Digital Up and Down Converter in IEEE 802.16d[C]// Proceedings of the 8th International Conference on Signal Processing. Beijing:IEEE,2006:1 – 7.

[4] 张明友. 数字阵列雷达和软件化雷达[M]. 北京:电子工业出版社,2008:38 – 44.

ZANG Ming – you. Digital array radar and software defined radar[M]. Beijing:Publishing House of Electronics Industry, 2008:38 – 44. (in Chinese)

[5] 胡广书. 现代信号处理教程[M]. 北京:清华大学出版社,2004:139 – 201.

HU Guang – shu. Modern signal processing[M]. Beijing: Tsinghua University Press,2004:139 – 201. (in Chinese)

[6] 程佩青. 数字信号处理教程[M]. 北京:清华大学出版社,2001:334 – 338.

CHENG Pei – qing. Digital Signal Processing[M]. Beijing: Tsinghua University Press,2001:334 – 338. (in Chinese)

作者简介:

张海峰(1972—),男,河南孟州人,硕士,副教授,主要研究方向为精密仪器设计与测试;

ZHANG Hai – feng was born in Mengzhou, Henan Province, in 1972. He is now an associate professor with the M. S. degree. His research concerns design of precision instruments and test.

Email: ayzhaoal@126.com

赵爱玲(1969—),女,河南林州人,硕士,副教授,主要从事光电技术设计与测试方面的研究。

ZHAO Ai – ling was born in Linzhou, Henan Province, in 1969. She is now an associate professor with the M. S. degree. Her research interests include optoelectronic technology design and test.