

文章编号: 1001 - 893X(2012)03 - 0395 - 05

PCB 设计中同步开关噪声问题分析*

李颖宏, 罗 勇

(北方工业大学 机电工程学院 自动化系, 北京 100144)

摘要:印刷电路板设计中的同步开关噪声问题是现代高速数字电路应用的瓶颈之一。介绍了一种在电路板上施加同步开关报文和温度应力的可靠性测试方法,该方法可以有效暴露电路板上的同步开关噪声问题。借助噪声测试和阻抗分析手段,对一个由该方法发现的异常问题进行了分析,通过优化去耦电容和电源平面阻抗,抑制了电路板上的同步开关噪声,问题得到了完美解决。最后,给出了一些在 PCB 设计中抑制同步开关噪声的方法和建议。

关键词:同步开关噪声;印刷电路板;信号完整性;电源完整性;可靠性测试

中图分类号:TN06 **文献标志码:**B **doi:**10.3969/j.issn.1001-893x.2012.03.029

Analysis of Simultaneous Switching Noise Problem in PCB Design

Li Ying-hong, LUO Yong

(Department of Automation, College of Mechanical Electrical and Engineering,
North China University of Technology, Beijing 100144, China)

Abstract: In the application of modern high-speed digital circuits, one of the bottlenecks is the simultaneous switching noise in printed circuit board (PCB) design. A reliability test method applying simultaneous switching message and temperature stress to circuit board is introduced in this paper. With this method the simultaneous switching noise problem in circuit board can be effectively exposed. By means of the noise test and impedance analysis, an abnormal problem discovered by the method is analysed. Through optimization of the decoupling capacitor and the power supply impedance, the simultaneous switching noise is suppressed in the circuit board, and the problem is solved perfectly. Finally, some methods and suggestions for suppressing simultaneous switching noise are provided during PCB design.

Key words: simultaneous switching noise; printed circuit board; signal integrity; power integrity; reliability test

1 引言

随着通信设备电路板上大量使用高集成度的高速数字芯片,同步开关噪声(Simultaneous Switching Noise, SSN)问题成为制约高速 PCB 设计的一个瓶颈^[1]。SSN 是指当器件上多个逻辑电路或 I/O 管脚同时处于开关状态,产生瞬间变化的电流,在经过回流路径上存在电感时,形成交流压降,从而引起噪声。如果引起地平面的波动,造成芯片地和系统地不一致,这种现象称为地弹。同样,如果引起的芯片

电源和系统电源差异,就称为电源反弹。

根据电源完整性的理论^[2],产生 SSN 的一个主要原因是电源分配系统存在阻抗。具体讲就是从电源的输出端到芯片的输入端存在着一段距离,在这段路径上存在着阻抗。从集中模型来看,相当于串联了集中分布的电阻和电感元件,当一定数量的输出驱动电路同时打开时,就会有很大的电流瞬间涌入这些感性元件中,这种瞬间快速变化的电流会在感性元件上产生感应电动势,引起芯片电源输入端的供给净电压不足或过高。同样,根据信号完整性

* 收稿日期:2011-11-01;修回日期:2012-01-19

的理论^[3],造成 SSN 的另一个重要原因是互感耦合,尤其是在芯片封装、PCB 边沿周围产生的互感耦合。芯片 BGA 封装上的焊球与 PCB 上的过孔都属于紧耦合的多导线结构,每个 I/O 焊球及其相应的 PCB 过孔与离它最近的接地焊球和接地过孔构成一个闭合环路,当多个 I/O 口的状态同时发生变化时,会有瞬态 I/O 电流流过这些信号环路,这种瞬态 I/O 电流又会产生变化的磁场,从而侵入邻近的信号环路造成感应电压噪声。

SSN 危害是非常大的,会增加电源噪声,影响信号质量和时序,从而导致数字电路误采样。另外,SSN 引起的问题一般隐藏很深,只是在器件多个逻辑单元同时开关时才发生,用正常的业务测试方法很难发现,容易漏测,这给设备可靠运行带来了巨大风险。

本文基于同步开关噪声的机理,设计了一种暴露 SSN 问题的可靠性测试方法,并利用这种方法发现一个具体的 Serdes 链路异常问题,针对该问题,借助噪声和阻抗分析等实验验证方法找到了 PCB 设计上存在的缺陷并进行了修改。最后,总结输出 PCB 设计过程中抑制同步开关噪声的一些方法。

2 SSN 可靠性测试方法

可靠性测试就是让设备暴露在各种可能的极限工作状态下进行验证,找到系统的设计缺陷,对同步开关噪声来说,我们可以从产生的机理和常见的危害来设计测试用例。例如,当大量总线在同一时刻切换,会在相邻的管脚上引入串扰噪声,对这种情况,在测试设计时需要被测设备施加一种特殊的业务负荷,让总线暴露在尽可能大的串扰条件下,并用示波器观察总线信号质量和时序是否可接受。以 16 位并行总线为例,为了将这种影响极端化,设计测试报文时让 16 根信号中有 15 根线的跳变方向一致,即 15 根信号线都同时从 0 跳变到 1,同时让另一根被干扰的信号线从 1 下跳到 0。可以设计一个循环程序,让 16 根线依次遍历这种测试场景。

另外,同步开关噪声也可能影响回流路径上的敏感信号,这是并行总线非常恶劣的一种工作状态,为了验证产品在这种工作条件下工作是否可靠,必须在被测设备加上一种特殊的 SSN 测试报文进行验证。如果被测总线为 16 位宽,要使所有 16 根信号线同步翻转,报文内容应该为:FFFF 0000;如果被

测总线为 32 位宽,要使所有 32 根信号线同步翻转,测试报文内容应该为:FFFF FFFF 0000 0000。

当然,设备的工作环境也可能有高温或低温的情况,而温度对电路的影响是十分显著的,比如低温和高温时电容的容值会发生变化,低温时器件内部的时序参数会发生漂移,高温时 PCB 走线的阻抗变大等,因此在进行上述 SSN 可靠性测试时,还需要增加温度应力来验证系统的可靠性。

3 实例分析

3.1 问题背景

某 PCB 单板上的逻辑芯片连接关系如图 1 所示,芯片之间的数据通道都是高速 Serdes 信号,逻辑芯片 A/B 外围都挂着 10 片用来缓存报文的随机存储器 DDR 和 3 片用来进行流量管理的 QDR,逻辑芯片 A/B 和 DDR 之间通过高速并行总线互连,该并行总线的工作时钟频率高达 400 MHz,并且信号数量众多,拓扑结构复杂。在 PCB 上器件布局密度越来越高的情况下,这些高速信号可能会遇到同步开关噪声等问题,对于这些可能存在的风险,从硬件可靠性角度,我们按照 SSN 可靠性测试方法设计了测试报文,让被测单板在高温 60°、低温 -10° 的温度条件下带业务进行环境试验。发现在逻辑芯片 A/B 的 DDR 总线上运行伪随机二进制序列 (PRBS) 报文时, Serdes 链路业务传输正常;而当运行按 SSN 报文时, Serdes 链路业务传输出错,其中,逻辑芯片 A 出现异常的 Serdes 链路为链路 6、链路 4、链路 0,逻辑芯片 B 出现异常的 Serdes 链路为链路 10、链路 8、链路 4、链路 2、链路 0。

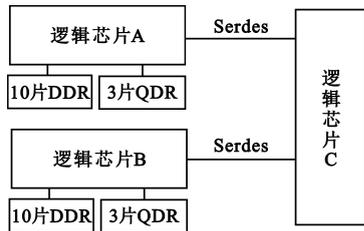


图 1 逻辑芯片连接关系

Fig. 1 The connected relation of the logic chip

3.2 原因分析

根据 SSN 报文设计原理,由于总线同时开关,按照公式 $V = N \cdot L \cdot (di/dt)$, N 就是总线的位宽,此时同步开关噪声 V 是最大的。而 PRBS 码流是伪随机码,同步开关的驱动器小于总线位宽,产生的噪声

V 要远小于 SSN 码流。运行 SSN 报文时,产生的过大同步开关噪声可能使高速 Serdes 信号受到干扰,噪声裕量降低导致数据采样出错。

SSN 报文翻转时通常情况下最直接的表现是 DDR 供电 1.8 V 的噪声会较大,但是从实测结果来看,运行 PRBS 码流时噪声为 24 mV,运行 SSN 报文时噪声为 32 mV,两者之间差别并不大,说明 1.8 V 电源平面的电源完整性比较好,对问题 Serdes 链路影响应该不大。那么 DDR 接口的同步开关噪声怎么影响到了逻辑芯片间的 Serdes 链路呢?查看 PCB 版图,出问题的 Serdes 链路和 DDR 接口的同步翻转数据信号线均布在 15 层和 17 层,两者空间上物理距离比较近,串扰比较大。另外,该两层到 16 层的 1.5 V 电源平面间距比到 14 层和 18 层要近,因此,15 层和 17 层上的信号回流都将以 16 层作为参考平面,根据信号回流原理,当运行 SSN 码流时,DDR 的数据信号同步翻转的同时,在数据信号线上产生瞬间变化的大电流,其参考平面上返回电流也将产生瞬间大的波动,噪声将会瞬间增大。很明显,DDR 接口在同步翻转时,在参考平面 16 层 1.5 V 电源平面产生较大的回流。同时,出问题的 Serdes 链路参考的 1.5 V 平面局部地区只有一个 100 μ F 的电容(C1),没有足够滤波电容,大的回流波动就产生了波动的噪声,在该位置测试 1.5 V 电源的噪声,当运行 SSN 报文时 C1 处的噪声达到 140 mV,运行 PRBS 码流时噪声为 42 mV,变化很大,用频谱分析仪测得该噪声频点为 400 MHz,正好为 DDR 工作时钟。相反,有大量滤波电容的 QDR 接口处 1.5 V 电源平面,在 SSN 报文情况下噪声仅有 16 mV 左右。结合前面的分析,由此可以明确,正是由于问题 Serdes 链路以 1.5 V 电源平面噪声比较大的局部地区为参考平面,平面上的高频噪声耦合到 Serdes 链路上,降低了时序裕量,导致链路传输异常。

另外,仔细分析单板的层叠设计,发现 15 层更靠近 16 层的 1.5 V 电源平面,理论上在 15 层的链路应该更加容易出问题。逻辑芯片 A 模块的链路 6、链路 4 和逻辑芯片 B 模块的链路 10 布在 15 层,从测试中也发现这几条链路出错的概率最高,进一步验证了 DDR 数据总线的同步开关噪声导致了 Serdes 链路传输异常。

既然明确 Serdes 链路异常是由于 DDR 数据信号的 SSN 造成 1.5 V 电源平面噪声偏大影响的,那么就降低干扰源,优化 1.5 V 电源平面滤波,保证敏感信号

参考平面尽量干净。改善噪声主要有以下手段:

- (1)在不影响信号时序及噪声裕量的情况下,降低逻辑芯片 A/B 的 DDR 接口输出驱动能力;
- (2)调整逻辑芯片 A/B 的 DDR 接口的输出相位,使 10 个 DDR 接口错相输出;
- (3)DDR 的 SSN 主要体现在数据信号上,15 层和 17 层数据信号目前都以 16 层的 1.5 V 电源平面为参考平面,将 15 层、17 层 DDR 的数据信号分别和 4 层、8 层的 DDR 地址信号调换,降低噪声源,避免问题 serdes 链路信号都参考噪声大的 16 层 1.5 V 电源平面;
- (4)在 DDR 模块周围添加 100 nF 的电源滤波电容,为回路电流提供低阻抗通路;
- (5)在 Serdes 信号路径参考的 16 层 1.5 V 电源平面上放置滤波电容;
- (6)在不影响通流的情况下,优化 1.5 V 电源平面阻抗,没有使用该电源的地方都铺地平面。

根据芯片资料,芯片更改驱动能力会影响时序,更改逻辑芯片 A/B 的 10 个 DDR 接口输出相位,配置比较繁琐,最好能从 PCB 滤波方面去优化解决问题。所以在 Version B 版本 PCB 设计时,我们重点从优化 Serdes 信号参考的 16 层 1.5 V 电源平面噪声的角度去优化 PCB 设计,在 1.5 V 电源平面上增加了回流滤波电容。

Version B 版本单板回板后,使用了和 Version A 版本单板相同的 SSN 报文在温箱里进行带业务验证,验证结果基本上也证明了我们上面分析的正确性,但是仍然没有彻底解决问题。逻辑芯片 A 模块所有链路在 SSN 测试报文下,高低温不再出问题,表明优化到位;但是逻辑芯片 B 模块链路 10 在高温下仍然会出问题,出错概率相比 Version A 版本单板降低。

为了对比 A/B 模块问题 Serdes 链路信号受到的耦合噪声大小,我们关闭了 Version B 版本单板 A 模块的链路 10 和 B 模块的链路 10,去掉交流耦合电容,测试耦合电容前后 Serdes 信号线上的静态噪声大小,如表 1 所示。

表 1 Serdes 信号线上静态噪声
Table 1 The static noise of Serdes signal line

测试码流	逻辑芯片 A 链路 10 噪声/mV		逻辑芯片 B 链路 10 噪声/mV	
	电容前	电容后	电容前	电容后
PRBS 码流	12.5	10.2	17.2	13.4
SSN 码流	22.5	13.4	88.0	27.8

从上面的对比测试数据可以很清楚地看到,在由 PRBS 码流变成 SSN 码流下,电容前这段走线耦合到的噪声变化非常明显,增加近 60 mV。从噪声频谱上也可以看出明显的噪声频点在 400 MHz 左右,如图 2 所示。

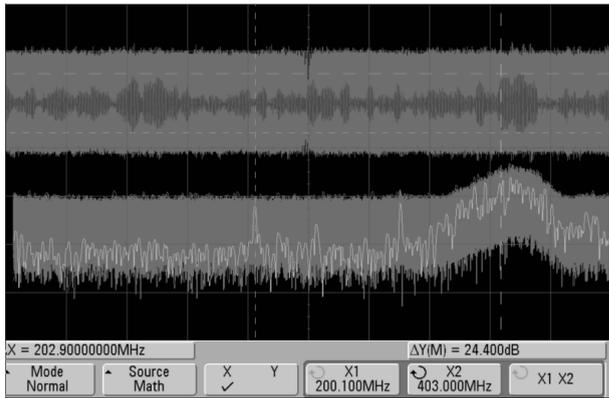


图 2 Serdes 信号线上噪声频谱

Fig.2 The noise spectrum of Serdes signal line

很明显,在 Version B 版本 PCB 上,我们优化了耦合电容后这段走线的参考平面噪声,但是却忽略了耦合电容前这段走线受到干扰的可能性,导致我们没有优化彻底。链路 10 电容前这段走线走在 11 层,参考的电源平面主要是 12 层的 1.0 V,相应位置上的滤波电容也很少,同时也有大量的 DDR 接口的数据信号线走在 11 层,所以在 SSN 码流下电容前这段走线耦合的噪声相比 PRBS 码流变化非常大。

因此,决定直接优化 12 层的 1.0 V 电源平面,在 Serdes 信号沿路添加 100 nF 的去耦电容。共计添加 10 枚电容,加工了 Version C 版本单板。Version C 版本单板回板验证,测试结果和预料的一样,采用 Version B 单板相同的参数配置,多块单板顺利通过温度应力试验,Serdes 误码问题完美解决。

4 同步开关噪声抑制方法

通过 Serdes 链路异常问题的分析,可见同步开关噪声对电路可靠性的影响越来越大,随着器件速率的不断提高,这一影响将更加明显,那么,如何尽量避免 SSN 问题带来的危害呢?一般我们在单板 PCB 设计时可以参照如下规则进行设计。

(1)DDR 存储类器件,数据总线最好不要走在同一层,降低 SSN 情况下对参考平面噪声的影响;可以考虑和地址总线布在同一层,数据总线优先参

考其 I/O 电源。

(2)Serdes 等敏感信号尽量避免走在参考平面边缘。

(3)Serdes 等敏感信号和 RAM 数据总线在 PCB 上尽量拉开距离,布在不同走线层,避免参考同一电源平面。

(4)在满足通流的情况下,电源平面不要铺得太大。在有高速 I/O 信号或者 Serdes 敏感信号参考该平面情况下,在没有使用该电源的地方做铺地处理。

(5)电源平面不能大面积没有高频去耦电容,尤其是平面边缘有高速信号跨分割的地方推荐添加去耦电容,去耦电容可以使用分立电容或埋容^[4]。

(6)进行电源平面谐振仿真分析评估,尽量避免和存储类器件工作频率产生谐振。

(7)在紧靠芯片的电源输入端加足够的退耦电容,可以起到稳压的作用,并最好使用 L 型或 π 型 LC 滤波电路。

(8)I/O 的布线层优先靠近 TOP 面,减小信号换层引起的环路电感。

(9)逻辑芯片的 pin 排布时,将堆在一起的同步 I/O 散开,减小空间耦合引起的环路电感,未使用的 pin 脚接地或电源处理,增加返回路径。

(10)在芯片内加旁路电容或选用低阻抗特性封装的芯片。

(11)对于抑制甚高频的同步开关噪声,可以考虑采用高阻抗电磁表面结构(EBG)^[5],采用 EBG 结构作为 PCB 衬底时,可以实现在微带电路衬底中集成具有很宽阻带的滤波器,当和其他电路元件有机地结合起来时,可节省电路空间。

5 结束语

总的来说,文中提到的根据单板上逻辑单元或 I/O 接口的总线结构,在测试阶段构造特殊报文,让这些接口同步翻转的测试方法,能快速发现设计缺陷,暴露电路板上潜在的同步开关噪声问题,提升单板的可靠性。同时,根据具体问题总结出的抑制同步开关噪声的方法既是前期设计阶段需要遵循的原则,也是后期解决问题的方案。后续我们还可以通过等效模型的方法,在前期对单板可能存在的同步开关噪声风险进行仿真分析,提前规避问题。也可以设计出可编程的 SSN 测试程序,让芯片厂家内嵌在控制器里,可以在可靠性测试阶段直接调用验证,增强单板的可测试性。

参考文献:

- [1] Altera Corp. Simultaneous Switching Noise (SSN) Analysis and Optimizations[M]//Quartus II Handbook (Version 11.1, Volume 2). San Jose', CA: Altera Corp., 2011.
- [2] Brain Young. Digital Signal Integrity Modeling and Simulation with Interconnects and Package[R]. New York: Prentice Hall PTR, 2000.
- [3] Steve Sharp, Panch Chandrasekaran. Managing signal Integrity[J]. Xcell Journal, 2005(3): 82 - 85.
- [4] 侯红英. 埋容在高速传输板卡设计中的应用[J]. 电讯技术, 2011, 51(5): 123 - 126.
HOU Hong - ying. Application of Buried Capacitance in Design of High - Speed Transmission Board[J]. Telecommunication Engineering, 2011, 51(5): 123 - 126. (in Chinese)
- [5] 黄小龙. 一种抑制同步开关噪声的新颖电磁带隙结构[J]. 电子科技, 2010(5): 55 - 57.
HUANG Xiao - long. A Novel EBG Structure for SSN Suppression[J]. Electronic Science and Technology, 2010(5): 55 - 57. (in Chinese)

作者简介:

李颖宏(1968—),女,北京人,1993年于北京理工大学获工学硕士学位,现为教授、系主任,主要研究方向为智能控制、智能交通技术;

LI Ying - hong was born in Beijing, in 1968. She received the M.S. degree from Beijing Institute of Technology in 1993, She is now a professor and dean. Her research interests include intelligent control and intelligent transportation technology.

Email: lyh427@ncut.edu.cn

罗勇(1982—),男,安徽池州人,2004年于北方工业大学获工学学士学位,现为硕士研究生,主要研究方向为高速电路信号完整性、电源完整性、同步开关噪声的仿真和测试技术;

LUO Yong was born in Chizhou, Anhui Province, in 1982. He received the B.S. degree from North China University of Technology in 2004. He is now a graduate student. His research concerns simulation and test technology about signal integrity, power integrity, SSN in high speed circuits.

Email: luoyongzhengsun@126.com