

文章编号: 1001 - 893X(2012)12 - 1946 - 06

一种基于二次项逼近的 DDS 算法及其实现*

何善亮, 马 骁, 田 浩, 杨洪强

(成都国腾电子技术股份有限公司, 成都 610041)

摘 要: 阐述了直接数字合成器(DDS)的基本原理, 分析了现有 DDS 算法的优缺点, 设计出基于二次项逼近的 DDS 算法, 并给出该算法的电路实现。最后通过该算法的仿真分析表明, 该算法实现的 DDS 其无杂散动态范围(SFDR)高达 -105 dBc, 且占用较少的资源, 满足雷达、信号源等系统对高性能、低功耗的设计要求。

关键词: DDS 算法; 二次项逼近; SFDR; 高性能; 低功耗

中图分类号: TN74 **文献标志码:** A doi: 10.3969/j.issn.1001-893x.2012.12.016

Design and Implementation of a DDS Algorithm Based on Quadratic Approximation

HE Shan-liang, MA Xiao, TIAN Hao, YANG Hong-qiang

(Chengdu Goldtel Electronic Technology Co., Ltd., Chengdu 610041, China)

Abstract: This paper describes the theory of DDS(Direct Digital Synthesizer), analyses the advantages and disadvantage of the existing DDS algorithms, then designs a DDS algorithm based on quadratic approximation and implements its circuit. Simulation result shows that the SFDR(Spurious Free Dynamic Range) of the DDS realized by proposed algorithm is up to -105 dBc and fewer resources are consumed. It meets the high-performance and low power consumption requirements of radar and signal source.

Key words: DDS algorithm; quadratic approximation; SFDR; high performance; low power consumption

1 引 言

直接数字合成器以数字的方式合成频率, 与传统的模拟合成锁相环(Phase Locked Loop, PLL)相比具有合成精度高、合成时间短、相位连续以及结构简单等特点, 其灵活的扫频、扫相功能广泛应用于雷达、通信、电子对抗等领域^[1]。

DDS 在实现上具有多种方式, 包括基于 ROM(Read Only Memory)查找表方法、基于坐标旋转法以及线性近似法等。在不同的应用系统中, 根据性能和面积折衷的考虑, 各种算法都得到不同程度的应用。基于 ROM 查找表在硬件实现上简单, 但耗用巨大的查找表资源, 工作频率低; 线性近似法硬件实现

简单, 耗用资源少, 工作频率高, 但 SFDR 性能较差; 坐标旋转法采用查找表与旋转坐标近似算法来实现面积、功耗、速度以及性能的优化, 获得了较好的效果, 也得到了广泛的应用。但在现代雷达、通信系统中, 对功耗、面积、速度以及性能的追求是无止境的, DDS 作为系统的信号源和调制源, 占据了系统的核心部分, 它的优化设计给整体系统的优化带来巨大作用, 因而, 有必要设计一种在功耗、面积、速度以及性能上更优的算法来达到系统的更优化设计。在此, 提出了基于二次项逼近的 DDS 算法。

2 DDS 基本原理

DDS 的基本结构如图 1 所示, 包括相位累加器、

* 收稿日期: 2012 - 10 - 19; 修回日期: 2012 - 12 - 10

相位加法器、相位到幅度转换器、幅度调制器以及数字到模拟转换器(Digital Analog Converter, DAC),其中相位累加器是用于产生相位值。相位加法器对相位累加器产生的相位值进行相位调整,完成调相的作用。相位到幅度转换器完成从相位到波形幅度的转换。幅度调制器是在对输出的波形进行幅度压缩,DAC 模块将数字信号转换为模拟信号,完成数字正弦余弦波形到模拟波形的转换^[1]。



图 1 DDS 原理图
Fig.1 Block diagram of DDS

3 基于二次项逼近 DDS 算法设计

基于二次项逼近 DDS 算法的基本思路是通过将二次项式运算与三角函数式近似,采用分段算法,得到最优化的基于二次项逼近 DDS 算法,其设计如下所述。

基于二进制量化的 DDS 正弦值可由下面的公式表述:

$$S(x_i) = R((1 - 2^k) \cdot \sin(2\pi x_i))_k \quad (1)$$

其中, $x_i = i/2^N, i \in \{0, 2^N - 1\}, N$ 表示相位的位宽, $R(\cdot)_k$ 代表将结果进行二进制 k 位精度的截位。根据正弦函数的特点,其关于相位 π 与 $\pi/2$ 对称,我们利用此性质把查找表降为原来的 1/4,也即是将一个周期的正弦函数映射到 $\pi/2$ 内,也称为 1/4 压缩,压缩后的正弦函数表述如下:

$$S_q(x_i) = R((1 - 2^k) \cdot \sin(2\pi(x_i + 2^{-N-1})))_k \quad (2)$$

其中, $i \in \{0, 2^{N-2} - 1\}$, 相位插入 1/2 最低有效位以减少硬件。此时,我们采用一个二次项表达式近似 $S_q(x_i)$,如下:

$$P(x) = c_2 \cdot x^2 + c_1 \cdot x + c_0 \quad (3)$$

显然,直接求算近似误差很大。为了降低近似误差,我们把正弦函数进行分段,得到分段二次项逼近算法:把 $S_q(x_i)$ 分为若干段,每段用一个二次项表达式近似。为了利于硬件实现以及减少资源,各段必须等长,并且段数以 2 为权数。经上分析,问题简化为求一组 2^m 个二次项表达式:

$$P^{(j)}(x) = c_2^{(j)} \cdot x^2 + c_1^{(j)} \cdot x + c_0^{(j)} \quad (4)$$

其中, $j \in \{0, 2^m - 1\}$, 并用其近似于正弦值 $S_q(x_j \cdot n$

+ $x_i), i \in \{0, n - 1\}, n = 2^{N-m-2}$ 。根据分段二次项表达式近似,可以得到各分段的二次项表达式系数 $C_2、C_1、C_0$ 。其求解方程如下:

$$X^T \cdot X \cdot c^{(j)} = X^T \cdot y^{(j)} \quad (5)$$

其中:

$$X = \begin{bmatrix} 1 & x_0 & x_0^2 \\ \vdots & \vdots & \vdots \\ 1 & x_{n-1} & x_{n-1}^2 \end{bmatrix}, c^{(j)} = \begin{bmatrix} c_0^{(j)} \\ c_1^{(j)} \\ c_2^{(j)} \end{bmatrix}, y^{(j)} = \begin{bmatrix} S_q(x_j \cdot n + x_0) \\ \vdots \\ S_q(x_j \cdot n + x_{n-1}) \end{bmatrix}$$

根据以上方程求解,将得到第 J 段的二次项系数为 $C_{0j}、C_{1j}、C_{2j}$ 。而通过该系数,即可求出该段的正弦输出。

由以上二次项逼近 DDS 算法推导可知,二次项式与正弦函数是相等的。也就是说,二次项逼近算法不存在运算等式上的近似。相比于文献[1-2]中坐标旋转算法的算式近似误差,二次项逼近 DDS 算法理论上可以完全无误差地等价于正弦函数,但实际应用上,由于电路实现时,二次项的运算系数以及运算结果采用的是有限的二进制位宽,因而不可避免引入量化误差。在计算二次项运算误差时,主要关注二次项系数位宽的宽度,运算位宽截位以及 DDS 常规的相位截位与输出幅度截位误差。此类误差在文献[3-4]中作了详细分析,在此不再赘述。

下面举例说明二次项逼近算法。我们以相位寻址位宽宽度为 17 位、输出幅度值位宽宽度为 14 位来分析二次项逼近型算法应用。

根据正弦函数的对称性以及二次项逼近算法的分段特征,将 17 位相位字划分为 3 部分,高两位为象限寻址位,不参与二次项表达式的运算,随后 5 位作为二次项逼近分段位,即将 $\pi/2$ 的相位分为 2^5 段,而最后的低 10 位作为每段的二次项运算数,如图 2 所示。

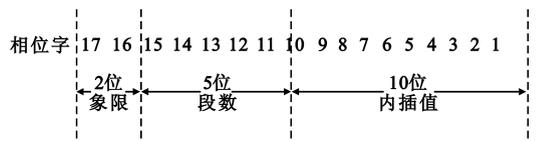


图 2 相位信息示意图
Fig.2 Information of phase

高两位与正弦波的象限对应关系如表 1 所示。

表 1 象限映射
Table 1 Quadrant map

相位高两位	象限区间	对应相位区间
00	第一象限	$0 \sim \pi/2$
01	第二象限	$\pi/2 \sim \pi$
10	第三象限	$\pi \sim 3\pi/2$
11	第四象限	$3\pi/2 \sim 2\pi$

第一象限表示 $0 \sim \pi/2$ 的正弦输出。根据对称性,其他 3 个象限正/余弦值可以通过高两位相位值将第一象限的正/余弦值映射得到,如图 3 所示。

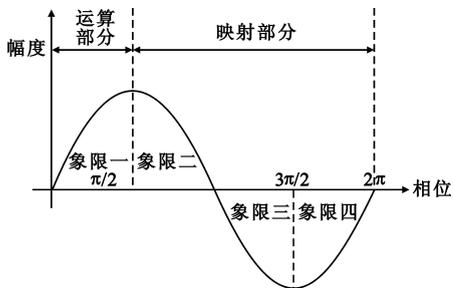


图 3 象限映射示意图
Fig.3 Quadrant map

相位映射位后的 5 位为二次项逼近分段位,也即是即将 $\pi/2$ 的相位分为 2^5 段,其原理如图 4 所示。

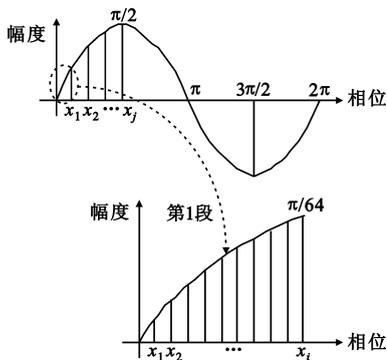


图 4 算法原理示意图

Fig.4 DDS algorithm based on quadratic approximation

每段对应各自的二次项系数 $C0_j, C1_j, C2_j$,也就是对应 32 组系数。此 32 组系数可以通过式(5)求得, $x_1 x_2 \dots x_i$ 表示每段内的运算数,作为段内运算相位。

由此得到二次项逼近算法的实现结构,即通过 5 位分段位相位对二次项系数进行寻址,得到 $C0, C1, C2$ 系数输出,然后各个系数与低 10 位的段内相位值($x_1 x_2 \dots x_i$)进行二次项运算,经过运算后得到第一象限内的幅度值,再通过象限映射将第一象

限的幅度值映射到其他 3 个象限中,由此即可实现二次项逼近算法。

4 基于二次项逼近 DDS 算法实现

本节详细描述二次项逼近算法的电路实现。

选取相位累加器位宽为 32 位、相位寻址位宽为 17 位、DAC 精度为 14 位的 DDS 为参考设计,得到图 5 中的基于二次项逼近 DDS 算法的相位到幅度转换结构,其中包括相位压缩模块、延迟匹配模块、二次项系数查找表、二次项运算模块以及输出处理模块。各模块的具体电路如图 5 所述。

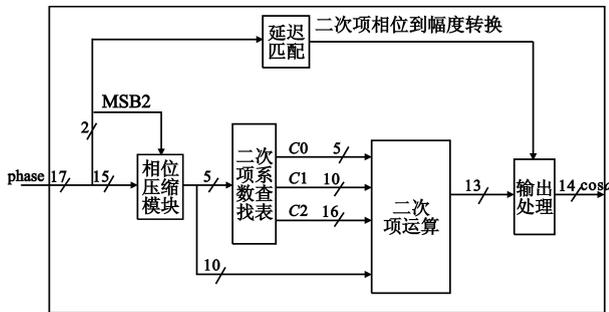


图 5 二次项算法电路结构

Fig.5 Block diagram of DDS circuit based on quadratic approximation

相位压缩模块是根据正余弦的对称原则将 $0 \sim 2\pi$ 的相位值压缩到 $0 \sim \pi/2$ 的象限中,这样可以减少运算逻辑;延迟匹配模块用于匹配延迟运算的流水级数;二次项系数查找表用于存储各分段的二次项系数 $C0, C1, C2$,将分段相位值作为地址对系数查找表进行读取;二次项运算是用于进行二次项式 $c_2 \cdot x^2 + c_1 \cdot x + c_0$ 的运算,即系数与相位的运算。输出处理模块映射 $0 \sim \pi/2$ 正余弦值到其他 3 个象限中,使最后输出形成完整的正余弦波形。

4.1 相位压缩模块

相位压缩模块如图 6 所示。

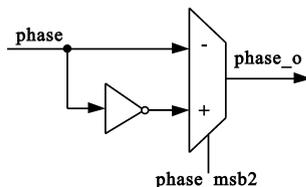


图 6 相位压缩模块

Fig.6 Circuit of phase compression

该电路由选择器和反相器组成,通过相位高位 的第二位作为选择器的选择端来控制输出相位是当

前输入的相位值或是取反后的相位值,使输出的相位在进行幅度转换后总是能满足当前象限的幅度变化趋势。

4.2 二次项系数查找表

二次项系数查找表电路用于存储二次项系数,采用常用的 ROM 查找表电路。查找表地址共有 5 位,总共 32 组系数值,其存储值如表 2 所示,其中 C_0 系数位宽为 16 位, C_1 系数位宽为 10 位, C_2 系数位宽为 5 位,总的查找表占用资源为 992 bit。

表 2 ROM 查找表值
Table 2 Data of ROM

地址	C_2	C_1	C_0	地址	C_2	C_1	C_0
0	19	0	65 536	16	13	568	46 340
1	19	39	65 457	17	12	596	44 011
2	19	78	65 220	18	12	621	41 575
3	19	118	64 826	19	11	646	39 039
4	19	156	64 276	20	10	668	36 409
5	19	195	63 571	21	9	689	33 692
6	18	233	62 714	22	8	709	30 893
7	18	271	61 705	23	7	727	28 020
8	18	307	60 547	24	7	743	25 079
9	17	343	59 243	25	6	757	22 078
10	17	379	57 797	26	5	769	19 024
11	16	413	56 212	27	4	780	15 924
12	16	446	54 491	28	3	788	12 785
13	15	479	52 639	29	2	795	9 616
14	14	510	50 660	30	1	800	6 423
15	14	540	48 559	31	0	803	3 215

4.3 二次项运算电路模块

二次项运算电路模块用于进行二次项式 $c_2 \cdot x^2 + c_1 \cdot x + c_0$ 的运算,从式中可以看出,二次项式运算包括了 3 个乘法运算和两个加法运算,得到如图 7 所示的运算电路。

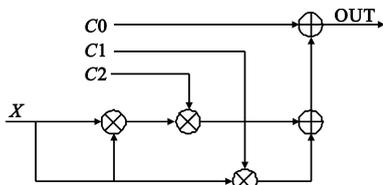


图 7 二次项运算模块

Fig.7 Circuit of quadratic approximation operation

以上电路使用了 3 个乘法器,占用较多的资源,为减少运算所产生的资源,我们试图将表达式变化为 $(c_2 \cdot x + c_1) \cdot x + c_0$,由该变化后的式子可知,所用

到的运算资源为两个乘法器和一个加法器,减少了一个乘法器的资源。在此,选用此改进后的结构实现二次项式的运算,其电路结构如图 8 所示。

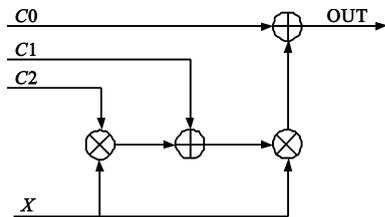


图 8 改进二次项运算电路模块

Fig.8 Circuit of improved quadratic approximation operation

4.4 结果处理模块

结果处理电路模块如图 9 所示。该电路由选择器和反相器组成,通过高两位作为选择器的选择端来判断是否将运算的余弦值进行符号取反,用以将第一象限的幅度值映射到其他 3 个象限中去。

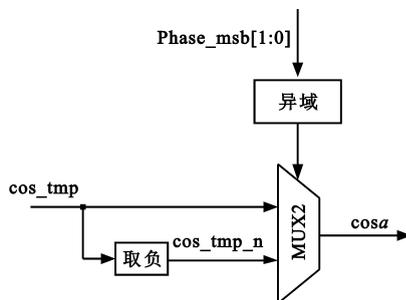


图 9 结果处理模块

Fig.9 Circuit of end process

象限映射表如表 3 所示。

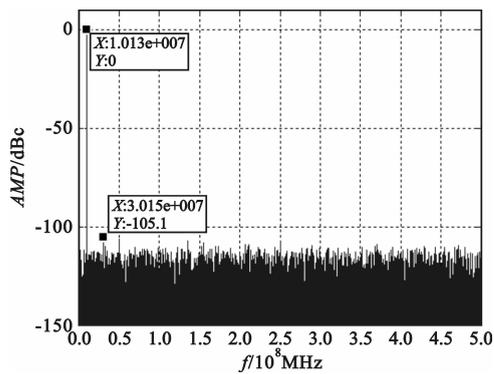
表 3 结果处理中象限映射表

Table 3 Quadrant map of end process

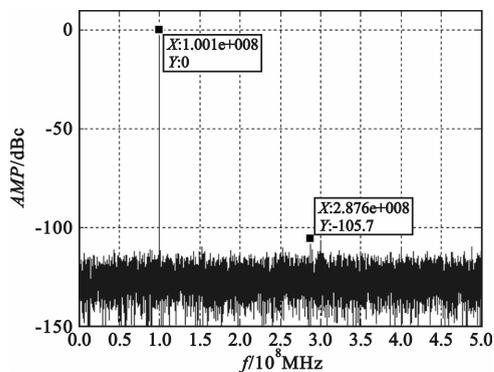
Phase_msb[1:0]	θ	$\cos a$
00	$0 < \theta < \pi/2$	\cos_tmp
01	$\pi/2 < \theta < \pi$	\cos_tmp_n
10	$\pi < \theta < 3\pi/2$	\cos_tmp_n
11	$3\pi/2 < \theta < 2\pi$	\cos_tmp

5 性能分析与比较

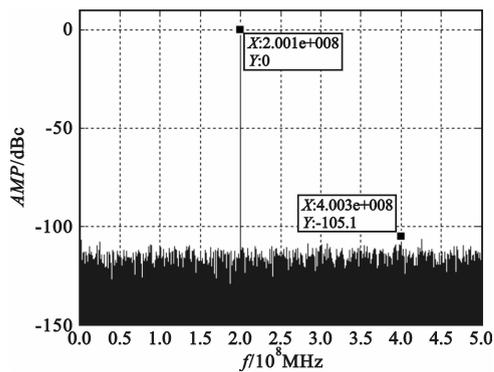
对第 4 节实现的电路进行性能分析,即相位寻址采用 17 位输入,输出 14 位幅度宽度的余弦波形。使 DDS 电路工作在 1 GHz 工作频率下,配置 DDS 输出典型频率点的余弦波形,截取输出的 14 位宽总线数据进行频谱分析,得到 DDS 的 SFDR 性能指标,其中 10 MHz、100 MHz、200 MHz 以及 400 MHz 频率输出 SFDR 如图 10 所示。



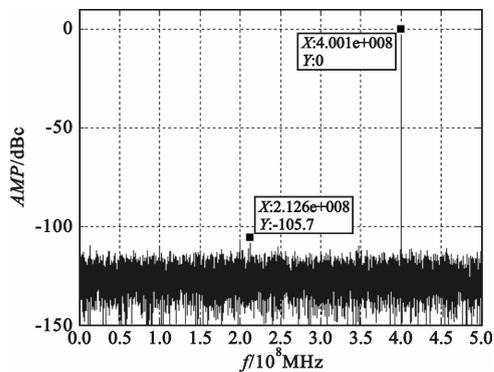
(a) 10 MHz 输出



(b) 100 MHz 输出



(c) 200 MHz 输出



(d) 400 MHz 输出

图 10 不同频率时 SFDR 分析结果

Fig. 10 SFDR of 10 MHz, 100 MHz, 200 MHz and 400 MHz output

由以上典型频点输出的 SFDR 仿真分析可知, 最差的 SFDR 为 -105.1 dBc。与已有算法进行性能以及面积的比较, 结果如表 4 所示。

表 4 性能比较

Table 4 Performance comparison

DDS	类型	寻址精度 /bit	输出精度 /bit	SFDR /dBc	查找表资源 /bit	运算逻辑资源
本算法	二次项逼近	17	14	-105	992	2 个乘法器 (10×10, 10×5); 2 个加法器 (16 位、10 位)
文献 [1]	改进坐标旋转	18	14	-106	704	27 个加法器 (22 位)
文献 [2]	坐标旋转	22	16	-100	572	29 个加法器 (22 位)
文献 [5]	ROM_LESS	19	14	-91	-	3 个乘法器 (14×14); 4 个加法器 (16 位)
文献 [6]	ROM+多项式	19	10	-64	-	2 个乘法器 (13×13, 10×10); 5 个加法器

从表中可以看出, 本算法的性能指标中 SFDR 略小于文献 [1] (-106 dBc), 而面积上只采用了两个乘法器、两个加法器以及 992 比特的查找表, 与文献 [1] 的 27 个高比特位宽 (22 位) 加法器相比, 虽然乘法器与加法器不能直接对等比较, 但显然, 高比特位的加法器与低比特位的乘法器具有相当的资源损耗, 因而, 在资源损耗上本算法相对于文献 [1] 有至少一半以上的减少, 资源上的优化相对于性能上的减少具有明显的优势。

本算法对比于其他文献算法 [2, 5-6], 在性能上有 5 dB 以上 (对比文献 [2]) 的改善, 在资源上有 1/3 以上 (对比文献 [6]) 的改善, 性能及资源优化都得到明显提高。

考虑在相同设计工艺、相同工作频率下面积的减少必然会带来功耗的降低。因而, 相比于已有算法, 从性能、面积以及功耗的综合对比下, 本算法具有较为明显的优势。

6 结论

本文详细设计了基于二次项逼近的 DDS 算法, 并给出了算法的电路实现。通过仿真分析表明, 该 DDS 算法在 17 位相位寻址、14 位幅度输出的电路

仿真中,得到的 SFDR 高达 -105.1 dBc,而面积上只用了两个乘法器、两个加法器以及 992 比特的查找表,相比于现有的算法,在性能、面积以及功耗上得到了明显的改善。该算法能够给现有雷达、通信系统中的信号源、调制源提供更优化设计,可广泛应用于具有高要求的雷达、通信及信号源等系统。

参考文献:

- [1] 何善亮,马骁.一种高性能 DDS 的算法研究和实现 [C]//四川省电子学会半导体与集成技术专委会 2008 年度学术年会论文集.成都:四川省电子学会半导体与集成技术专委会,2008:311-316.
HE Shan-liang, MA Xiao. An Improved DDS algorithm and its implementation [C]//Proceedings of The 2008 Annual Conference Proceedings of Semiconductor and Integration Technology Special Committee of Electronics Association of Sichuan. Chengdu: Semiconductor and Integration Technology Special Committee of Electronics Association of Sichuan, 2008:311-316. (in Chinese)
- [2] Madiseti A, Kwentus A Y, Willson A N. A 100MHz, 16-b, direct digital frequency synthesizer with a 100-dBc spurious-free dynamic range[J]. IEEE Journal of Solid State Circuit, 1999, 34(8):1034-1043.
- [3] Goldberg B G. Digital Frequency Synthesis Demystified[M]. VA, USA: LLH Technology Publishing, 1999.
- [4] Vankka J. Digital Synthesizers and Transmitters for Software Radio[D]. Helsinki, Finland: Helsinki University of Technology, 2005.
- [5] Jafari H, Ayatollahi A, Mirzakuchaki S. A low power high sfdr ROM - Less direct digital frequency synthesizer [C]//Pro-

ceedings of the 17th International Conference on Microelectronics. [S.l.]: Microelectronics, 2005:13-15.

- [6] Ashrafi A, Pan Z, Adhami R, et al. A novel ROM - Less direct digital frequency synthesizer based on Chebyshev polynomial interpolation[C]// Proceedings of the 36th Southeastern Symposium on System Theory. [S.l.]: System Theory, 2004.

作者简介:

何善亮(1984—),男,广西钦州人,主要从事雷达信号处理及 CMOS 混合集成电路设计;

HE Shan-liang was born in Qinzhou, Guangxi Zhuang Autonomous Region, in 1984. His research concerns radar signal process and mix-signal CMOS integrated circuit design.

Email: heshanliang@gotecom.com

马骁(1980—),男,四川成都人,硕士,主要从事雷达信号处理及微电子集成电路设计和研究;

MA Xiao was born in Chengdu, Sichuan Province, in 1980. He is with the M. S. degree. His research concerns radar signal processing and micro-electronics integrated circuit design.

Email: maxiao@gotecom.com

田浩(1981—),男,四川宜宾人,博士,主要从事雷达信号处理及微电子集成电路抗辐射加固设计研究;

TIAN Hao was born in Yibin, Sichuan Province, in 1981. He is with the Ph. D. degree. His research concerns radar signal processing and micro-electronics integrated circuit radiation hardened design.

Email: tianhao@gotecom.com

杨洪强(1974—),男,四川雅安人,博士,主要从事射频信号处理及射频微电子集成电路研究。

YANG Hong-qiang was born in Ya'an, Sichuan Province, in 1974. He is with the Ph. D. degree. His research concerns RF signal processing and RF micro-electronics integrated circuit.

Email: yanghongqiang@gotecom.com