

文章编号: 1001-893X(2012)11-1801-04

SATA 高速存储的 FPGA 实现^{*}

王 烨¹, 张 峰², 李燕斌²

(1. 海军装备部 重庆局, 重庆 400043; 2. 中国西南电子技术研究所, 成都 610036)

摘 要: 针对机载高速数据存储需求, 介绍了机载高速存储的主流技术, 分析了各种存储方式的优缺点, 基于 FPGA 中的高速串行收发器 GTX, 实现了 SATA 的 IP 核存储方式, 采用固态硬盘(SSD), 实现了单盘 150 Mbyte/s 的存储速度, 提高了机载高速存储的抗振能力, 增加了存储数据的灵活性, 解决了机载及星载的海量数据存储问题。

关键词: 机载设备; 星载设备; 海量数据; 高速存储; SATA; SSD; FPGA 实现

中图分类号: TN911.73 **文献标志码:** A doi: 10.3969/j.issn.1001-893x.2012.11.019

A High-speed Recording System of SATA Based on FPGA

WANG Ye¹, ZHANG Feng², LI Yan-bin²

(1. Chongqing Bureau of Naval Armament Department, Chongqing 400043, China;

2. Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: According to the requirement of airborne high-speed data recording, the mainly-used recording technology is introduced. A SATA (Serial ATA) controller is designed based on the GTX in FPGA and 150 Mbyte/s recording speed is realized using SSD(Solid State Disk). The method improves the anti-vibration ability and flexibility of the airborne high-speed data recording system and solves the high-speed recording problem for mass data.

Key words: airborne equipment; space-borne equipment; mass data; high-speed data recording; SATA; SSD; FPGA implementation

1 引 言

机载高速数据存储是宽带数传的重要组成部分。随着高速图像 CCD 传感器的发展, 高帧频、高分辨率 CCD 大量出现, 对目标进行捕获、跟踪、测量产生的数据成几何级数增长, 如何高速实时记录这些实验数据成为一个重要的工作。传统的解决方案是采用硬盘控制器芯片, 通过控制器芯片实现对 PATA 或 SATA 接口的高速存储^[1-3]。但由于国外技术封锁, 不能买到高性能的硬盘控制器芯片, 因此可考虑自行对存储协议进行开发。

本文通过对 SATA 协议研究, 基于 FPGA 中的高

速串行收发器 GTX, 利用 VHDL 语言实现了 SATA 的 IP 核存储方式, 采用固态硬盘(SSD)实现了单盘 150 Mbyte/s 的存储速度, 而 SSD 硬盘不依靠空气动力, 是以电信号作为访问方式, 提高了机载高速存储的抗振能力, 增加了存储数据的灵活性, 解决了机载及星载的海量数据存储问题。

2 SATA 协议简介

Seagate 在 IDF Fall 2001 大会上宣布了 Serial ATA 1.0 标准, Serial ATA(SATA)规范正式确立。通过将数据改为串行传输, 避免了由并行传输引入的串扰和同步问题。

^{*} 收稿日期: 2012-11-02; 修回日期: 2012-11-14

SATA 传输速度如表 1 所示。

表 1 SATA 各版本传输速度
Table 1 Speed of SATA protocol

标准	速度/(Gbit/s)
SATA-1	1.5
SATA-2	3.0
SATA-3	6.0

除解决了串扰和同步问题,如图 1 所示,SATA 还具有更少的引脚数目、更强的纠错能力,以及支持热插拔等优势。因此,SATA 已经成功取代了 PATA,成为存储领域中主流标准之一。

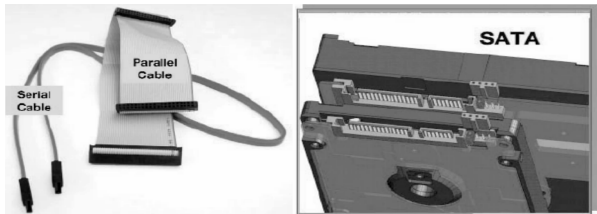


图 1 PATA 及 SATA 接口比较
Fig.1 Interface of PATA vs. SATA

3 基于 FPGA GTX 的 SATA IP 核设计

GTX 又称千兆级高速串行收发器,是集成在 FPGA 芯片的可配置硬核资源。不同系列 FPGA 中 GTX 接口资源的名称和性能不一样,Xilinx 公司的 Virtex-5 中 FX 系列 XC5VFX70T,含有 16 个 GTX,并且还含有一个 PowerPC440 处理器。

基于 FPGA 实现 SATA IP 核的方案具有以下优点:第一,具有自主知识产权;第二,通用性好,若采用 IP 核的方式,不用重新绘制电路板;第三,设备升级简单,目前是 SATA 第二代,即支持 3.0 Gbit/s,当需要提升到 SATA 第三代时,只需要提高 IP 核的工作频率或数据宽度即可,而选用的 FPGA 所含的 GTX 最高可支持到 6.5 GHz,完全满足 SATA 第三代 6.0 Gbit/s 的要求。

根据 SATA 协议的分层结构,需要在 GTX 上分层实现 SATA 的协议。第一步,实现上电自启动对 OOB 信号的检测;第二步,实现 SATA 协议链路层;第三步,实现 SATA 协议传输层协议;第四步,将上述代码封装为一个 IP 核,通过 PLB 总线挂载到 FPGA 中内嵌 PowerPC440 上。关键技术在于 OOB 信号的检测以及链路层协议。

OOB 共包括 3 个信号,即 COMRESET、COMINIT

和 COMWAKE。GTX 提供对这 3 个信号的支持。当 GTX 的属性 RX_STATUS_FMT 设为 SATA 时,GTX 中接收端提供的 RXSTATUS[2:0]信号,就可以反应 OOB 状态,如表 2 所示。

表 2 RXSTATUS 信号与 OOB 状态
Table 1 RXSTATUS and the OOB state

RX_STATUS_FMT	RXSTATUS[2:0]	OOB 状态
SATA	RXSTATUS[0] = 1	TXCOMSTART 操作结束
SATA	RXSTATUS[1] = 1	接收到 COMWAKE 信号
SATA	RXSTATUS[2] = 1	接收到 COMRESET/COMINIT

OOB 通信还需要用到 TXELECIDLE 信号,当 TXELECIDLE 为高时,表示 OOB 通信通路空闲,可以进行 OOB 的信号发送。属性 COM_BURST_VAL 表示突发的 OOB 信号 (COMRESET、COMINIT、COMWAKE)的个数,根据 SATA 的协议进行设置,设置为 6;属性 PLL_SATA 为布尔型数值,设置为 0,表示 SATA 可以以 1.5 Gbit/s 或 3.0 Gbit/s 工作。

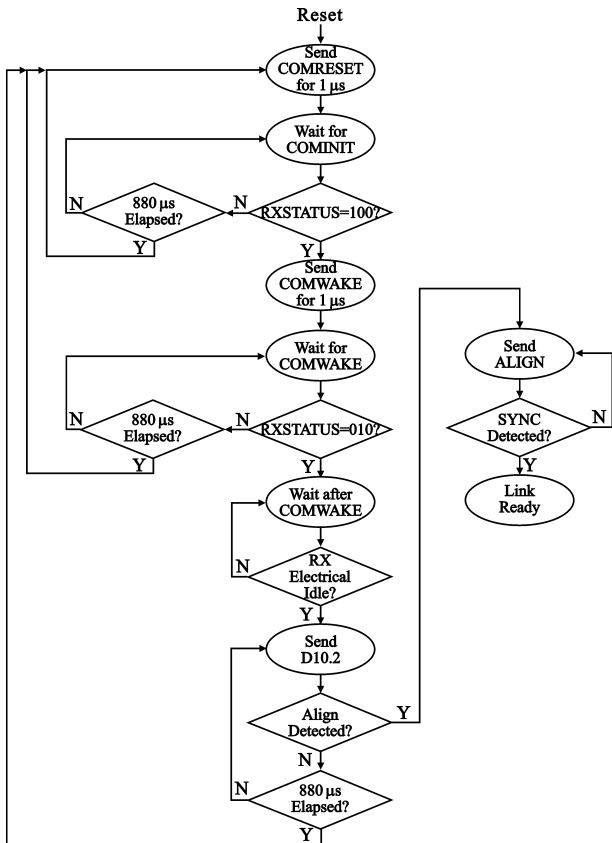


图 2 SATA OOB 初始化状态机
Fig.2 State machine of SATA OOB

工程中使用 Xilinx 公司提供的软件 ISE 作为开发环境,利用 Core generator 工具生成基于 GTX 的 SATA IP 核,而生成的 SATA IP 核只对 GTX 提供最简单的封装,如输入时钟为 150 MHz、线速度为 3.0 Gbit/s、GTX 中的数据收/发并行位宽为 16 bit 等,而 SATA 协议包括物理层、链路层、传输层、应用层并没有实现。图 2 所示为 SATA OOB 上电启动过程,GTX 端口属性见表 2,工程中利用如图 2 所示的状态机实现了 OOB 通信。工程中可另加一个 GPIO (General Purpose IO)信号,如可接一个 LED 指示灯,用以表示 OOB 通信完成。因此可认为,GTX 作为 SATA 协议中规定的物理层,上电启动功能已完成。



图 3 SATA IP 核实现平台
Fig.3 The platform of SATA IP core

当链路层接收到此 GPIO 或 LED 信号时,链路层开始工作。链路层中主要工作就是把传输层的数据打包成帧结构,并把物理层返回的状态报告给传输层。SATA 中 3 个重要的编码过程在链路层实现,即 8B/10B 编码、CRC 校验、Scrambling 加扰码。

SATA 协议通信参考模型分 4 层结构,最重要的是物理层、链路层、传输层,而应用层负责发送命令,因此,把应用层写成应用程序,通过函数调用,处理与底层相关的事务。工程实现时,把用硬件语言 VHDL/Verilog 实现的 SATA IP 核做为 FPGA 内嵌入式处理器 PowerPC440 的一个外设,通过 Xilinx 公司提供的开发环境 EDK 把 SATA IP 核挂到 PLB 总线上,利用 EDK 对 PowerPC440 的外设进行定制,如图 4 所示,只选择最基本的配置,其中内存为 MT4HTF3264HY – 667D3 的 256 MB、64 位内存条。前面提到的 GPIO 或 LED 调试信号此时可用串口代替,串口为 xps_16550 控制器类型,由于所选用的 FPGA 有多达 16 个 GTX,因此理论上可支持多达 16 个 SATA 硬盘。

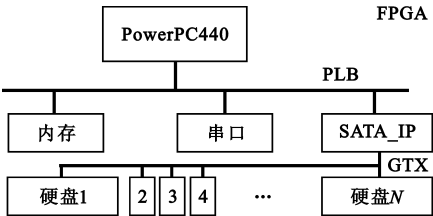


图 4 SATA IP 核做为 PowerPC440 外设
Fig.4 SATA IP as a peripheral of PowerPC440

4 测试结果

对基于 GTX 实现的 SATA 控制器存储方式速度进行测试,测试条件如下:PC 机操作系统为 Windows XP SP2,CPU 为 Pentium(R) Dual-Core ES520@2.5GHz,内存 2GB,ISE 版本 10.1.03,EDK 版本 10.1.03,硬盘为 ST3160811AS, 7200.10; ST3320418AS, 7200.10; ST3320613AS,7200.12,测试类型为写硬盘。

图 5 为机械盘测试结果,ST3160811AS 为 7 200 转的普通硬盘,其写速度在 70 Mbyte/s 左右,而 ST3320418AS 为 Seagate 推出的新一代的硬盘,其写速度在 100 Mbyte/s,与硬盘标称的速度相当,即证明了基于 FPGA 实现 SATA IP 核的可行性。

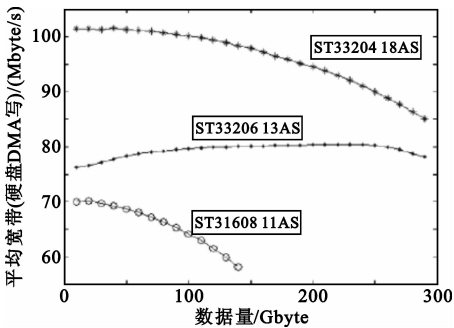


图 5 SATA IP 核写速度
Fig.5 The writing speed of SATA IP core

实验中,采用 Intel 的 SSD 固态硬盘 Intel256G180SLC,其理论标称速度为写 180 Mbyte/s,实际测到了 150 Mbyte/s。其传输速度与抗振性能已在宽带某项目中得到验证,满足机载高速存储需求。

5 结 论

在执行机载任务中实现高速数据存储时,通常需要考虑任务载荷的重量及体积,选择基于 FPGA 的高速串行收发器 GTX 实现 SATA 的 IP 核方式,减少了对硬盘 ASIC 芯片的依赖,具有完全的自主知识

产权;选择固态 SSD 硬盘,不依靠空气动力,是以电信号作为访问方式,提高了机载高速存储的抗振能力,增加了存储数据的灵活性,解决了机载及星载的海量数据存储问题。因此,利用 FPGA 中的高速串行收发器 GTX 实现 SATA 的 IP 核存储方式是机载高速存储的一种有效尝试。如何利用 GTX 实现 SATA 的 IP 核,组成 Raid0 存储方式,是课题下一步的工作。

参考文献:

- [1] 李志鹏. 连续数据记录系统中 IDE 数据接口的实现[J]. 无线电工程, 2010, 40(2): 48 - 50.
LI Zhi-peng. Implementation of IDE Interface in Sustained Data Recording System[J]. Radio Engineering, 2010, 40(2): 48 - 50. (in Chinese)
- [2] 赵涛. 基于 SCSI 总线的高速数据存储系统软件设计[J]. 现代电子技术, 2008(14): 59 - 62.
ZHAO Tao. Software Design of High Speed Data Storage System Based on SCSI Bus [J]. Modern Electronic Technology, 2008(14): 59 - 62. (in Chinese)
- [3] ZHANG Feng, WU Qin-zhang, REN Guo-qiang. A High-

speed Method of CCD Image Data Storage System [C]// Proceedings of 2010 Second International Conference on Advanced Computer Control. Shenyang: IEEE, 2010: 45 - 48.

作者简介:

王 烨(1974—),男,山西昔阳人,2006 年于清华大学获硕士学位,现为工程师,主要研究方向为通信技术;

WANG Ye was born in Xiyang, Shanxi Province, in 1974. He received the M.S. degree from Tsinghua University in 2006. He is now an engineer. His research concerns communication technology.

Email: wangye03@mails.tsinghua.edu.cn

张 峰(1982—),男,山东东营人,2011 年于中科院获博士学位,现为工程师,主要研究方向为高速信号处理、图像处理;

ZHANG Feng was born in Dongying, Shandong Province, in 1982. He received the Ph.D. degree from the Chinese Academy of Science in 2011. He is now an engineer. His research concerns high-speed signal processing and image processing.

Email: zhangfeng1186@163.com

李燕斌(1970—),男,四川南部人,高级工程师,主要研究方向为通信信号与信息处理技术、软件无线电技术。

LI Yan-bin was born in Nanbu, Sichuan Province, in 1970. He is now a senior engineer. His research concerns communication signal and information processing technology, SDR technology.